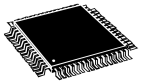
MG32F157xx

32-bit ARM® Cortex™-M3 MCU

高达 256 KBytes Flash / 64 KBytes SRAM, 11 个定时器, 3 x 12-bit ADC, 2 x 12-bit DAC, 15 个通信接口



LQFP100 (14 x 14 mm)
LQFP64 (10 x 10 mm)
LQFP48 (7 x 7 mm)

Features

- ARM 32-bit Cortex™-M3 CPU
  - 最高运行速率达到 96 MHz
  - 单周期乘法器和硬件除法器
- 存储器
  - 最高 256 K-byte 存储器，48MHz 及以下 0 等待，48MHz 以上一个等待周期
  - 最高 64 K-byte SRAM 存储器，0 等待周期
- 复位和供应电源
  - 电源:2V
  - 上电复位（POR）/掉电复位（PDR）/可编程电压监测（PVD）
- 时钟
  - 4 ~ 24MHz 外部高速时钟（HSE）
  - 8MHz 内部高速时钟（HSI）
  - 32KHz 外部低速时钟（LSE）
  - 40KHz 内部低速时钟（LSI）
- 工作温度
  - -40°C~+105°C
- 低功耗模式
  - 睡眠/停止/待机模式
  - VBAT 供电模式（RTC 和备份寄存器）
- 最高 80 个 I/O 口
  - 全部可映射到 16 个外部中断线上，并且大部分兼容 5V
- 调试模式
  - 支持 SWD/Trace
- 3 个 12 位模数转换器，18 通道（包含内置温度传感器和内部参考电压两个通道）
- 2 个 12 位数模转换器
- 15 个通信接口
  - 2 路 I2C 接口
  - 5 路 USART 接口支持 ISO7816, LIN, IrDA, 支持最高速率 4.5Mbit/s，其中一个支持 MODEM 控制，串口带低功耗监听功能并能唤醒 MCU
  - 3 路 SPI, 1 路 QSPI
  - 1 路 CAN 接口，1 路 USB 接口，1 路 SDIO 接口
- 11 个定时器
  - 4 个 32 位通用定时器
  - 2 个 32 位高级定时器
  - 2 个内部看门狗定时器
  - 1 个系统定时器,
  - 2 个 32 位基本定时器
- CRC 计算单元
- 128 位唯一 ID
- 高级加密标准 (AES)
- ESD (±5KV) HBM , Latch-Up (±800mA）
- 真随机数生成 (TRNG)
- 内置 ISP Bootloader，支持通过 USART 进行程序升级
- 3 个高速轨至轨运算放大器

目录

目录 ii

图目录 v

表目录 vi

第 1 章 概述 1

1.1 产品一览表 1

1.2 时钟树 2

1.3 性能框图 3

第 2 章 引脚和定义 4

2.1 LQFP100 引脚 4

2.2 LQFP64 引脚 5

2.3 LQFP48 引脚 6

2.4 引脚描述 7

第 3 章 规格说明 10

3.1 ARM® Cortex™-M3 10

3.2 地址映射 11

3.3 Flash 12

3.4 SRAM 12

3.5 CRC(cyclic redundancy check) 计算单元 12

3.6 时钟和启动 12

3.7 启动模式 12

3.8 嵌套的向量式中断控制器 (NVIC) 12

3.9 外部中断 / 事件控制器 (EXTI) 12

3.10 供电方案 12

3.11 供电检测 13

3.12 电压调节器 13

3.13 低功耗模式 13

3.13.1 睡眠模式 13

3.13.2 停止模式 13

3.13.3 待机模式 13

3.14 DMA 13
3.15 实时时钟 (RTC) 和备份寄存器 (BKP) 13
3.16 定时器和看门狗 14
3.17 I2C 总线 15
3.18 通用同步/异步收发器 (USARTs) 15
3.19 串行外设接口 (SPI) 15
3.20 四路串行外设接口 (QSPI) 15
3.21 内置音频总线 (I2S) 15
3.22 安全数字输入输出接口 (SDIO) 15
3.23 控制器区域网络 (CAN) 16
3.24 通用串行总线 (USB) 16
3.25 通用输入输出接口 (GPIO) 16
3.26 模拟数字转换 (ADC) 16
3.27 数字模拟转换 (DAC) 16
3.28 温度传感器 17
3.29 串行调试 (SWD/Trace) 17
3.30 运算放大器 (Op-Amp) 17
3.31 真随机数发生器 (TRNG) 17
3.32 高级加密标准 (AES) 17

第 4 章 电气特性 18

4.1 测试条件 18
4.1.1 最小和最大值 18
4.1.2 典型值 18
4.1.3 典型曲线 18
4.1.4 负载电容 18
4.1.5 引脚输入电压 18
4.1.6 供电方案 19
4.1.7 电流消耗测量 19
4.2 典型应用框图 20
4.3 最大绝对值 20
4.3.1 电压特性 20
4.3.2 电流特性 21
4.3.3 温度特性 21

4.4 工作条件 21
4.4.1 通用工作条件 21
4.4.2 上电/掉电时的工作条件 21
4.4.3 内嵌复位和电源控制模块特性 21
4.4.4 内嵌参考电压 22
4.4.5 供电电流特性 22
4.4.6 外部时钟源特性 26
4.4.7 内部时钟源特性 28
4.4.8 锁相环特性 29
4.4.9 存储器特性 30
4.4.10 EMC 特性 30
4.4.11 绝对最大值（电气敏感性） 31
4.4.12 IO 电流注入特性 32
4.4.13 I/O 引脚电气特性 32
4.4.14 NRST 引脚定义 34
4.4.15 定时器特性 35
4.4.16 通信接口 35
4.4.17 USB 特性 41
4.4.18 12-bit ADC 特性 42
4.4.19 DAC 特性 44
4.4.20 温度传感器特性 45
4.4.21 运算放大器特性 45

第 5 章 封装特性 46

5.1 LQFP100 14x14mm 46
5.2 LQFP64 10x10mm 47
5.3 LQFP48 7x7mm 48

第 6 章 命名规则 49

第 7 章 版本历史 50

重要说明 51

图目录

1.2-1 MG32F157xx clock 2
1.3-1 MG32F157xx performance line block diagram 3

2.1-1 LQFP100 引脚 4
2.2-1 LQFP64 引脚 5
2.3-1 LQFP48 引脚 6

4.1-1 引脚电容 18
4.1-2 引脚输入电压 18
4.1-3 供电方案 19
4.1-4 电流消耗测量 19
4.2-1 MG32F157 典型应用框图 20
4.4-1 高速外部时钟时序图 27
4.4-2 低速外部时钟时序图 28
4.4-3 I/O AC 特性定义 33
4.4-4 NRST 引脚保护 34
4.4-5 I2C AC 波形和量测电路 36
4.4-6 SPI 波形/从模式/CPHA = 0 37
4.4-7 SPI 波形/从模式/CPHA = 1 38
4.4-8 SPI 波形/主模式 38
4.4-9 I2S 从模式波形图 39
4.4-10 I2S 主模式波形图 40
4.4-11 SDIO 高速模式 40
4.4-12 SDIO 默认模式 40
4.4-13 USB 时间: 上升/下降时间的定义 42
4.4-14 ADC 准确度特性 44

5.1-1 LQFP100 14 x 14mm, 100-pin 46
5.2-1 LQFP64 10 x 10mm, 64-pin 47
5.3-1 LQFP48 7 x 7mm, 48-pin 48

6.0-1 命名规则 49

表目录

1.1-1 MG32F157xx 外设数量和特性参数 1

2.4-1 MG32F157xx pin descriptions 7

3.16-1 定时器特性比较 14

4.3-1 电压特性 20
4.3-2 电流特性 21
4.3-3 温度特性 21
4.4-1 通用工作条件 21
4.4-2 上电/掉电时的工作条件 21
4.4-3 PVD characteristics 22
4.4-4 内嵌参考电压 22
4.4-5 运行模式下最大电流消耗，从 flash 中执行代码 23
4.4-6 运行模式下最大电流消耗，从 SRAM 中执行代码 23
4.4-7 睡眠模式下的最大电流，代码从闪存或 SRAM 中执行 24
4.4-8 停止和待机模式下的典型/最大电流 24
4.4-9 运行模式下的典型电流消耗，代码从闪存中执行 25
4.4-10 睡眠模式下的典型电流消耗，代码从闪存或 SRAM 中执行 26
4.4-11 高速外部时钟特性 26
4.4-12 低速外部时钟特性 27
4.4-13 外部高速时钟特性 28
4.4-14 外部低速时钟特性 28
4.4-15 HSI 振荡器特性 29
4.4-16 LSI 振荡器特性 29
4.4-17 低功耗模式启动时间 29
4.4-18 锁相环特性 29
4.4-19 存储器特性 30
4.4-20 闪存寿命和数据保持 30
4.4-21 EMS 特性 30
4.4-22 EMI characteristics 31
4.4-23 ESD 绝对最大值 31
4.4-24 电敏感 32

4.4-25 I/O 电流注入灵敏度 32
4.4-26 I/O 引脚电气特性 32
4.4-27 输出电压特性 33
4.4-28 I/O AC 特性 34
4.4-29 I/O 引脚特性 34
4.4-30 定时器特性 35
4.4-31 I2C 接口特性 35
4.4-32 SPI 特性 37
4.4-33 I2S 特性 39
4.4-34 SD/MMC 特性 41
4.4-35 USB 特性 41
4.4-36 USB DC 特性 41
4.4-37 全速 USB 特性 42
4.4-38 ADC 特性 42
4.4-39 ADC 准确度 43
4.4-40 DAC 电气特性 44
4.4-41 温度传感器特性 45
4.4-42 运算放大器特性 45

5.1-1 LQFP100 14 x 14mm, 100-pin 46
5.2-1 LQFP64, 10x10 mm, 64-pin 47
5.3-1 LQFP48, 7x7 mm, 48-pin 48

第 1 章　概述

MG32F157xx 系列集成了高性能 ARM®Cortex™-M3 32 位 RISC 核心，工作频率为 96 MHz，高速嵌入式存储器 (闪存高达 256 Kbytes, SRAM 高达 64 Kbytes)

1.1　产品一览表

Tab1.1-1 概述了这个系列中提出的全部外设、包和特性。

表 1.1-1　MG32F157xx 外设数量和特性参数

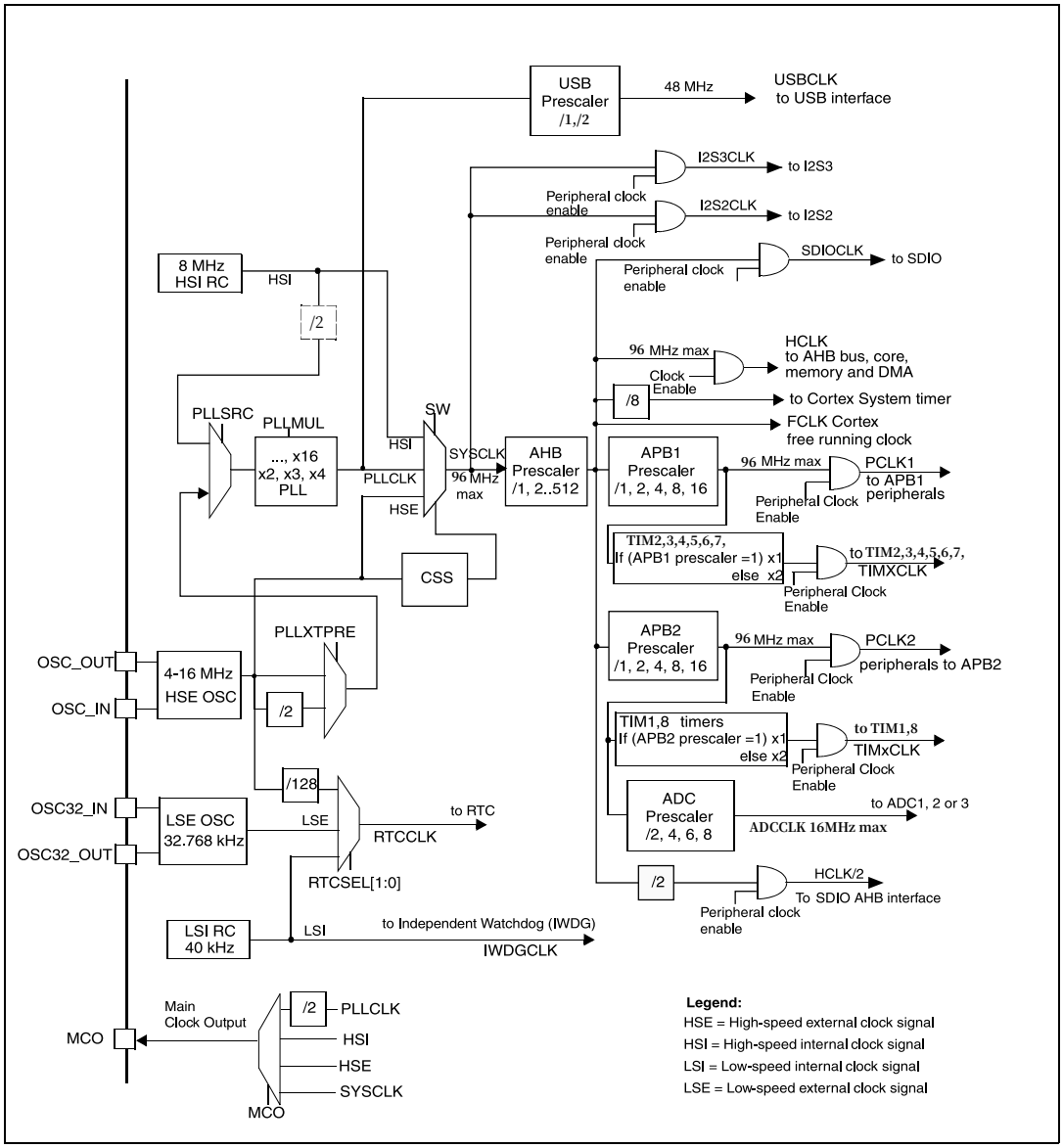
外设		MG32F157Cxyz		MG32F157Rxyz		MG32F157Vxyz	
闪存容量 (KB)		128	256	128	256	128	256
SARM 容量 (KB)		64					
Timer	通用	4					
	高级	2					
	IWDG	2					
	系统时钟	1					
	Basic	2					
Comm	I2C	2					
	QSPI	1					
	SPI(I2S)	3(2)					
	USART	5					
	SDIO	1					
	CAN	1					
	USB	1					
GPIO 数目		37		51		80	
运算放大器		1		3		3	
12 位模数转换		3					
通道数		16					
12 位数模转换		2					
通道数		2					
CPU 频率		96 MHZ					
工作电压		2.0v ~ 3.6v					
工作温度		-40°C ~ +105°C					
封装		LQFP48		LQFP64		LQFP100	

xyz 代指不同型号的代码，具体可查看图 Fig6.0-1
x = Flash 容量
y = 封装型号
z = 工作温度范围

1.2　时钟树

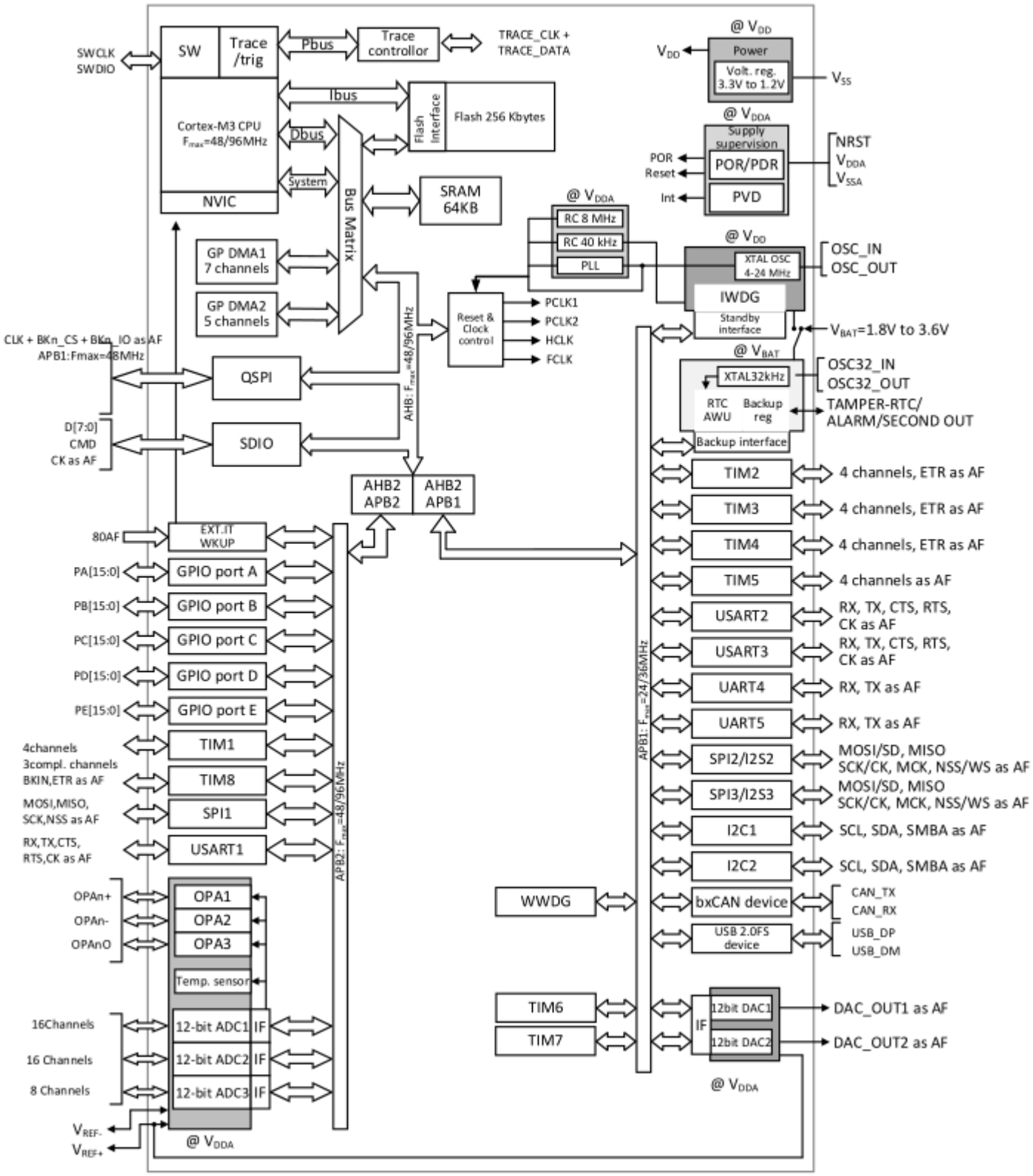
Fig1.2-1 绘制的 MG32F157xx 时钟关系

图 1.2-1　MG32F157xx clock



1.3 性能框图

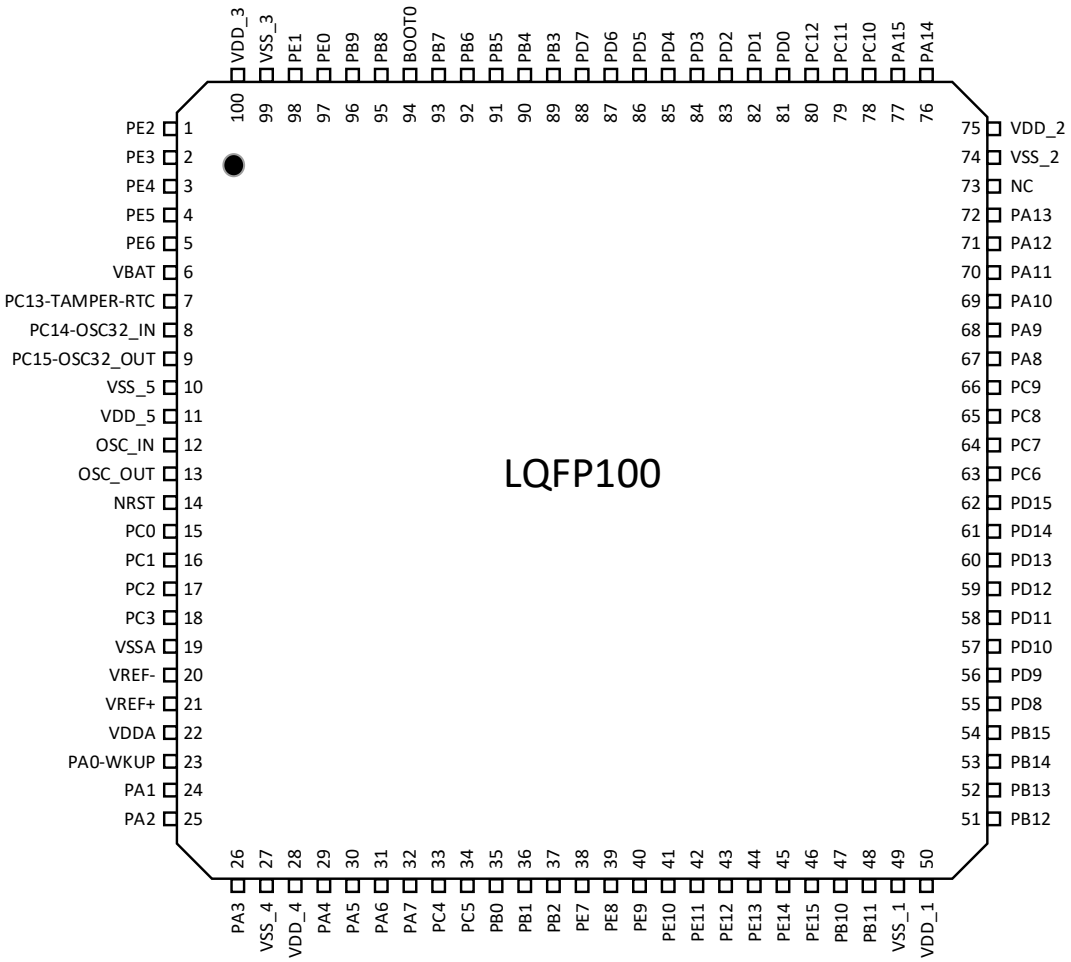
图 1.3-1 MG32F157xx performance line block diagram



第 2 章　引脚和定义

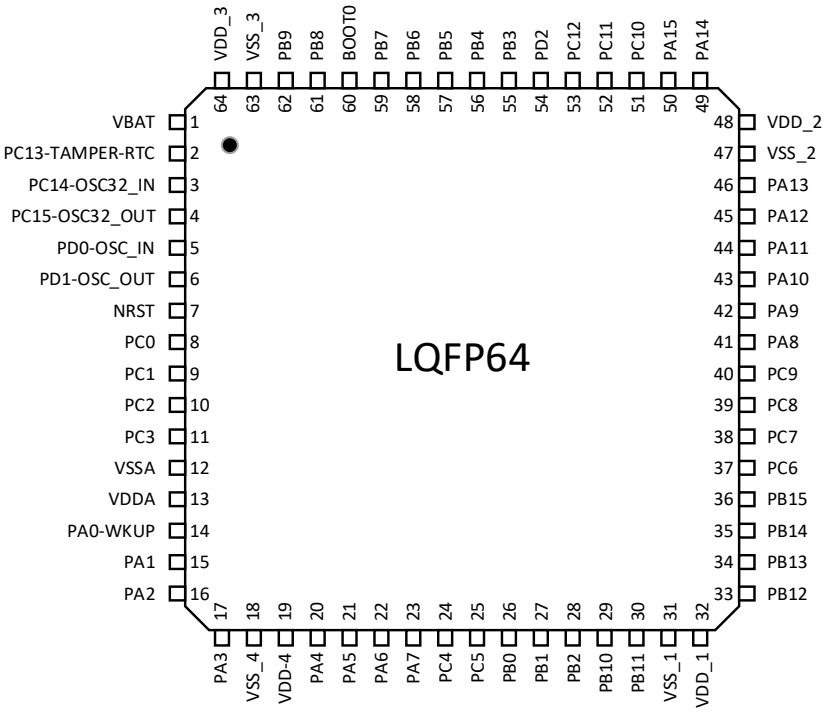
2.1　LQFP100 引脚

图 2.1-1　LQFP100 引脚



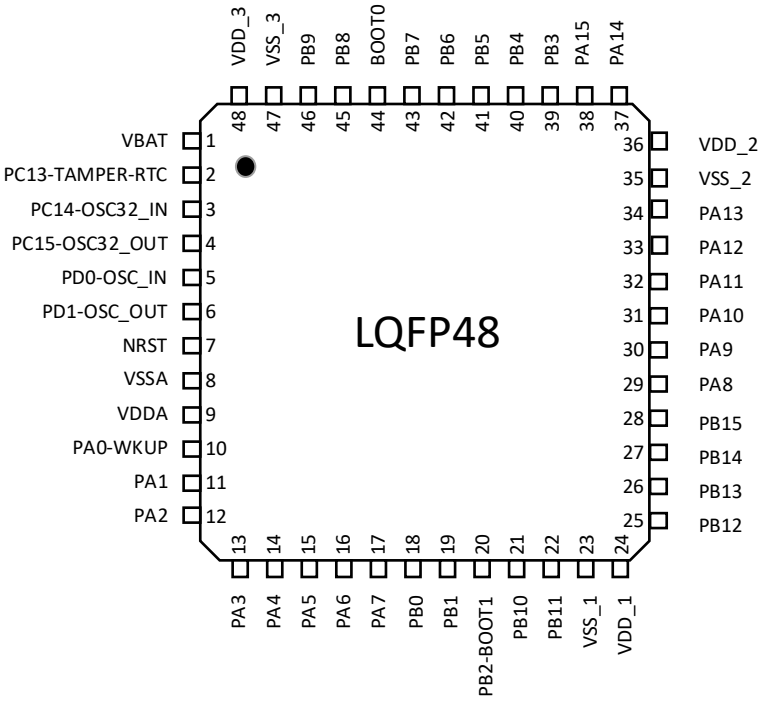
2.2　LQFP64 引脚

图 2.2-1　LQFP64 引脚



2.3　LQFP48 引脚

图 2.3-1　LQFP48 引脚



2.4 引脚描述

表 2.4-1 MG32F157xx pin descriptions

引脚			名称	类型	I/O(2)	主要功能（复位后）	复用功能 (4)	
LQFP48	LQFP64	LQFP100					默认	重定义
-	-	1	PE2	I/O	FT	PE2	QSPI_BK1_nCS/TRACECK	
-	-	2	PE3	I/O	FT	PE3	QSPI_BK1_IO0/TRACED0	
-	-	3	PE4	I/O	FT	PE4	QSPI_BK1_IO1/TRACED1	
-	-	4	PE5	I/O	FT	PE5	QSPI_BK1_IO2/TRACED2	
-	-	5	PE6	I/O	FT	PE6	QSPI_BK1_IO3/TRACED3	
1	1	6	V_{BAT}	S		VBAT		
2	2	7	TAMPERRTC	I/O		PC13(5)	TAMPERRTC	
3	3	8	PC14 OSC32_IN	I/O		PC14(5)	OSC32_IN	
4	4	9	PC15 OSC32_OUT	I/O		PC15(5)	OSC32_OUT	
-	-	10	V_{SS_5}	S		V_{SS_5}		
-	-	11	V_{DD_5}	S		V_{DD_5}		
5	5	12	OSC_IN	I		OSC_IN		PD0
6	6	13	OSC_OUT	O		OSC_OUT		PD1
7	7	14	NRST	I/O		NRST		
-	8	15	PC0	I/O		PC0	ADC123_IN10	OP3+
-	9	16	PC1	I/O		PC1	ADC123_IN11	OP3-
-	10	17	PC2	I/O		PC2	ADC123_IN12	OP2+
-	11	18	PC3(6)	I/O		PC3	ADC123_IN13	OP2-
8	12	19	V_{SSA}	S		V_{SSA}		
-	-	20	V_{REF}	S		V_{REF}		
-	-	21	V_{REF+}	S		V_{REF+}		
9	13	22	V_{DDA}	S		V_{DDA}		
10	14	23	PA0 WKUP	I/O		PA0	WKUP/USART2_CTS/ADC123_IN0/TIM2_CH1_ETR/TIM5_CH1/TIM8_ETR	OP1+
11	15	24	PA1	I/O		PA1	USART2_RTS/ ADC123_IN1/ TIM5_CH2/TIM2_CH2	OP1-
12	16	25	PA2	I/O		PA2	USART2_TX/ TIM5_CH3/ ADC123_IN2/ TIM2_CH3	
13	17	26	PA3	I/O		PA3	USART2_RX/ TIM5_CH4/ ADC123_IN3/ TIM2_CH4	
-	18	27	V_{SS_4}	S		V_{SS_4}		
-	19	28	V_{DD_4}	S		V_{DD_4}		
14	20	29	PA4	I/O		PA4	SPI1_NSS/ USART2_CK/ DAC_OUT1/ ADC12_IN4	OP1O
15	21	30	PA5	I/O		PA5	SPI1_SCK /DAC_OUT2/ ADC12_IN5	
16	22	31	PA6	I/O		PA6	SPI1_MISO/ TIM8_BKIN/ ADC12_IN6/ TIM3_CH1	TIM1_BKIN
17	23	32	PA7	I/O		PA7	SPI1_MOSI/ TIM8_CH1N/ ADC12_IN7/ TIM3_CH2	TIM1_CH1N
-	24	33	PC4	I/O		PC4	ADC12_IN14	OP3O
-	25	34	PC5	I/O		PC5	ADC12_IN15	OP2O
18	26	35	PB0	I/O		PB0	ADC12_IN8/ TIM3_CH3/ TIM8_CH2N	TIM1_CH2N
19	27	36	PB1	I/O		PB1	ADC12_IN9/ TIM3_CH4/ TIM8_CH3N	TIM1_CH3N
20	28	37	PB2	I/O	FT	PB2/BOOT1		
-	-	38	PE7	I/O	FT	PE7		TIM1_ETR
-	-	39	PE8	I/O	FT	PE8		TIM1_CH1N
-	-	40	PE9	I/O	FT	PE9		TIM1_CH1
-	-	41	PE10	I/O	FT	PE10		TIM1_CH2N
-	-	42	PE11	I/O	FT	PE11		TIM1_CH2
-	-	43	PE12	I/O	FT	PE12		TIM1_CH3N
-	-	44	PE13	I/O	FT	PE13		TIM1_CH3
-	-	45	PE14	I/O	FT	PE14		TIM1_CH4
-	-	46	PE15	I/O	FT	PE15		TIM1_BKIN

(continued)

引脚			名称	类型	I/O(2)	主要功能（复位后）	复用功能(4)	
LQFP48	LQFP64	LQFP100					默认	重定义
21	29	47	PB10	I/O	FT	PB10	I2C2_SCL/ USART3_TX	TIM2_CH3
22	30	48	PB11	I/O	FT	PB11	I2C2_SDA/ USART3_RX	TIM2_CH4
23	31	49	V_{SS_1}	S		V_{SS_1}		
24	32	50	V_{DD_1}	S		V_{DD_1}		
25	33	51	PB12	I/O	FT	PB12	SPI2_NSS/ I2S2_WS/ I2C2_SMBAI/ USART3_CK/ TIM1_BKIN	
26	34	52	PB13	I/O	FT	PB13	SPI2_SCK/ I2S2_CK /USART3_CTS/ TIM1_CH1N	
27	35	53	PB14	I/O	FT	PB14	SPI2_MISO/ TIM1_CH2N/ USART3_RTS	
28	36	54	PB15	I/O	FT	PB15	SPI2_MOSI/ I2S2_SD/ TIM1_CH3N	
-	-	55	PD8	I/O	FT	PD8		USART3_TX
-	-	56	PD9	I/O	FT	PD9		USART3_RX
-	-	57	PD10	I/O	FT	PD10		USART3_CK
-	-	58	PD11	I/O	FT	PD11		USART3_CTS
-	-	59	PD12	I/O	FT	PD12		USART3_RTS/ TIM4_CH1
-	-	60	PD13	I/O	FT	PD13		TIM4_CH2
-	-	61	PD14	I/O	FT	PD14		TIM4_CH3
-	-	62	PD15	I/O	FT	PD15		TIM4_CH4
-	37	63	PC6	I/O	FT	PC6	I2S2_MCK/ TIM8_CH1/ SDIO_D6/ QSPI_BK2_IO2	TIM3_CH1
-	38	64	PC7	I/O	FT	PC7	I2S3_MCK/ TIM8_CH2/ SDIO_D7/ QSPI_BK2_IO3	TIM3_CH2
-	39	65	PC8	I/O	FT	PC8	TIM8_CH3/ SDIO_D0/ QSPI_BK1_IO0	TIM3_CH3
-	40	66	PC9	I/O	FT	PC9	TIM8_CH4/ SDIO_D1/ QSPI_BK1_IO1	TIM3_CH4
29	41	67	PA8	I/O	FT	PA8	USART1_CK/ TIM1_CH1/ MCO	
30	42	68	PA9	I/O	FT	PA9	USART1_TX/ TIM1_CH2	
31	43	69	PA10	I/O	FT	PA10	USART1_RX/ TIM1_CH3	
32	44	70	PA11	I/O	FT	PA11	USART1_CTS/ USBDM/ CAN_RX/ TIM1_CH4	
33	45	71	PA12	I/O	FT	PA12	USART1_RTS/ USBDP/ CAN_TX/ TIM1_ETR	
34	46	72	PA13	I/O	FT	SWDIO		PA13
-	-	73	-	-	-	-	-	-
35	47	74	V_{SS_2}	S	FT	V_{SS_2}		
36	48	75	V_{DD_2}	S	FT	V_{DD_2}		
37	49	76	PA14	I/O	FT	SWCLK		PA14
38	50	77	PA15	I/O	FT	PA15	SPI3_NSS/I2S3_WS/QSPI_BK2_nCS	TIM2_CH1_ETR/ SPI1_NSS
-	51	78	PC10	I/O	FT	PC10	UART4_TX/SDIO_D2/QSPI_BK1_IO2	USART3_TX
-	52	79	PC11	I/O	FT	PC11	UART4_RX/SDIO_D3/QSPI_BK1_IO3	USART3_RX
-	53	80	PC12	I/O	FT	PC12	UART5_TX/SDIO_CK/QSPI_CLK	USART3_CK
-	5	81	PD0	I/O	FT	OSC_IN		CAN_RX
-	6	82	PD1	I/O	FT	OSC_OUT		CAN_TX
-	54	83	PD2	I/O	FT	PD2	TIM3_ETR/UART5_RX/SDIO_CMD/QSPI_BK1_nCS	
-	-	84	PD3	I/O	FT	PD3		USART2_CTS
-	-	85	PD4	I/O	FT	PD4		USART2_RTS
-	-	86	PD5	I/O	FT	PD5		USART2_TX
-	-	87	PD6	I/O	FT	PD6		USART2_RX
-	-	88	PD7	I/O	FT	PD7		USART2_CK
39	55	89	PB3	I/O	FT	PB3	SPI3_SCK/I2S3_CK	TRACESWO/ TIM2_CH2/ SPI1_SCK
40	56	90	PB4	I/O	FT	PB4	SPI3_MISO	TIM3_CH1/ SPI1_MISO
41	57	91	PB5	I/O	-	PB5	I2C1_SMBAI/SPI3_MOSI/I2S3_SD	TIM3_CH2/ SPI1_MOSI

(continued)

引脚			名称	类型	I/O[2]	主要功能（复位后）	复用功能[4]	
LQFP48	LQFP64	LQFP100					默认	重定义
42	58	92	PB6	I/O	FT	PB6	I2C1_SCL/TIM4_CH1	USART1_TX
43	59	93	PB7	I/O	FT	PB7	I2C1_SDA/TIM4_CH2	USART1_RX
44	60	94	BOOT0	I	-	BOOT0		
45	61	95	PB8	I/O	FT	PB8	TIM4_CH3/SDIO_D4/QSPI_BK2_IO0	I2C1_SCL/ CAN_RX
46	62	96	PB9	I/O	FT	PB9	TIM4_CH4/SDIO_D5/QSPI_BK2_IO1	I2C1_SDA/ CAN_TX
-	-	97	PE0	I/O	FT	PE0	TIM4_ETR	
-	-	98	PE1	I/O	FT	PE1	QSPI_CLK	
47	63	99	V_{SS_3}	S	-	V_{SS_3}		
48	64	100	V_{DD_3}	S	-	V_{DD_3}		

[1] I = 输入, O = 输出, S = 电源

[2]FT = 5 V 兼容

[3] 功能的可用性取决于所选产品的型号

[4] 如果多个外设共享同一 I / O 引脚, 为避免这些备用功能之间发生冲突, 只能通过外设时钟使能位 (在相应的 RCC 外设时钟使能寄存器中) 一次仅使能一个外设。

[5] 这个复用功能被启用之后，不会被主复位信号复位

[6] 次复用功能可以被软件重新映射到其它引脚端口（如果在选中的型号中存在）

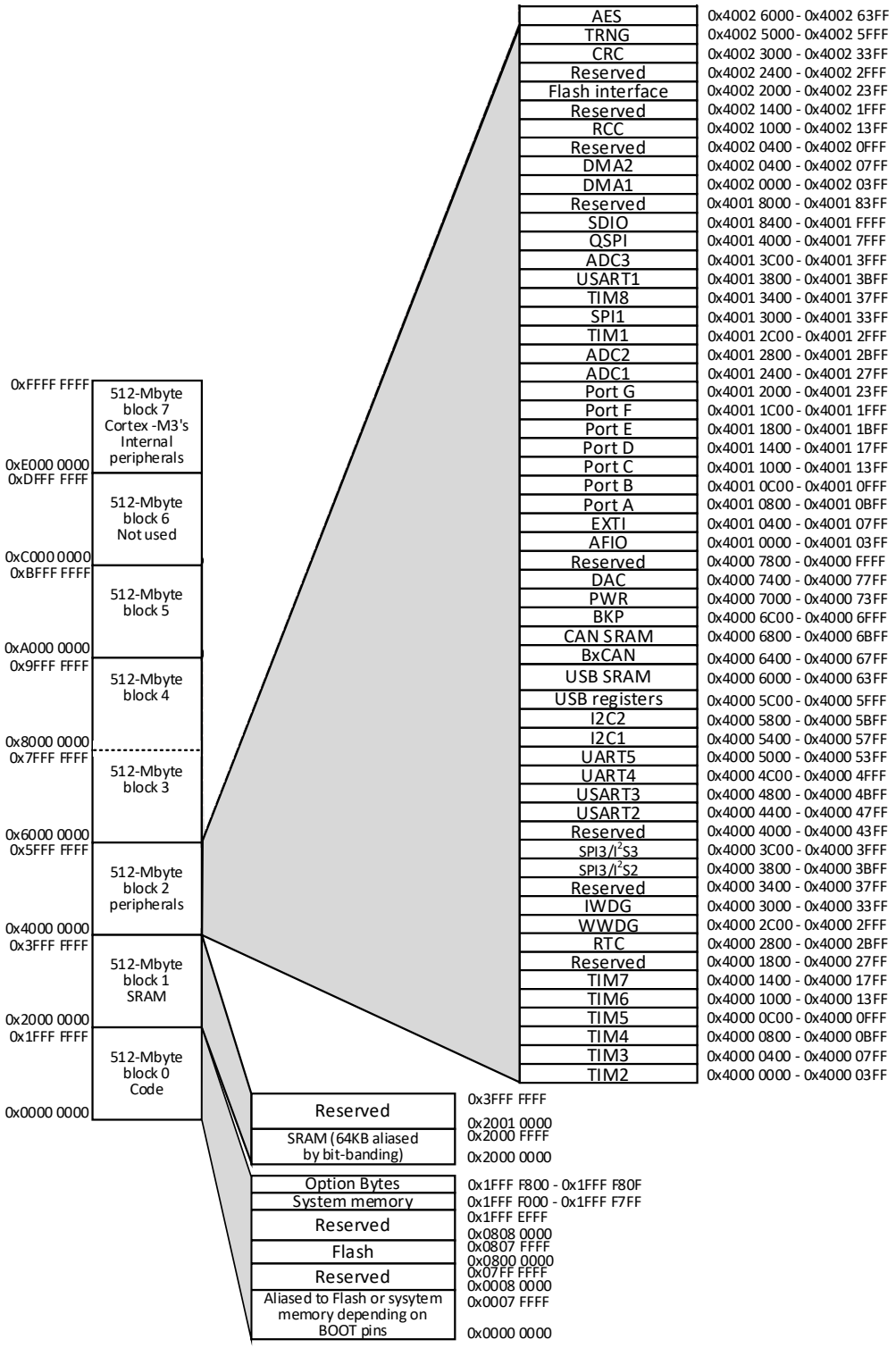
[7]LQFP64 封装形式中, 引脚 5/6 在复位后被配置成 OSC_IN/OSC_OUT, 但是 PD0/1 的功能仍然可以被软件映射到这两个引脚。LQFP100 封装中,PD0/1 默认存在, 不需要重新映射

第 3 章　规格说明

3.1　ARM® Cortex™-M3

32-bit Arm® Cortex®-M3 核心处理器专为高性能设计，在成本受限的应用程序中进行实时处理, 可以处理复杂的任务。任何 Arm® Cortex®-M3 微控制器提供高可扩展性组合在性能和成本之间进行最佳权衡。

3.2 地址映射


0xFFFF FFFF
512-Mbyte block 7 Cortex -M3's Internal peripherals
0xE000 0000
0xDFFF FFFF
512-Mbyte block 6 Not used
0xC000 0000
0xBFFF FFFF
512-Mbyte block 5
0xA000 0000
0x9FFF FFFF
512-Mbyte block 4
0x8000 0000
0x7FFF FFFF
512-Mbyte block 3
0x6000 0000
0x5FFF FFFF
512-Mbyte block 2 peripherals
0x4000 0000
0x3FFF FFFF
512-Mbyte block 1 SRAM
0x2000 0000
0x1FFF FFFF
512-Mbyte block 0 Code
0x0000 0000
AES 0x4002 6000 - 0x4002 63FF
TRNG 0x4002 5000 - 0x4002 5FFF
CRC 0x4002 3000 - 0x4002 33FF
Reserved 0x4002 2400 - 0x4002 2FFF
Flash interface 0x4002 2000 - 0x4002 23FF
Reserved 0x4002 1400 - 0x4002 1FFF
RCC 0x4002 1000 - 0x4002 13FF
Reserved 0x4002 0400 - 0x4002 0FFF
DMA2 0x4002 0400 - 0x4002 07FF
DMA1 0x4002 0000 - 0x4002 03FF
Reserved 0x4001 8000 - 0x4001 83FF
SDIO 0x4001 8400 - 0x4001 FFFF
QSPI 0x4001 4000 - 0x4001 7FFF
ADC3 0x4001 3C00 - 0x4001 3FFF
USART1 0x4001 3800 - 0x4001 3BFF
TIM8 0x4001 3400 - 0x4001 37FF
SPI1 0x4001 3000 - 0x4001 33FF
TIM1 0x4001 2C00 - 0x4001 2FFF
ADC2 0x4001 2800 - 0x4001 2BFF
ADC1 0x4001 2400 - 0x4001 27FF
Port G 0x4001 2000 - 0x4001 23FF
Port F 0x4001 1C00 - 0x4001 1FFF
Port E 0x4001 1800 - 0x4001 1BFF
Port D 0x4001 1400 - 0x4001 17FF
Port C 0x4001 1000 - 0x4001 13FF
Port B 0x4001 0C00 - 0x4001 0FFF
Port A 0x4001 0800 - 0x4001 0BFF
EXTI 0x4001 0400 - 0x4001 07FF
AFIO 0x4001 0000 - 0x4001 03FF
Reserved 0x4000 7800 - 0x4000 FFFF
DAC 0x4000 7400 - 0x4000 77FF
PWR 0x4000 7000 - 0x4000 73FF
BKP 0x4000 6C00 - 0x4000 6FFF
CAN SRAM 0x4000 6800 - 0x4000 6BFF
BxCAN 0x4000 6400 - 0x4000 67FF
USB SRAM 0x4000 6000 - 0x4000 63FF
USB registers 0x4000 5C00 - 0x4000 5FFF
I2C2 0x4000 5800 - 0x4000 5BFF
I2C1 0x4000 5400 - 0x4000 57FF
UART5 0x4000 5000 - 0x4000 53FF
UART4 0x4000 4C00 - 0x4000 4FFF
USART3 0x4000 4800 - 0x4000 4BFF
USART2 0x4000 4400 - 0x4000 47FF
Reserved 0x4000 4000 - 0x4000 43FF
SPI3/I2S3 0x4000 3C00 - 0x4000 3FFF
SPI3/I2S2 0x4000 3800 - 0x4000 3BFF
Reserved 0x4000 3400 - 0x4000 37FF
IWDG 0x4000 3000 - 0x4000 33FF
WWDG 0x4000 2C00 - 0x4000 2FFF
RTC 0x4000 2800 - 0x4000 2BFF
Reserved 0x4000 1800 - 0x4000 27FF
TIM7 0x4000 1400 - 0x4000 17FF
TIM6 0x4000 1000 - 0x4000 13FF
TIM5 0x4000 0C00 - 0x4000 0FFF
TIM4 0x4000 0800 - 0x4000 0BFF
TIM3 0x4000 0400 - 0x4000 07FF
TIM2 0x4000 0000 - 0x4000 03FF
Reserved
0x3FFF FFFF
0x2001 0000
SRAM (64KB aliased by bit-banding)
0x2000 FFFF
0x2000 0000
Option Bytes 0x1FFF F800 - 0x1FFF F80F
System memory 0x1FFF F000 - 0x1FFF F7FF
Reserved
0x1FFF EFFF
0x0808 0000
Flash
0x0807 FFFF
0x0800 0000
Reserved
0x07FF FFFF
0x0008 0000
Aliased to Flash or sysytem memory depending on BOOT pins
0x0007 FFFF
0x0000 0000

3.3 Flash

内嵌了 256 KB 的 Flash 存储器，用于存储用户的应用代码和数据。内核运行在 48MHz 及以下,Flash 不需要等待周期,48MHz 以上需要一个等待周期。

3.4 SRAM

内嵌了 64 KB 的 SRAM 存储器，不需要等待周期。

3.5 CRC(cyclic redundancy check) 计算单元

支持 ISO/IEC13239 的 CRC-32 多项式:

$$X32 + X26 + X23 + X22 + X16 + X12 + X11 + X10 + X8 + X7 + X5 + X4 + X2 + X + 1 \tag{3.1}$$

3.6 时钟和启动

系统时钟有 3 个时钟源：HSI （内部 8MHz)、HSE （外部 4~24MHz)、PLL （内部 4~96MHz)。系统在启动和复位时会选择 HSI 为默认时钟，之后软件可以任意配置系统时钟在 HSI/HSE/PLL 之间切换。

在使用 HSE 为系统时钟时，如果检测到 HSE 失效，系统会自动切换回 HSI，并产生一个软件中断。

有多个预分频器可以灵活配置 AHB/APB1/APB2 的时钟频率,AHB ,APB1 和 APB2 的最高时钟频率是 96MHz。

3.7 启动模式

可以用 boot0/boot1 引脚来选择启动方式:

- 从闪存用户区启动
- 从闪存系统区启动，启动后可以通过 USRAT1 对闪存用户区进行编程
- 从 SRAM 启动

3.8 嵌套的向量式中断控制器 (NVIC)

内置 NVIC 最多可以处理 64 个可屏蔽的中断线（不包括 16 个 M3 的中断）和 16 个可编程优先级。

- 紧密耦合的 NVIC 提供了低延迟中断处理
- 中断入口向量地址直接传递到核心
- 中断的快速响应
- 处理优先级较高级别的中断
- 支持 Tail-chaining
- 处理器状态自动保存
- 中断返回自动恢复，无需额外指令

该硬件模块提供了灵活的中断管理功能和最小的中断延迟

3.9 外部中断 / 事件控制器 (EXTI)

外部中断/事件控制器包括 24 个边缘检测线用于产生中断/事件请求，每条线都可以被单独地配置触发事件（上升沿，下降沿或者两者)，并且能够独立的被屏蔽。一个挂起的寄存器维持所有的中断请求状态。EXTI 可以检测到小于内部 APB2 时钟周期的脉冲，所有的 GPIO 都可以连接到 16 个外部中断线.

3.10 供电方案

- VDD = 2.0V ~ 3.6V: 通过 VDD 引脚为所有 IO 和内部电压调节器提供外部电源。
- VSSA, VDDA = 2.4V ~ 3.6V: 外部模拟电源为 ADC, DAC, 复位单元，振荡器和锁相环（ADC/DAC 工作

的最低电压为 2.4V）供电。VDDA 和 VSSA 必须分别连接到 VDD 和 VSS
- VBTA = 2.0V ~ 3.6V: 当 VDD 关闭时，为 RTC，外部 32.768kHz 振荡器和备份寄存器供电

3.11 供电检测

该设备具有集成的上电复位 (POR)/下电复位 (PDR) 电路。它始终是活跃的，并确保正常运行从/低到 2.0 V。当 VDD 低于指定的阈值 $V_{POR/PDR}$ 时，设备保持在复位模式，而不需要外部复位电路

该设备具有嵌入式可编程电压检测器 (PVD)，可监测 VDD 电源，并将其与 V_{PVD} 阈值进行比较。当 VDD 低于 V_{PVD} 阈值和/或当 VDD 高于 V_{PVD} 阈值时，可以生成中断。然后，中断服务例程可以生成警告消息和/或将 MCU 置于安全模式。PVD 由软件使能。

3.12 电压调节器

电压调节器有 3 种工作模式：主模式（MR）, 低功耗模式（LPR）和关闭模式。

- 主模式用在常规的调节模式。调节器为 1.2V 的域提供电源（内核，存储和数字周边）。
- 低功耗模式用在停止模式下。调节器为 1.2V 的域提供低功耗电源，保留了寄存器和 SRAM 的数据。
- 关闭模式用在待机模式下。调节器输出处在高阻状态，核心电路被关闭（寄存器和 SRAM 的内容丢失）

3.13 低功耗模式

MG32F157xx 支持三种低功耗模式，实现低功耗、短启动时间和可用唤醒源之间的最佳妥协:

3.13.1 睡眠模式

睡眠模式下，内核时钟被关闭，所有的外设仍处在工作状态

3.13.2 停止模式

停止模式在保留寄存器和 SRAM 数据的情况下达到最低的功耗。1.2V 域的时钟被关闭，锁相环，内部高速振荡器和外部高速振荡器被关闭。电压调节器可以处在主模式或者低功耗模式。通过任一 EXTI 线可以唤醒产品。EXTI 信号源可以是任一 16 个外部中断，PVD 输出，RTC 闹钟报警.

3.13.3 待机模式

待机模式可以实现最低的功耗。内部的电压调节器被关闭，整个 1.2V 的域也被关闭。锁相环，内部高速振荡器和外部高速振荡器被断开。进入待机模式之后，SRAM 和寄存器的数据丢失，只有备份区的寄存器和待机电路保持供电状态。

注意: *RTC, IWDG* 和对应的时钟源在进入待机模式之后没有停止。

3.14 DMA

灵活的 12 路通用 DMA（DMA1 有 7 路，DMA2 有 5 路）可以管理存储器到存储器，外设到存储器和存储器到外设，外设到外设的数据传输。2 个 DMA 控制器支持环形缓冲区的管理，避免了控制器到达缓冲区结尾时产生的中断。DMA 可以用于主要的外设：SPI, I2C, USART, 通用/基本/高级定时器 TIMx，DAC, I2S, SDIO, ADC，QSPI，AES。

3.15 实时时钟 (RTC) 和备份寄存器 (BKP)

RTC 和后备寄存器通过一个开关供电，在 VDD 有效时该开关选择 VDD 供电，否则由 VBAT 引脚供电。备份寄存器是 42 个 16bit 的寄存器，当 VDD 关闭时，用来存储 84 字节的用户数据。这个寄存器不会被系统或者电源复位重置，也不会被待机模式之后的唤醒重置。

实时时钟提供一组连续计数的计数器，可以被软件配置来提供时钟日历功能，也可以提供闹钟中断和周期性的中断。它的时钟可由外部的 32.768kHz 的振荡器，内部低速的振荡器或者 128 分频的外部高速振荡器提供。内部低速的振荡器的典型频率时 40kHz。RTC 可以通过外部 512Hz 输出校准，以补偿自然的频率偏差。RTC 具有一个 32 位可编程计数器，可使用比较寄存器进行警告以进行长期测量。20 位预分频器用于时基时钟，默认情况下配置为从 32.768 kHz 的时钟生成 1 秒的时基

3.16 定时器和看门狗

2 个高级定时器，4 个通用定时器，2 个基本定时器，2 个看门狗定时器和一个系统定时器

Tab3.16-1 对比了特性

表 3.16-1 定时器特性比较

定时器	分频率	类型	预分频系数	捕获比较通道	DMA 请求生成	互补输出
TIM1/ TIM8	32-bit	增，减，增/减	1 到 65535 的任意整数	是	4	是
TIM2/ TIM3/ TIM4/ TIM5	32-bit	增，减，增/减	1 到 65535 的任意整数	是	4	否
TIM6/ TIM7	32-bit	增	1 到 65535 的任意整数	是	0	否

高级控制定时器 (TIM1 and TIM8)

2 个高级控制定时器可以看作 6 个通道上复用的 3 相 PWM，具有可编程插入死区的互补输出。同样可被用作通用定时器。4 个独立的通道可用来:

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出

调试模式下，定时器可被冻结，PWM 输出被禁止，切断这些输出所控制的电源开关。

高级定时器的很多功能和通用定时器相同，相同的内部结构，因此可以通过定时器链接功能与 TIM 定时器共同工作，提供同步或者事件链接。

通用定时器 (TIMx)

4 个可同步的通用定时器（TIM2, TIM3, TIM4, TIM5）。这些计数器基于 1 个 32 位的自动加载增/减计数器，1 个 16 比特的预分频器和 4 个独立的通道，每个通道可以用作捕获，输出比较，PWM 或者单脉冲模式输出。这提供了最高 16 个输入捕获/输出比较/PWM。

这些定时器能够处理正交（增量）编码器信号和 1 至 3 个霍尔效应传感器的数字输出

基本定时器（TIM6 ，TIM7）

基本定时器主要用来数模转换的触发生成。

独立的看门狗

独立的看门狗基于 1 个 12 比特的递减计数器和 1 个 8 比特的预分频器。它的时钟由内部的 40kHz 振荡器提供，由于独立于主时钟，所以可以运行在停机和待机模式。看门狗可以在系统出现问题时复位系统，也可以作为自由定时器为应用程序进行超时管理。可以通过选项字节选择硬件启动或软件启动。调试模式下，看门狗被关闭

窗口的看门狗

窗口看门狗基于 1 个 7 比特的递减计数器，可以自由运行。它可以被当成看门狗，在系统发生问题的时候复位系统，由主时钟驱动，具有早期预警中断能力，在调试模式下被关闭

系统定时器系统定时器专门用于实时操作系统，同时也可以被用作标准的递减计数器

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

3.17 I2C 总线

2 路 I2C 总线接口可以工作在多主和从模式下，支持标准，快速和高速模式。
总线接口支持 7/10 比特寻址模式，和从模式 7 比特双地址寻址。
总线接口可以由 DMA 提供服务，并且支持 SMBus 2.0/PMBus。

3.18 通用同步/异步收发器 (USARTs)

3 个通用同步/异步收发器（USART1/2/3）和 2 个通用异步收发器（UART4/5）。

这 5 个接口提供异步通讯，支持 IrDA SIR ENDEC，多处理器通讯模式，单线半双工通信模式，并具有 LIN 主/从功能。

USART1 接口最高通讯速度可达 4.5Mb/s，其它接口可达 2.25Mb/s。

USART1/2/3 同时提供 CTS 和 RTS 信号管理，智能卡模式（符合 ISO7816 标准）和类似 SPI 的通讯功能。DMA 可以为除了 UART5 之外的其它接口服务。

3.19 串行外设接口 (SPI)

在全双工和单工通讯模式下，主机和从机模式下，3 个 SPI 能以高达 24Mb/s 的速率进行通讯。3 比特预分频器提供 8 个主模式频率，并且每帧可被配置成 8/16 比特。硬件 CRC 生成/验证支持基本的 SD 卡/ MMC 模式。DMA 可以为 SPI 提供服务。

3.20 四路串行外设接口 (QSPI)

QSPI 接口支持单/双/四路 SPI，2 组接口，可同时支持 2 个外挂闪存访问，操作选择 8/16/32 比特：

- 寄存器间接访问
- 外挂闪存轮询模式
- 存储区映射模式

3.21 内置音频总线 (I2S)

2 路标准的音频总线（和 SPI2/3 复用），工作在主或从模式下。这些接口可以被配置成 16/32 比特分辨率输入或输出，音频采样频率从 8kHz 到 192kHz。当任一或者全部音频接口被配置为主模式，主时钟可以 256 倍采样频率输出到外部 DAC/CODEC.

3.22 安全数字输入输出接口 (SDIO)

SDIO 接口可以与 SD 存储卡，MMC 卡，SDIO 卡以及 CE-ATA 设备通信；
支持 SD 存储卡 2.0 标准，1/4 位模式;
支持 SDIO 2.0 标准；
支持 CE-ATA 1.1 标准；
支持 MMC 4.2 标准,1/4/8 位模式

3.23 控制器区域网络 (CAN)

支持博世 CAN2.0A/CAN2.0B，支持 ISO-11898-1 的 CAN FD 模式

3.24 通用串行总线 (USB)

内嵌 1 个 USB 控制器和物理层收发器。

- 符合 USB2.0 全速设备规范
- 可配置 1 到 6 个端点
- 所有端点动态分配 FIFO
- FIFO 总长度最大 1024 字节
- 支持双缓冲的批量/同步传输
- 支持控制/中断传输
- 支持 USB 挂起/恢复操作
- 4 个内置 DMA 通道
- 支持软连接/断开

3.25 通用输入输出接口 (GPIO)

每一个通用输入输出接口可被软件配置为推挽或漏极开路输出，带或者不带上拉/下拉的输入，或者复用的外设功能。大多数 GPIO 引脚与数字或者模拟功能复用。所有的 GPIO 都可以通过大电流。如果需要，可以按照特定的顺序锁 I/O 复用功能，以避免对 I/O 寄存器进行错误的写入

3.26 模拟数字转换 (ADC)

3 个 12 比特的模拟数字转换器，每个转换器有多达 16 个外部通道和 2 个内部源，完成单次，连续，扫描或者非连续模式转换。在扫描模式下，选定的一组模拟输入会自动转换

- 同步采样并保持
- 交叉采样并保持
- 单次采样

DMA 控制器可以服务 ADC 模块。
模拟看门狗可以非常精确地监视部分或全部选定通道的转换电压，当转换后的电压超出设定的阈值时，将产生中断。
通用定时器（TIMx）和高级控制定时器（TIM1/8）产生的事件可以分别在内部连接到 ADC 启动触发器和注入触发器，以允许应用程序同步使用 A/D 转换和定时器。

3.27 数字模拟转换 (DAC)

2 个 12 比特缓冲 DAC 通道可用于将 2 个数字信号转换为 2 个模拟电压信号输出。选择的设计结构由集成电阻串和反相配置的放大器组成。此双数字接口支持以下功能

- 两个 DAC 转换器：每个输出通道一个
- 8 比特或 12 比特单调输出
- 12 比特模式下的左/右数据对齐
- 同步更新功能
- 噪声波的产生
- 三角波产生
- 双 DAC 通道独立或同步转换
- 每个通道 DMA 功能
- 外部触发转换
- 输入参考电压 VREF+

- 8 个 DAC 触发输入源，支持 DMA 接口

3.28 温度传感器

温度传感器必须产生随温度线性变化的电压。转换范围 2.0V < VDDA < 3.6V。温度传感器内部连接 ADC 输入通道，该通道用于将传感器输出电压转换为数字。

3.29 串行调试 (SWD/Trace)

调试跟踪接口 (SWD/Trace)
SWD 接口可用于发送调试指令和接收调试数据
Trace 接口可用于实时跟踪执行的指令流

3.30 运算放大器 (Op-Amp)

3 个轨至轨 (Rail to Rail) 运算放大器

3.31 真随机数发生器 (TRNG)

TRNG 是一个真随机数发生器，可以连续提供 32 位真随机数

3.32 高级加密标准 (AES)

- 支持 128 比特 AES 硬件加解密操作
- 支持 DMA 接口
- 支持 ECB/CBC/CTR 三种模式

第 4 章　电气特性

4.1　测试条件

除非另有说明，所有电压均参考 VSS。

4.1.1　最小和最大值

除非特别说明，最小和最大值是在 25°C 的环境温度和 VDD=3.3V 的条件下。表格中的特性值基于设计仿真，工艺特征，未在量产中测试

4.1.2　典型值

除非特别说明，典型值基于 25°C 的环境温度和 VDD=3.3V 的条件。

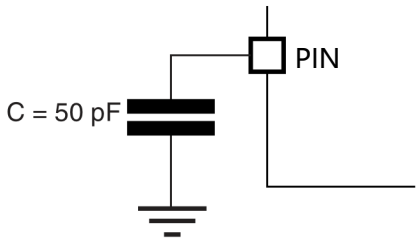
4.1.3　典型曲线

除非特别说明，典型曲线是为了提供设计知道，并没有被测试。

4.1.4　负载电容

引脚参数测量的负载电容如图表 4.1-1. 所示。

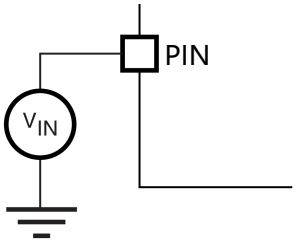
图 4.1-1　引脚电容



4.1.5　引脚输入电压

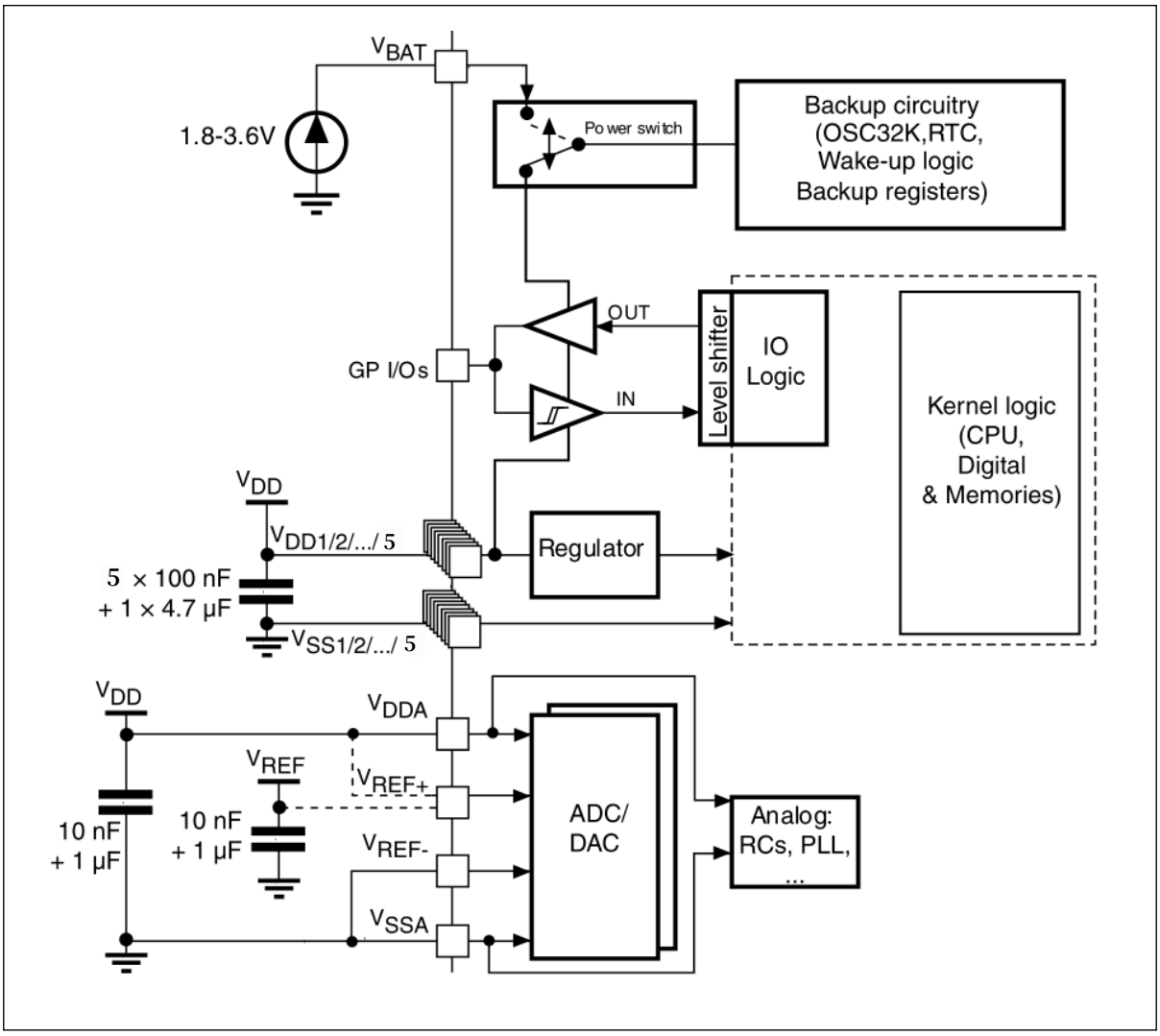
引脚上输入电压的测量方式如图表 4.1-2所示。

图 4.1-2　引脚输入电压



4.1.6　供电方案

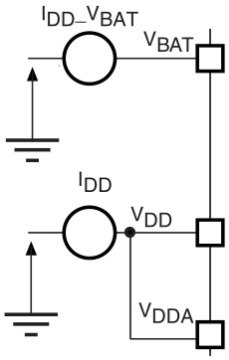
图 4.1-3　供电方案



注意: *4.7uF* 电容必须连到 V_{DD_3} 上

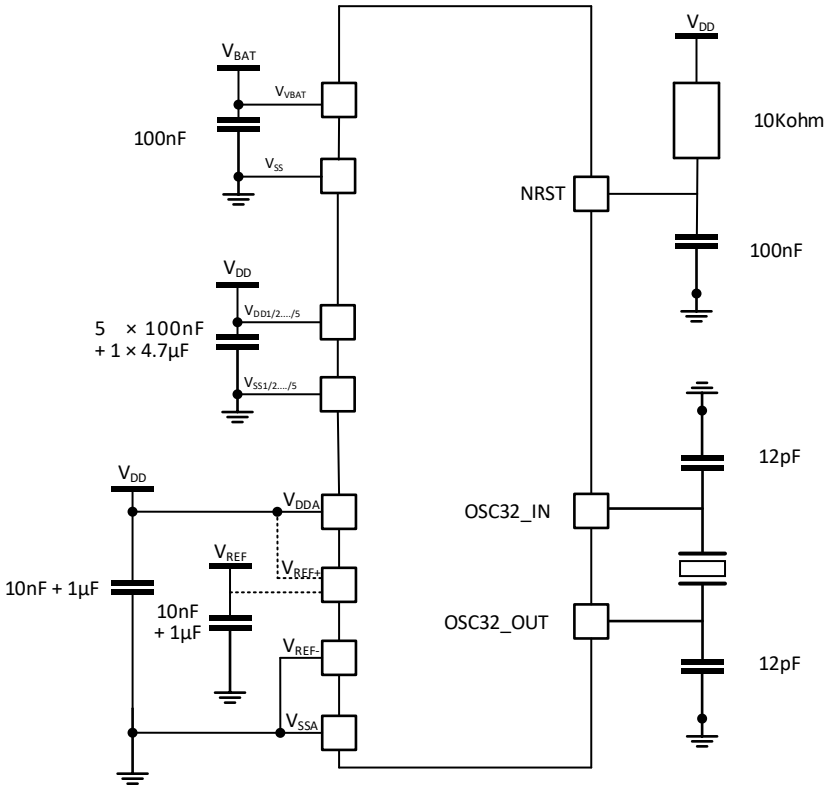
4.1.7　电流消耗测量

图 4.1-4　电流消耗测量



4.2　典型应用框图

图 4.2-1　MG32F157　典型应用框图



4.3　最大绝对值

高于下表中列出的绝对最大额定值的应力可能会对设备造成永久性损坏。这些只是应力等级，不建议设备在这些条件下的功能操作。长时间暴露在最大额定条件下可能会影响设备的可靠性。

4.3.1　电压特性

表 4.3-1　电压特性

符号	描述	最小值	最大值	单位
V_{DD} - V_{SS}	外部主供电电压 (包含 VDDA, VDD)	-0.3	4.0	V
V_{IN}	在 5V 容忍的引脚上的输入电压	V_{SS} - 0.3	5.5	
	在其它引脚上的输入电压	V_{SS} - 0.3	V_{DD} + 0.3	
$\|\Delta V_{DDx}\|$	不同供电引脚之间的电压差	-	50	mV
$\|V_{SSX}$ - $V_{SS}\|$	不同接地引脚之间的电压差	-	50	

4.3.2　电流特性

表 4.3-2　电流特性

符号	描述	最大值	单位
I_{VDD}	流经 VDD/VDDA 的总电流	150	mA
I_{VSS}	流经 VSS 的总电流	150	
I_{IO}	I/O 和输出引脚上的输出灌电流	25	
	I/O 和输出引脚上的输出电流	-25	
$I_{INJ(PIN)}$	5V 兼容引脚上的注入电流	±5	
	其它引脚上的注入电流	±5	
$\sum I_{INJ(PIN)}$	全部 I/O 和控制引脚上的总注入电流	±25	

4.3.3　温度特性

表 4.3-3　温度特性

符号	描述	值	单位
T_{STG}	存储温度范围	-65 ~ +150	°C
T_J	最大结温度	150	

4.4　工作条件

4.4.1　通用工作条件

表 4.4-1　通用工作条件

符号	描述	条件	最小值	最大值	单位
f_{HCLK}	内部 AHP 时钟频率	-	0	96	MHz
f_{PCLK1}	内部 APB1 时钟频率	-	0	96	
f_{PCLK2}	内部 APB2 时钟频率	-	0	96	
V_{DD}	标准工作电压	-	2	3.6	V
VDDA	模拟工作电压 (ADC 未使用)	必须与 VDD 电压相同	2	3.6	
	模拟工作电压 (ADC 使用)	-	2.4	3.6	
V_{BAT}	备用工作电压	-	1.8	3.6	
T_A	环境温度	最大功耗	-40	85	°C
		最小功耗	-40	105	
T_J	结温度范围	基本型	-40	105	
		拓展型	-40	125	

4.4.2　上电/掉电时的工作条件

表 4.4-2　上电/掉电时的工作条件

符号	参数	条件	最小值	典型值	最大值	单位
t_{VDD}	VDD 上升速率	-	0	-	∞	us/V
	VDD 下降速率	-	20	-	∞	-

4.4.3　内嵌复位和电源控制模块特性

表 4.4-3　PVD characteristics

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程电压检测电平选择 (上升沿)	PLS[2:0] = 000	2.1	2.18	2.26	V
		PLS[2:0] = 001	2.19	2.28	2.37	
		PLS[2:0] = 010	2.28	2.38	2.48	
		PLS[2:0] = 011	2.38	2.48	2.58	
		PLS[2:0] = 100	2.47	2.58	2.69	
		PLS[2:0] = 101	2.57	2.68	2.79	
		PLS[2:0] = 110	2.66	2.78	2.90	
		PLS[2:0] = 111	2.76	2.88	3.00	
	可编程电压检测电平选择 (下降沿)	PLS[2:0] = 000	2.0	2.08	2.16	
		PLS[2:0] = 001	2.09	2.18	2.27	
		PLS[2:0] = 010	2.18	2.28	2.38	
		PLS[2:0] = 011	2.28	2.38	2.48	
		PLS[2:0] = 100	2.37	2.48	2.59	
		PLS[2:0] = 101	2.47	2.58	2.69	
		PLS[2:0] = 110	2.56	2.68	2.80	
		PLS[2:0] = 111	2.66	2.78	2.90	
$V_{PVDhyst}$	PVD 延迟	-	-	100	-	mV
$V_{POR/PDR}$	上电/掉电阈值	上升沿	1.80	1.88	1.96	V
		下降沿	1.84	1.92	2.0	V
$V_{PDRhyst}$	PDR 延迟	-	-	40	-	mV
$T_{RSTTEMPO}$	复位持续时间	-	-	2.5	-	ms

4.4.4　内嵌参考电压

表 4.4-4　内嵌参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内部参考电压	-40°C < T_A < +105°C	-	1.0	-	V
$T_{S_vrefint}$	读内部参考电压 ADC 采样时间	-	-	10	-	us
T_{Coeff}	温度系数	-	-	-	100	ppm/°C

4.4.5　供电电流特性

当前的消耗是几个参数和因素的函数，如工作电压，环境温度，I/O 引脚负载，设备软件配置，工作频率，I/O 引脚切换速率，程序在内存中的位置和执行二进制代码。
所有的运行模式下的电流消耗都是在执行一套精简的代码。

最大电流消耗

产品被置于如下条件:

- 所有的 I/O 引脚处于输入模式，连接到稳态值 VDD 或者 VSS（不带负载）
- 所有的外设被关闭除非特别说明
- 闪存的读取速度被设置成 f_{HCLK} 频率（48MHz 频率以下 0 等待状态，48MHz 以上 1 个等待状态）
- 预取功能开启 (必须在时钟和总线预分频之前设置)
- 外设使能时 $f_{PCLK1} = f_{HCLK/2}$,$f_{PCLK2} = f_{HCLK}$

表 4.4-5　运行模式下最大电流消耗，从 flash 中执行代码

符号	条件	f_{HCLK}	最大值	单位
			T_A=105°C	
I_{DD}	外部时钟，所有外设使能	96 MHz	58.8	mA
		72 MHz	50.7	
		48 MHz	42.1	
		36 MHz	37.5	
		24 MHz	33.1	
		16 MHz	30.2	
		8 MHz	27.3	
	外部时钟，所有外设关闭	96 MHz	12.9	
		72 MHz	10.0	
		48 MHz	7.9	
		36 MHz	5.3	
		24 MHz	4.9	
		16 MHz	3.5	
		8 MHz	2.6	

表 4.4-6　运行模式下最大电流消耗，从 SRAM 中执行代码

符号	条件	f_{HCLK}	最大值	单位
			T_A=105°C	
I_{DD}	外部时钟，所有外设使能	96 MHz	61.8	mA
		72 MHz	53.2	
		48 MHz	44.2	
		36 MHz	39.4	
		24 MHz	34.8	
		16 MHz	31.7	
		8 MHz	28.7	
	外部时钟，所有外设关闭	96 MHz	13.5	
		72 MHz	10.5	
		48 MHz	8.3	
		36 MHz	5.5	
		24 MHz	5.2	
		16 MHz	3.7	
		8 MHz	2.7	

表 4.4-7　睡眠模式下的最大电流，代码从闪存或 SRAM 中执行

符号	条件	f_{HCLK}	最大值	单位
			T_A=105°C	
I_{DD}	外部时钟，所有外设使能	96 MHz	41.2	mA
		72 MHz	35.5	
		48 MHz	29.4	
		36 MHz	26.3	
		24 MHz	23.2	
		16 MHz	21.2	
		8 MHz	19.1	
	外部时钟，所有外设关闭	96 MHz	9.0	
		72 MHz	7.0	
		48 MHz	5.6	
		36 MHz	3.7	
		24 MHz	3.4	
		16 MHz	2.4	
		8 MHz	1.8	

表 4.4-8　停止和待机模式下的典型/最大电流

符号	参数	条件	典型值			最大值	单位
			VDD/VBAT = 2.0V	VDD/VBAT = 2.4V	VDD/VBAT = 3.3V	T_A = 105°C	
I_{DD}	停止模式下的电流	调节器运行模式，低速和高速内部振荡器关闭，高速晶振关闭（没有独立的看门狗）	80	85	115	1300	uA
		调节器低功耗模式，低速和高速内部振荡器关闭，高速晶振关闭（没有独立的看门狗）	85	90	95	1250	
	待机模式下的电流	低速内部振荡器和独立看门狗开启	1.8	1.9	2.3	-	
		低速内部振荡器开启和独立看门狗关闭	1.6	1.7	2.1	-	
		低速内部振荡器和独立看门狗关闭，低速晶振和实时时钟关闭	1.2	1.3	1.5	4.8	
I_{DD_VBAT}	备份区电流	低速晶振和实时时钟开启	0.8	0.85	0.9	2.3	

典型电流消耗

在下列条件下:

- 所有的 I/O 引脚处于输入模式，连接到稳态值 VDD 或者 VSS（不带负载）
- 所有的外设被关闭除非特别说明
- 闪存的读取速度被设置成 f_{HCLK} 频率 (48MHz 频率以下 0 等待状态, 48MHz 以上 1 个等待状态).
- 预取功能开启（必须在时钟和总线预分频之前设置）
- 外设使能时 $f_{PCLK1} = f_{HCLK/4}$, $f_{PCLK2} = f_{HCLK/2}$, $f_{ADCCLK} = f_{PLCK2}/4$

表 4.4-9　运行模式下的典型电流消耗，代码从闪存中执行

符号	条件	f_{HCLK}	典型值		单位
			所有外设使能	所有外设关闭	
I_{DD}	外部时钟	96 MHz	56.7	12.1	mA
		72 MHz	47.4	8.5	
		48 MHz	38.9	6.2	
		36 MHz	34.9	4.4	
		24 MHz	30.4	3.5	
		16 MHz	27.8	2.3	
		8 MHz	25.1	2.0	
		4 MHz	22.2	1.8	
		2 MHz	21.5	1.6	
		1 MHz	21.3	1.3	
		500 KHz	21.0	1.1	
		125 KHz	20.9	1.0	
	运行在内部高速振荡器下	64 MHz	42.7	7.7	
		48 MHz	38.1	6.0	
		36 MHz	34.2	4.3	
		24 MHz	29.8	3.4	
		16 MHz	27.3	2.3	
		8 MHz	24.6	1.9	
		4 MHz	21.8	1.7	
		2 MHz	21.0	1.5	
		1 MHz	20.9	1.3	
		500 KHz	20.6	1.1	
		125 KHz	20.5	1.0	

表 4.4-10　睡眠模式下的典型电流消耗，代码从闪存或 SRAM 中执行

符号	条件	f_{HCLK}	典型值		单位
			所有外设使能	所有外设关闭	
I_{DD}	外部时钟	96 MHz	39.7	8.5	mA
		72 MHz	33.2	6.0	
		48 MHz	27.2	4.3	
		36 MHz	24.4	3.1	
		24 MHz	21.3	2.4	
		16 MHz	19.5	1.6	
		8 MHz	17.6	1.4	
		4 MHz	15.5	1.2	
		2 MHz	15.0	1.1	
		1 MHz	14.9	0.9	
		500 KHz	14.7	0.8	
		125 KHz	14.6	0.7	
	运行在内部高速振荡器下	64 MHz	29.9	5.4	
		48 MHz	26.7	4.2	
		36 MHz	23.9	3.0	
		24 MHz	20.9	2.4	
		16 MHz	19.1	1.6	
		8 MHz	17.2	1.4	
		4 MHz	15.2	1.2	
		2 MHz	14.7	1.1	
		1 MHz	14.6	0.9	
		500 KHz	14.4	0.8	
		125 KHz	14.3	0.7	

4.4.6　外部时钟源特性

高速外部用户时钟由外部时钟源产生

表 4.4-11　高速外部时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟源频率	-	3	8	26	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	
$t_{w(HSE)}$	OSC_IN 高电平或低电平时间		16	-	-	ns
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN 上升或下降时间		-	-	20	
$C_{in(HSE)}$	OSC_IN 输入电容		-	10	-	pf
$DuCy_{(HSE)}$	占空比		45	-	55	%
I_L	OSC_IN 输入漏电流	$V_{DD} \leqslant V_{IN} \leqslant V_{SS}$	-	-	±1	uA

表 4.4-12　低速外部时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟源频率	-	16	32.768	200	KHz
V_{LSEH}	OSC_IN 输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{LSEL}	OSC_IN 输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	
$t_{w(LSE)}$	OSC_IN 高电平或低电平时间		-	15259	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC_IN 上升或下降时间		-	1	-	
$C_{in(LSE)}$	OSC_IN 输入电容		-	10	-	pf
$DuCy_{(LSE)}$	占空比		40	50	55	%
I_L	OSC_IN 输入漏电流	$V_{DD} \leqslant V_{IN} \leqslant V_{SS}$	-	-	±1	uA

图 4.4-1　高速外部时钟时序图

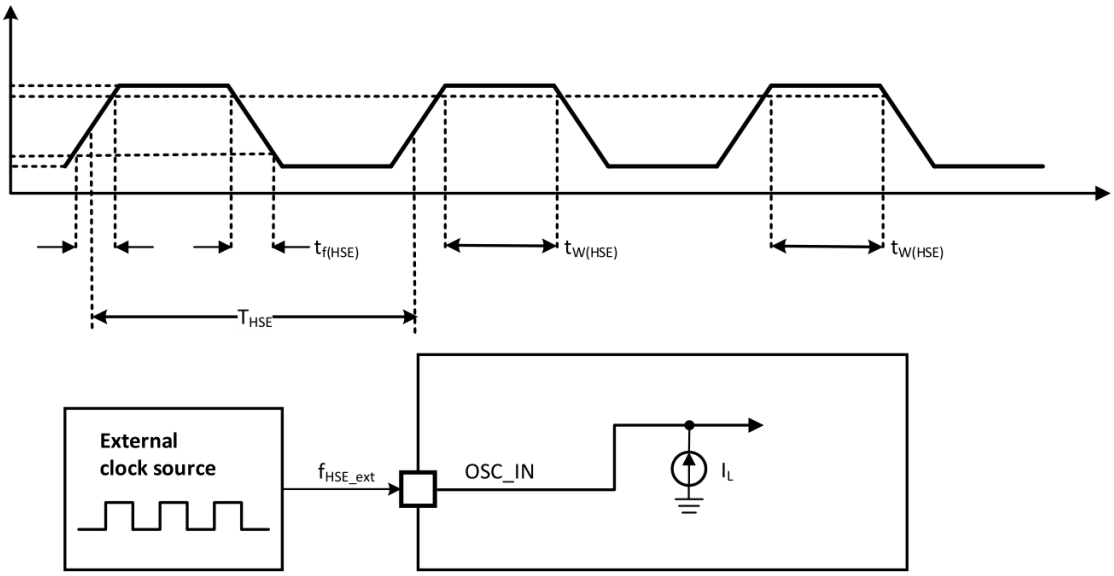
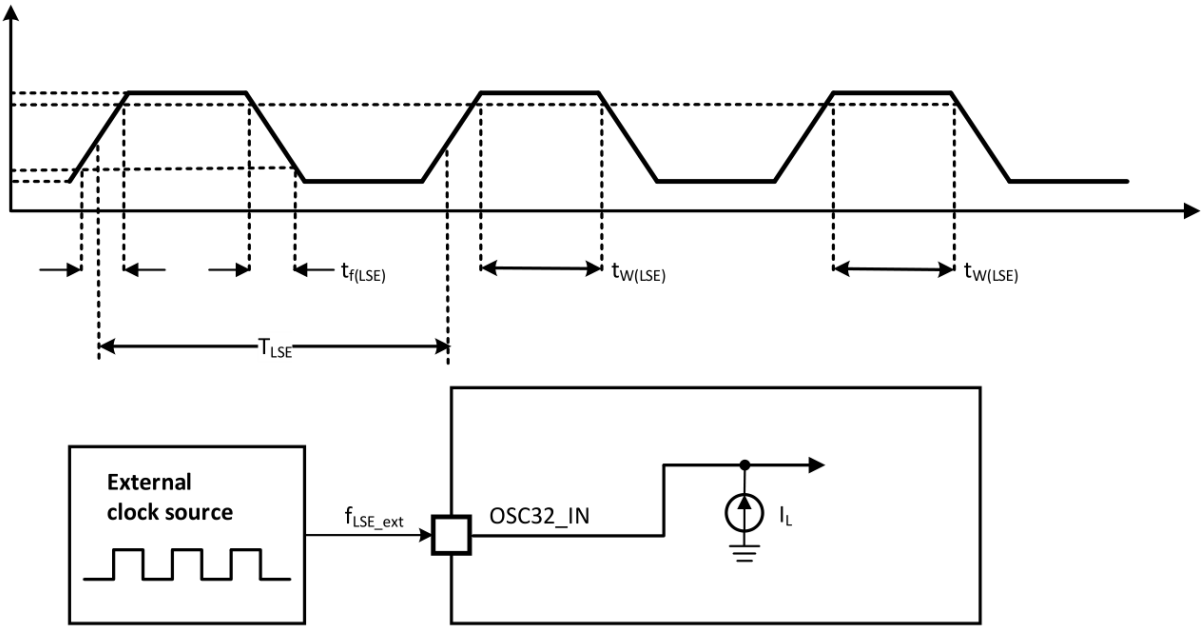


图 4.4-2　低速外部时钟时序图



高速外部用户时钟由晶振或者陶瓷谐振器产生

表 4.4-13　外部高速时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	3	12	26	MHz
R_F	反馈电阻	-	-	200	-	Ω
C	晶振外部负载电容	-	-	12	-	pF
I_{dd}	HSE 驱动电流	V_{DD} = 3.3 V, V_{IN} = V_{SS} 12 pF 负载	-	0.3	-	mA
$DuCy_{(fclk)}$	占空比	启动	40	50	60	%
$t_{SU(HSE)}$	启动时间	3M ~ 26MHz	-	250	-	us

低速用户时钟由晶振或者陶瓷谐振器产生

表 4.4-14　外部低速时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻	-	40	65	85	Ω
C	晶振外部负载电容	-	-	12	-	pF
I_{dd}	LSE 驱动电流	ESR = 65kOhm, C_{SCLK} = 12pF	-	250	-	nA
$DuCy_{(fclk)}$	占空比	启动	40	50	60	%
$t_{SU(LSE)}$	启动时间	ESR = 65kOhm, C_{SCLK} = 12pF	-	2	4	s

4.4.7　内部时钟源特性

表 4.4-15　HSI 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	-	-	8	-	MHz
$ACC_{(HSI)}$	HSI 振荡器精准度	T_A = -40 to 105°C	-2.5	-	2.5	%
		T_A = -10 to 85°C	-2	-	2	%
		T_A = -0 to 70°C	-1.5	-	1.5	%
		T_A = 25°C	-0.8	-	0.8	%
$t_{SU(HSI)}$	HSI 振荡器启动时间	-	-	2	-	us
$I_{DD(HSI)}$	HSI 振荡器功耗	-	-	70	-	uA

表 4.4-16　LSI 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	频率	-	38	40	42	kHz
$T_{SU(LSI)}$	LSI 振荡器启动时间	-	-	70	-	us
$I_{DD(LSI)}$	LSI 振荡器功耗	-	0.2	0.25	0.35	uA

表 4.4-17　低功耗模式启动时间

符号	参数	最小值	典型值	最大值	单位
$t_{WUSLEEP}$	睡眠模式启动时间	-	4	-	us
t_{WUSTOP}	停止模式启动时间 (调节器在运行模式)	-	17	-	
t_{WSTDBY}	待机模式启动时间	-	100	-	

低功耗模式启动时间是在使用 HSI 启动阶段量测。
唤醒时间是从唤醒事件到用户程序读取第一条指令的时间。

4.4.8　锁相环特性

表 4.4-18　锁相环特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{PLL_IN}	PLL 输入时钟	-	4	-	26	MHz
	PLL 输入时钟占空比	-	40	-	60	%
f_{PLL_OUT}	PLL 倍频输出	-	8	-	96	MHz
T_{LOCK}	PLL 锁相时间	-	-	-	100	us

4.4.9 存储器特性

表 4.4-19 存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{PROG}	32bit 编程时间	T_A = -40 to +105 °C	-	10	-	us
t_{ERASE}	页（1K 字节）擦除时间	T_A = -40 to +105 °C	-	4	-	ms
t_{ME}	整片擦除时间	T_A = -40 to +105 °C	20	-	40	ms
I_{DD}	电流消耗	f_{HCLK} = 48MHz，读模式	-	3.5	4.5	mA
		f_{HCLK} = 48MHz，编程模式	-	-	2	
		f_{HCLK} = 48MHz，擦模式	-	3	1	
		待机	-	50/25C	70/25C	
V_{prog}	编程电压		2	-	3.6	V
I	深睡眠		-	0.5/25C	2/25C	uA

表 4.4-20 闪存寿命和数据保持

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	擦写次数	T_A = -40 to +105 °C	100	-	-	千次
T_{RET}	数据保持	1 千次, T_A = 85 °C	30	-	-	年
		1 千次, T_A = 105 °C	10	-	-	
		10 千次，T_A = 55 °C	20	-	-	

4.4.10 EMC 特性

敏感性测试是在产品的特性评估时抽样进行测试的。

功能性 EMS(电磁敏感性)

当产品运行一个简单应用程序时 (通过 I/O 端口切换 2 个 led). 被施加 2 种电磁干扰直至错误产生，LED 指示错误的发生

- 静电放电（ESD）(正向和反向) 被施加到产品所有的引脚直至功能发生错误,这个测试符合 IEC 61000-4-2 标准。
- FTB：VDD 和 VSS 通过 1 一个 100pF 的电容施加一个瞬变电压的脉冲群（正向和反向）直到功能发生错误，这个测试符合 IEC 61000-4-4 标准。

设备复位可以恢复正常操作。

表 4.4-21 EMS 特性

符号	参数	条件	类型
V_{FESD}	在任何引脚上施加的导致功能混乱的电压极限	VDD = 3.3V, LQFP100, T_A = +25 °C, f_{HCLK} = 96 MHz, 符合 IEC 61000-4-2 标准。	2B
V_{EFTB}	在 VDD 和 VSS 上通过 100pF 的电容施加的、导致功能出现错误的瞬变脉冲群极限	VDD = 3.3V, LQFP100, T_A = +25 °C, f_{HCLK} = 96 MHz, 符合 IEC 61000-4-4 标准	4A

避免噪声问题的软件设计

通过典型的应用环境和简化的 MCU 软件在组件级别执行 EMC 特性和优化。应该注意的是，良好的 EMC 性能在很大程度上取决于用户应用程序，尤其是软件。因此，建议用户根据其应用程序要求的 EMC 等级应用

EMC 软件优化和认证前的实验

软件建议
软件流程必须包括失控条件的管理:

- 程序计数器损坏
- 未预期的复位
- 关键数据损坏（控制寄存器等）

认证前的实验
大多数常见故障（未预期的复位和程序计数器损坏）可以通过在 NRST 引脚或振荡器引脚上强制施加低电平状态 1 秒钟来重现。
为了完成这些试验，可以把超出规范值范围内的 ESD 条件直接施加在产品上。当检测到意外行为时，可以对软件进行加固，以防止发生不可恢复的错误.

电磁干扰（EMI）

在执行简单的应用程序时（通过 IO 口切换 2 个 LED），可以监视设备发出的电磁场。该测试符合 IEC 61967-2 标准，指定了测试板和引脚负载。

表 4.4-22 EMI characteristics

符号	参数	条件	监控频率	最大对比 [f_{HSE}/f_{HCLK}]		单位
				8/48 MHz	8/96 MHz	
S_{EMI}	峰值级别	VDD = 3.3 V, T_A = 25 °C, LQFP100 封装, 符合 IEC61967-2	0.1 ～ 30 MHz	12	12	dBuV
			30 ～ 130 MHz	22	19	
			130MHz ～ 1GHz	23	29	
			SAE EMI 级别	4	4	-

4.4.11 绝对最大值（电气敏感性）

根据使用特定测量方法的三种不同测试（ESD，LU），对该产品施加压力，以便根据电气敏感性确定其性能。

静电放电（ESD）

将静电放电（相隔 1 秒的正脉负脉冲）施加到每个样品的引脚。样本量取决于产品中电源引脚的数量（3 个 ×（n + 1）个电源引脚），该测试符合 JESD22-A114 / C101 标准。

表 4.4-23 ESD 绝对最大值

符号	参数	条件	最大值	单位
$V_{ESD(HBM)}$	静电放电（人体模型）	T_A = +25 °C, 符合 JESD22-A114	5000	V
$V_{ESD(CMD)}$	静电放电 (充电装置型号)	T_A = +25 °C, 符合 JESD22-C101	2000	

静态闩锁（LATCH-UP）

2 个互补的静态测试需要在 6 个样品上进行，以评估闩锁性能:

- 为每个电源引脚提供超出极限的电压
- 为每个输入，输出和可配置 IO 引脚注入电流

这些测试符合 EIA/JESD78A IC 静态闩锁标准

表 4.4-24　电敏感

符号	参数	条件	等级
LU	静态闩锁等级	T_A = +105 °C, 符合 JESD78A	II level A

4.4.12　IO 电流注入特性

通常，在正常产品操作期间，应避免由于外部电压低于 VSS 或高于 VDD（对于标准的 3 V 功能 IO 引脚）而向 IO 引脚注入电流。但是，为了在意外发生的异常注入情况下指示产品的坚固性，在产品特性测试期间以样品为基础进行了敏感性测试。

IO 电流注入的功能敏感性

当一个简单的应用程序在设备上执行时，设备通过向以浮动输入模式编程的 I/O 引脚注入电流来施加压力。当电流注入到 I/O 引脚时，一次一个，检查设备的功能故障。故障由一个超出范围的参数表示:ADC 误差超过一定的限制 (>5 LSB TUE)，相邻引脚的规格电流注入或其他功能故障 (例如复位，振荡器频率偏差)。

表 4.4-25　I/O 电流注入灵敏度

符号	描述	功能敏感性		单位
		反向注入	正向注入	
I_{INJ}	5V 兼容引脚注入电流	-5	+5	mA
	其它引脚注入电流	-5	+5	mA

4.4.13　I/O 引脚电气特性

表 4.4-26　I/O 引脚电气特性

符号	条件	参数	最小值	典型值	最大值	单位
V_{IL}		DVDD=3.3V	0	-	0.8	V
		DVDD=2.0V	0	-	0.3*DVDD	
V_{IH}		DVDD=3.3V	2.0	-	DVDD	V
		DVDD=2.0V	0.7*DVDD	-	DVDD	
V_{hys}		DVDD=3.3V	310	310	330	mV
		DVDD=2.0V	300	320	320	
I_{lkg}	输入漏电电流 (4)	VSS ⩽ Vin ⩽ VDD Standard I/Os	-	-	±1	uA
		V_{IN} = 5 V, 5V 兼容 I/O 口	-	-	3	
R_{PU}	弱上拉等效电阻 (5)	Vin = VSS	30	40	50	KΩ
R_{PD}	弱上拉等效电阻 (5)	Vin = VDD	30	40	50	
C_{IO}	I/O 电容	-	-	10	-	pf

- 为了维持高于 VDD + 0.3 的电压，必须禁用内部上拉/下拉电阻。
- 施密特转换电平之间的迟滞由特性测试保证。
- 最小值 100 mV.
- 如果反向电流注入相邻引脚，漏电流可能高于最大值
- 上拉和下拉电阻被设计为与可切换的 PMOS/NMOS 串联的真电阻。这个 PMOS/NMOS 对串联电阻的影响最小（约 10%）。

输出驱动电流

GPIO（通用输入/输出）可以输入输出电流。在用户应用中，必须限制可驱动电流的引脚数，以满足最大额

定电流值。

- VDD 域所有 IO 提供的电流之和，加上 VDD 域产品最大的电流消耗，不能超过 IVDD 的最大值。
- VSS 域所有 IO 提供的电流之和，加上 VSS 域产品最大的电流消耗，不能超过 IVSS 的最大值。

输出电压电平

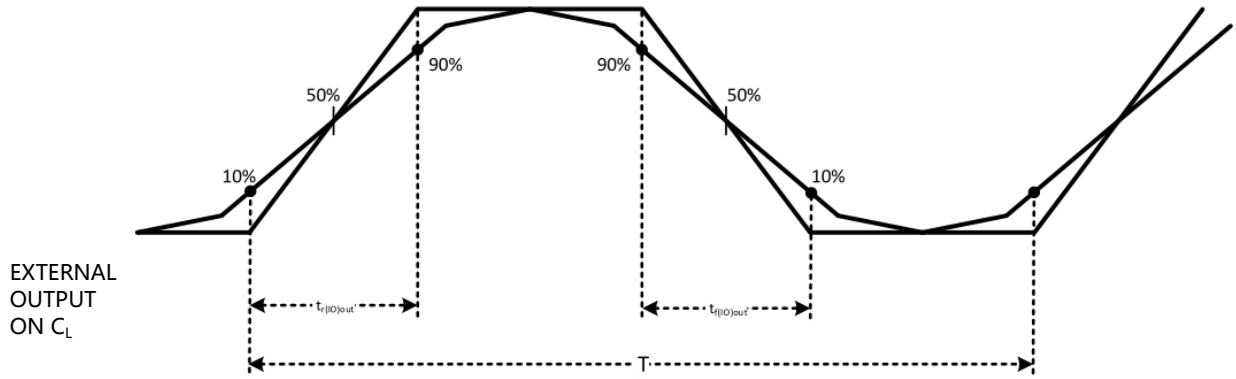
表 4.4-27　输出电压特性

Symbol	Parameter	DS[1:0]	Conditions	Min	Max	Unit
V_{OL} (1)	输出低电平（引脚吸收电流时）	00	2.7V < VDD < 3.6V, I_{OL} = 5mA	-	0.4	V
			2.0V < VDD < 2.7V, I_{OL} = 3mA	-	0.4	
		01	2.7V < VDD < 3.6V, I_{OL} = 8mA	-	0.4	
			2.0V < VDD < 2.7V, I_{OL} = 5mA	-	0.4	
		10	2.7V < VDD < 3.6V, I_{OL} = 15mA	-	0.4	
			2.0V < VDD < 2.7V, I_{OL} = 10mA	-	0.4	
		01	2.7V < VDD < 3.6V, I_{OL} = 20mA	-	0.4	
			2.0V < VDD < 2.7V, I_{OL} = 14mA	-	0.4	
V_{OL} (2)	输出高电平 (引脚提供电流时)	00	2.7V < VDD < 3.6V, I_{OH} = 7mA	VDD-0.4	-	
			2.0V < VDD < 2.7V, I_{OH} = 3mA	VDD-0.4	-	
		11	2.7V < VDD < 3.6V, I_{OH} = 14mA	VDD-0.4	-	
			2.0V < VDD < 2.7V, I_{OH} = 5mA	VDD-0.4	-	
		10	2.7V < VDD < 3.6V, I_{OH} = 25mA	VDD-0.4	-	
			2.0V < VDD < 2.7V, I_{OH} = 7mA	VDD-0.4	-	
		11	2.7V < VDD < 3.6V, I_{OH} = 40mA	VDD-0.4	-	
			2.0V < VDD < 2.7V, I_{OH} = 15mA	VDD-0.4	-	

- 引脚吸收电流的最大值必须始终不能超过最大绝对值，IO 端口和控制引脚的电流和不能超过 IVSS.
- 引脚提供电流的最大值必须始终不能超过最大绝对值，IO 端口和控制引脚的电流和不能超过 IVDD.

输入输出 AC 特性

图 4.4-3　I/O AC 特性定义



Maximum frequency is achieved if $(t_1+t_2) \leq (2/3)T$ and if the duty cycle is (45-50%) when located by C_L specified in the table "I/O AC characteristics"

表 4.4-28　I/O AC 特性

MODEx[1:0]	符号	参数	条件	最小值	最大值	单位
10	$f_{max(IO)out}$	最大频率	C_L = 50pF, VDD = 2V to 3.6V	-	2	MHz
	$t_{f(IO)out}$	输出高到低的下降时间	C_L = 50pF, VDD = 2V to 3.6V	-	125	ns
	$t_{r(IO)out}$	输出低到高的上升时间	C_L = 50pF, VDD = 2V to 3.6V	-	125	
01	$f_{max(IO)out}$	最大频率	C_L = 50pF, VDD = 2V to 3.6V	-	10	MHz
	$t_{f(IO)out}$	输出高到低的下降时间	C_L = 50pF, VDD = 2V to 3.6V	-	25	ns
	$t_{r(IO)out}$	输出低到高的上升时间	C_L = 50pF, VDD = 2V to 3.6V	-	25	
11	$f_{max(IO)out}$	最大频率	C_L = 30pF, VDD = 2.7V to 3.6V	-	50	MHz
			C_L = 50pF, VDD = 2.7V to 3.6V	-	30	
			C_L = 50pF, VDD = 2V to 2.7V	-	30	
	$t_{f(IO)out}$	输出高到低的下降时间	C_L = 30pF, VDD = 2.7V to 3.6V	-	5	ns
			C_L = 50pF, VDD = 2.7V to 3.6V	-	8	
			C_L = 50pF, VDD = 2V to 2.7V	-	12	
	$t_{r(IO)out}$	输出低到高的上升时间	C_L = 30pF, VDD = 2.7V to 3.6V	-	5	
			C_L = 50pF, VDD = 2.7V to 3.6V	-	8	
			C_L = 50pF, VDD = 2V to 2.7V	-	12	
-	t_{EXTIpw}	被 EXTI 控制器侦测的外部信号脉冲	-	10	-	ns

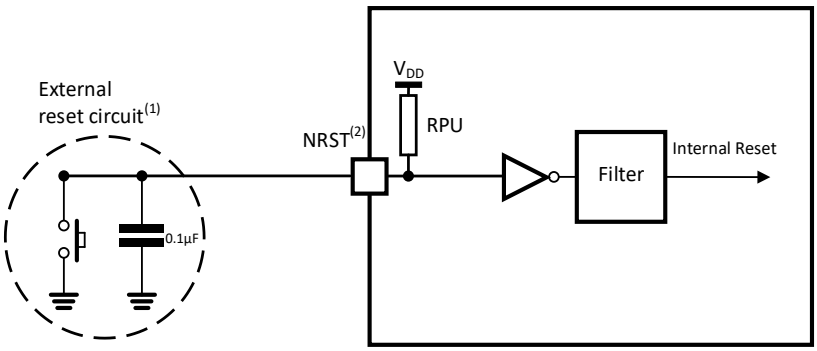
4.4.14　NRST 引脚定义

表 4.4-29　I/O 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$ (1)	NRST 输入低电平	-	-0.5	-	0.8	V
$V_{IH(NRST)}$ (1)	NRST 输入高电平	-	-2	-	V_{DD} +0.5	
$V_{hys(NRST)}$	NRST 施密特触发电压迟滞	-	-	200	-	mV
R_{PU}	弱上拉等效电阻 (2)	$V_{IN} = V_{SS}$	40	50	60	KΩ
$V_{F(NRST)}$ (1)	NRST 输入滤波脉冲	-	-	-	100	ns
$V_{NF(NRST)}$ (1)	NRST 输入非滤波脉冲	-	300	-	-	ns

1. 设计上保证
2. 上拉被设计为与可切换的 PMOS 串联的真电阻。这个 PMOS 对串联电阻的影响最小（约 10% ）。

图 4.4-4　NRST 引脚保护



1. 复位系统防止产品被寄生复位
2. 用户需要确保 NRST 引脚电平低于 $V_{IL(NRST)}$ 最大值

4.4.15 定时器特性

表 4.4-30 定时器特性

符号	参数	条件	最小值	最大值	单位
$T_{res(TIM)}$	定时器分辨率	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 96 MHz	10.4	-	ns
f_{EXT}	定时器通道 1 到 4 外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK}$ = 96 MHz	0	48	MHz
Res_{TIM}	定时器分辨率	-	-	20	bit
$t_{COUNTER}$	选择内部时钟时的 20 位计数器周期	-	1	1048575	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 96 MHz	10.4	10905180	ns
t_{MAX_COUNT}	最大可能输出	-	1	1048575 x 1048575	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 96 MHz	-	11443.2	s

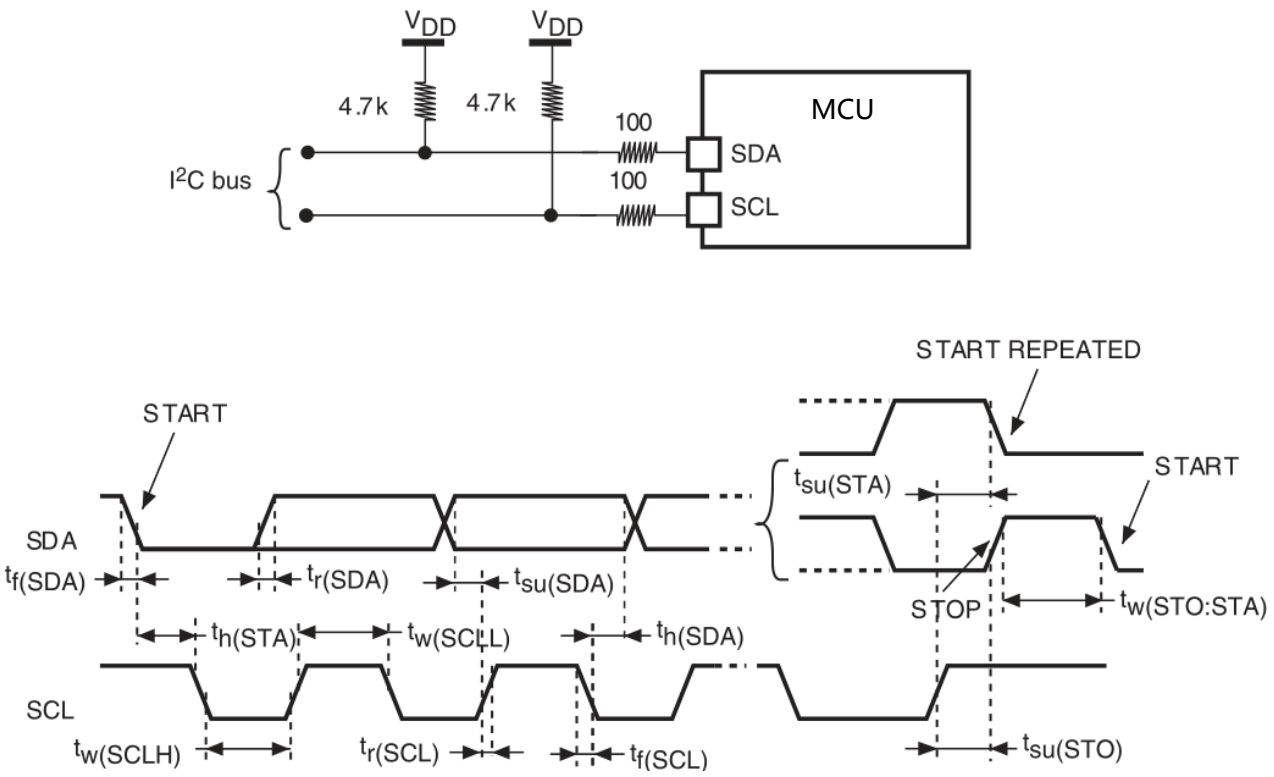
4.4.16 通信接口

表 4.4-31 I2C 接口特性

符号	参数	标准模式 (1)(2)		快速模式 (1)(2)		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCLL)}$	SCL 时钟低时间	4.7	-	1.3	-	us
$t_{w(SCLH)}$	SCL 时钟高时间	4.0	-	0.6	-	us
$t_{su(SDA)}$	SDA 建立时间	250	-	100	-	ns
$t_{h(SDA)}$	SDA 数据保持时间	-	3450(3)	-	900(3)	ns
$t_{r(SDA)}$ $t_{r(SCL)}$	SDA/SCL 上升时间	-	1000	-	300	ns
$t_{f(SDA)}$ $t_{f(SCL)}$	SDA/SCL 下降时间	-	300	-	300	ns
$t_{h(STA)}$	开始条件建立时间	4.0	-	0.6	-	us
$t_{su(STA)}$	重复开始条件建立时间	4.7	-	0.6	-	us
$t_{su(STO)}$	停止条件建立时间	4.0	-	0.6	-	us
$t_{w(STO:STA)}$	停止到开始条件时间（总线自由）	4.7	-	1.3	-	us
C_b	每个总线的电容负载	-	400	0	400	ns
t_{SP}	标准和快速模式的模拟滤波器抑制的尖峰脉冲宽度	0	50(4)	0	50(4)	ns

1. 设计上保证
2. $_{PCLK1}$ 必须至少 2MHz 以满足标准 I2C 频率要求，至少 4MHz 以满足快速 I2C 频率要求，必须是 10MHz 的倍数以满足快速 I2C 模式最大时钟速度 400KHz
3. 产品内部必须为 SDA 信号提供至少 300ns 的保持时间，以连接 SCL 下降沿的未定义区域
4. 由模拟滤波器滤波的尖峰的最小宽度大于 t_{SP} 最大值

图 4.4-5　I2C AC 波形和量测电路



1. 量测点在 CMOS 电平：0.3VDD 和 0.7VDD
2. Rs：串行保护电阻
3. Rp：上拉电阻
4. V_{DD_I2C}：I2C 总线电源

表 4.4-32　SPI 特性

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_{c(SCK)}$	SPI 时钟频率	主模式	-	36	MHz
		从模式	-	18	
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容: C = 30 pF	-	8	ns
DuCy(SCK)	SPI 从输入占空比	从模式	30	70	%
$t_{su(NSS)}$ (1)	NSS 建立时间	从模式	$4t_{PCLK}$	-	ns
$t_{h(NSS)}$ (1)	NSS 保持时间	从模式	$2t_{PCLK}$	-	ns
$t_{w(SCKH)}$ (1) $t_{w(SCKL)}$ (1)	SCK 高和低时间	主模式, f_{PCLK}=36 MHz, presc=4	50	60	ns
$t_{su(MI)}$ (1) $t_{su(SI)}$ (1)	数据输入建立时间	主模式	5	-	ns
		从模式	5	-	
$t_{h(MI)}$ (1) $t_{h(SI)}$ (1)	数据输入保持时间	主模式	5	-	ns
		从模式	4	-	
$t_{a(SO)}$ (1)(2)	输出读取时间	从模式, f_{PCLK}=20 MHz	0	$3t_{PCLK}$	ns
$t_{dis(SO)}$ (1)(3)	输入失能时间	从模式	2	10	ns
$t_{v(SO)}$ (1)	数据输出有效时间	从模式 (使能沿之后)	-	25	ns
$t_{v(MO)}$ (1)	数据输出有效时间	主模式 (使能沿之后)	-	5	ns
$t_{h(SO)}$ (1) $t_{h(MO)}$ (1)	数据输出保持时间	从模式 (使能沿之后)	15	-	ns
		主模式 (使能沿之后)	2	-	

1. 特性测试保证
2. 最小时间是驱动输出的最小时间，最大时间是验证数据的最大时间
3. 最小时间是输出无效的最小时间，最大时间是数据高阻的最大时间

图 4.4-6　SPI 波形/从模式/CPHA = 0

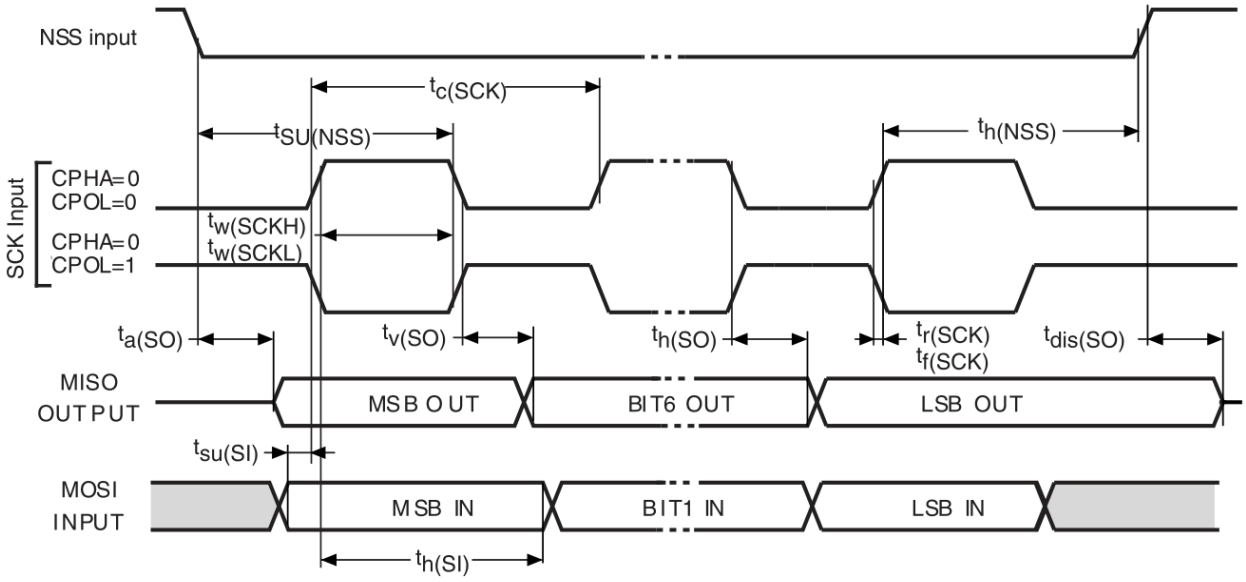


图 4.4-7　SPI 波形/从模式/CPHA = 1

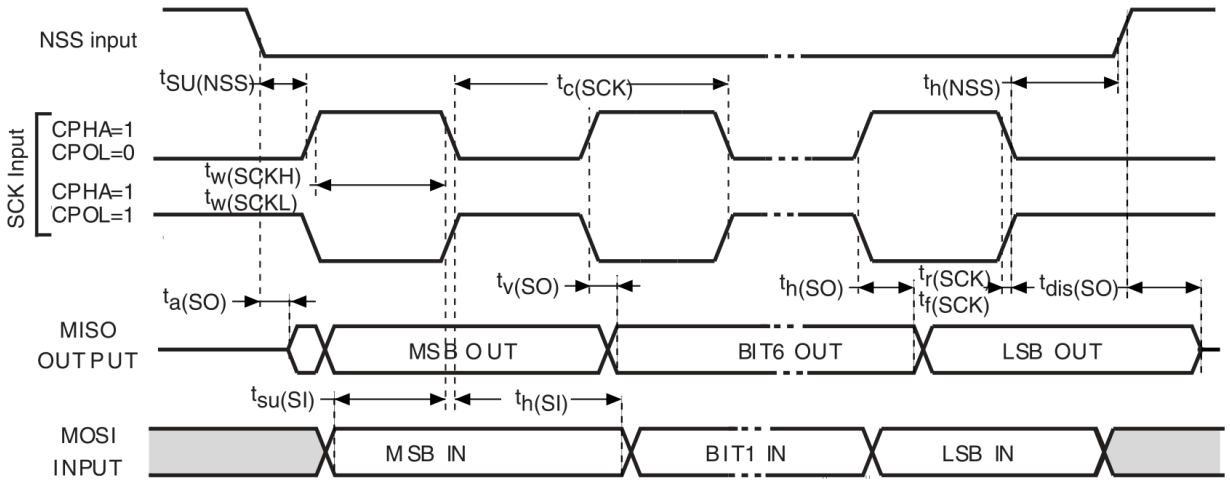


图 4.4-8　SPI 波形/主模式

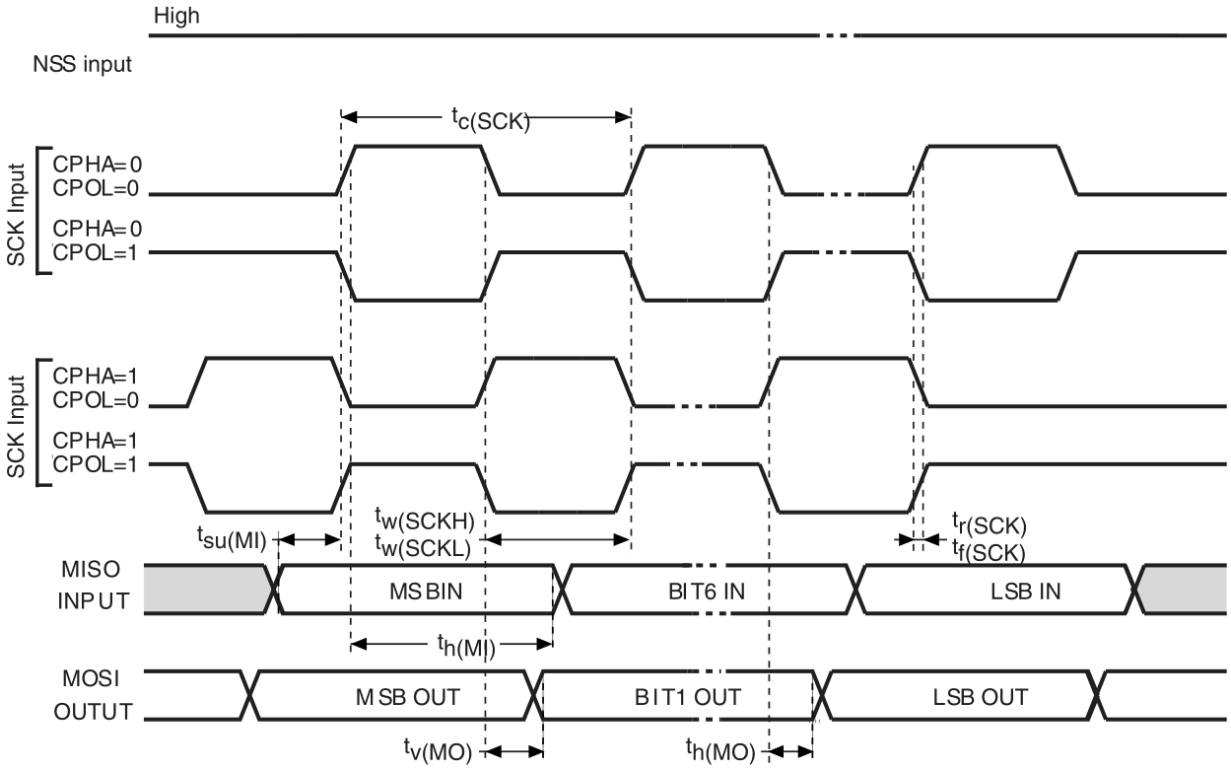


表 4.4-33　I2S 特性

符号	参数	条件	最小值	最大值	单位
DuCy(SCK)	SPI 从输入时钟占空比	从模式	30	70	%
f_{CK} $1/t_{c(CK)}$	I2S 时钟频率	主模式 (数据: 16 bits, 音频 = 48 kHz)	1.522	1.525	MHz
		从模式	0	6.5	
$t_{r(CK)}$ $t_{f(CK)}$	I2S 时钟上升和下降的时间	电容负载: C_L = 50 pF	-	8	ns
$t_{v(WS)}$ (1)	WS 有效时间	主模式	3	-	ns
$t_{h(WS)}$ (1)	WS 保持时间	I2S2 主模式	2	-	ns
		I2S3 主模式	0	-	
$t_{su(WS)}$ (1)	WS 建立时间	从模式	4	-	ns
$t_{h(WS)}$ (1)	WS 保持时间	从模式	0	-	ns
$t_{w(CKH)}$ (1)	CK 高低时间	主模式 f_{PCLK}=16 MHz, 音频 =48 kHz	312.5	-	ns
$t_{w(CKL)}$ (1)			345	-	
$t_{su(SD_MR)}$ (1)	数据输入建立时间	I2S2 主接受	2	-	ns
		I2S3 主接受	6.5	-	
$t_{su(SD_SR)}$ (1)	数据输入建立时间	从接受	1.5	-	ns
$t_{h(SD_MR)}$ (1)(2)	数据输入保持时间	主接受	0	-	ns
$t_{h(SD_SR)}$ (1)(2)		从接受	0.5	-	
$t_{v(SD_ST)}$ (1)(2)	数据输出有效时间	从传输 (使能沿之后)	-	18	ns
$t_{h(SD_ST)}$ (1)	数据输出保持时间	从传输 (使能沿之后)	11	-	ns
$t_{v(SD_MT)}$ (1)(2)	数据输出有效时间	主传输 (使能沿之后)	-	3	ns
$t_{h(SD_MT)}$ (1)	数据输出保持时间	主传输 (使能沿之后)	0	-	ns

1. 特性测试或设计保证
2. 取决于 f_{PCLK}. 例如，如果 f_{PCLK}=8MHz，T_{pclk}=1/f_{PCLK}=125ns

图 4.4-9　I2S 从模式波形图

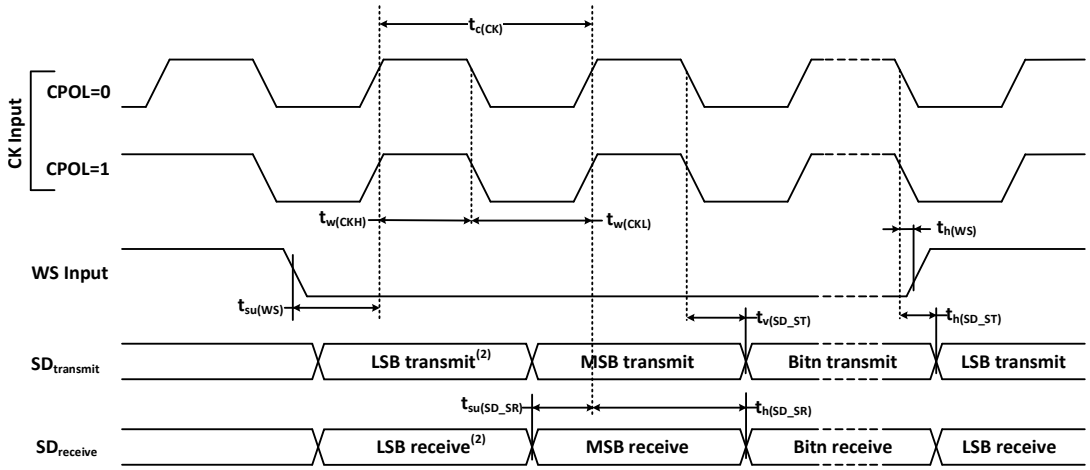
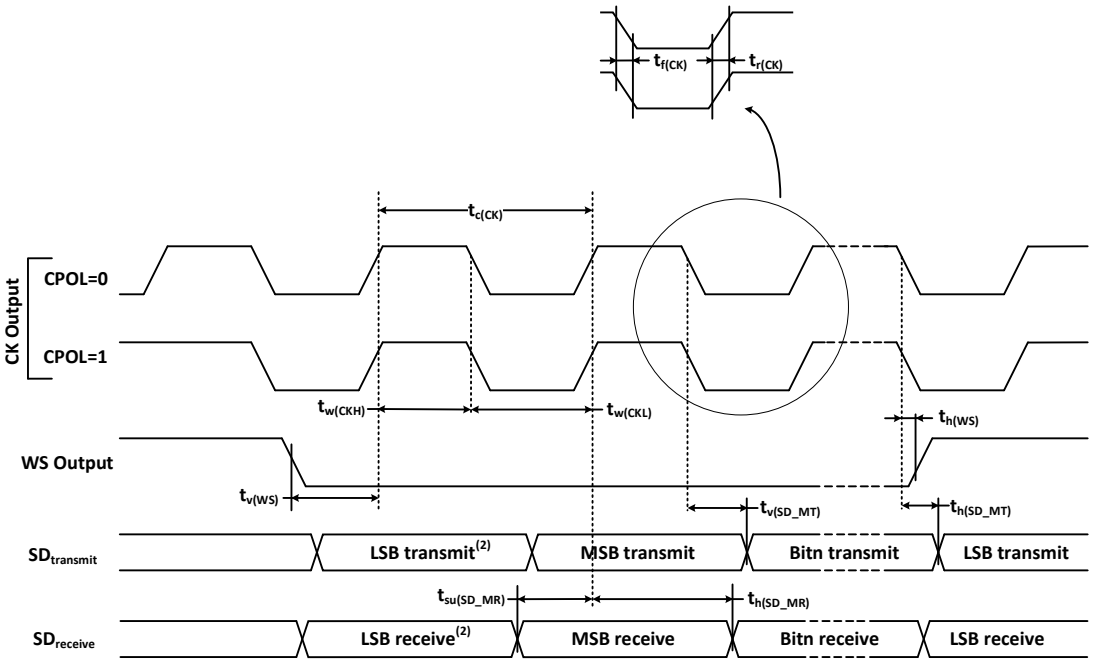


图 4.4-10　I2S 主模式波形图



SD/SDIO MMC 卡主接口（SDIO）特性

图 4.4-11　SDIO 高速模式

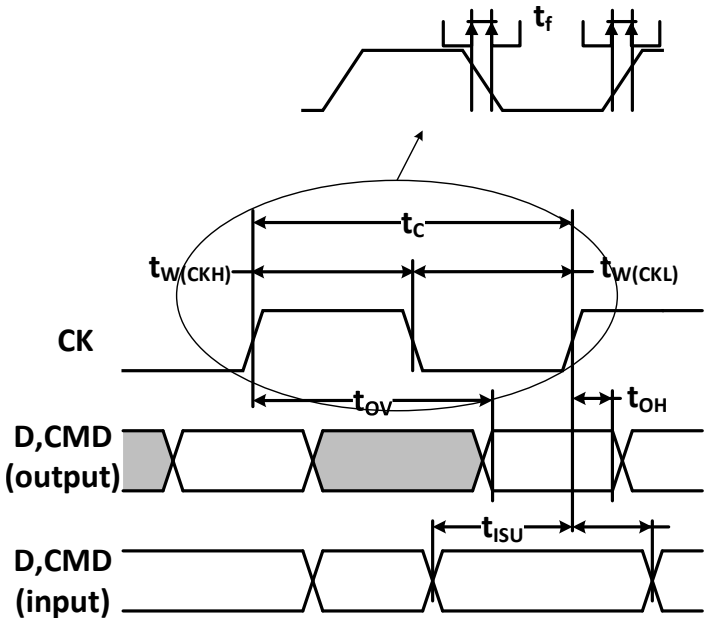


图 4.4-12　SDIO 默认模式

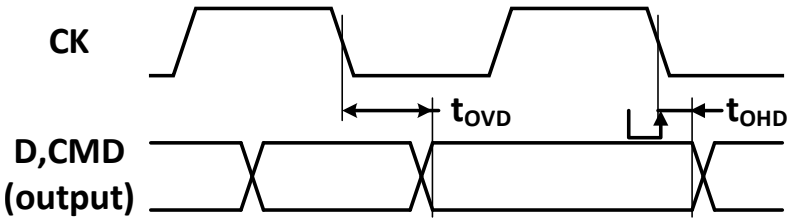


表 4.4-34　SD/MMC 特性

符号	参数	条件	最小值	最大值	单位
f_{PP}	数据传输模式时钟速率	$C_L \leqslant 30pF$	0	48	MHz
t_WCKL	时钟低时间, f_{PP} = 16 MHz	$C_L \leqslant 30pF$	32	-	ns
t_WCKH	时钟高时间, f_{PP} = 16 MHz	$C_L \leqslant 30pF$	30	-	
t_r	时钟上升时间	$C_L \leqslant 30pF$	-	4	
t_f	时钟下降时间	$C_L \leqslant 30pF$	-	5	
CMD, 输入 (参考 CK)					
t_{ISU}	输入建立时间	$C_L \leqslant 30pF$	2	-	ns
t_{IH}	输入保持时间	$C_L \leqslant 30pF$	0	-	
CMD, D 输出 (参考 CK) MMC 和 SD HS 模式					
t_{OV}	输出有效时间	$C_L \leqslant 30pF$	-	6	ns
t_{OH}	输出保持时间	$C_L \leqslant 30pF$	0	-	
CMD, D 输出 (参考 CK) SD 默认模式 (1)					
t_{OVD}	输出有效默认时间	$C_L \leqslant 30pF$	-	7	ns
t_{OHD}	输出保持默认时间	$C_L \leqslant 30pF$	0.5	-	

1. 参考 SDIO_CLKCR,SDI 时钟控制寄存器控制 CK 输出

4.4.17　USB 特性

表 4.4-35　USB 特性

符号	参数	最大值	单位
$t_{STARTUP}$	USB 传输建立时间	1	μs

表 4.4-36　USB DC 特性

符号	参数	条件	最小值	最大值	单位
Input voltage					
V_{DD}	USB operating voltage (2)	-	3.0 (3)	3.6	V
V_{DI} (4)	Differential input sensitivity	I(USBDP, USBDM)	0.2	-	V
V_{CM} (4)	Differential common mode range	Includes V_{DI} range	0.8	2.5	V
V_{SE} (4)	Single ended receiver threshold	-	1.3	2.0	V
Output voltage					
V_{OL}	Static output level low	R_L 1.5 KΩ 3.6V(5)	-	0.3	V
V_{OH}	Static output level high	R_L 1.5 KΩ V_{SS}	2.8	3.6	V

1. 所有的电压是从局部地量测
2. 为了兼容 USB 2.0 全速标准，USB_DP(D+) 引脚通过 1.5 kΩ 电阻上拉到 3 ～ 3.6V 电压
3. USB 功能可以在 2.7V 下工作，但是全速 USB 特性会在 2.7 ～ 3V 衰减
4. 特性测试保证
5. RL 是连接到 USB 驱动的负载

图 4.4-13　USB 时间: 上升/下降时间的定义

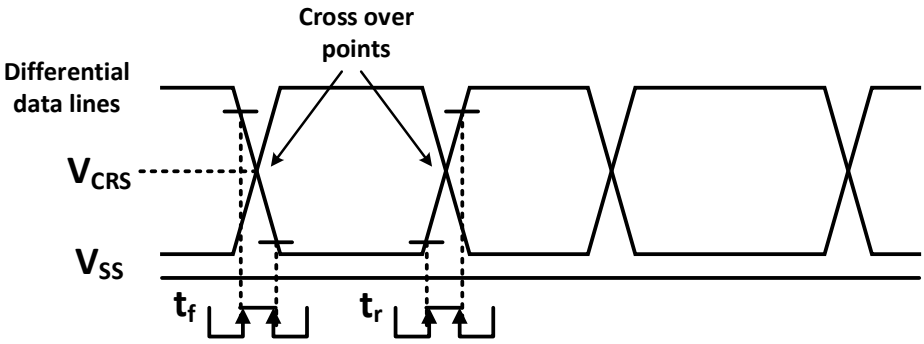


表 4.4-37　全速 USB 特性

符号	参数	条件	最小值	最大值	单位
t_r	上升时间	C_L = 50pf	4	20	ns
t_f	下降时间	C_L = 50pf	4	20	ns
t_{rfm}	上升/下降时间匹配	t_r/t_f	90	110	%
t_{CRS}	输出信号交叉电压	-	1.3	2.0	V

4.4.18　12-bit ADC 特性

表 4.4-38　ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	电源	-	2.4	-	3.6	V
V_{REF+}	正参考电压	-	2.4	-	VDDA	V
V_{REF-}	负参考电压	-	0			V
I_{ADC}	工作电流	-	0.65	0.9	1.23	mA
f_{ADC}	ADC 时钟频率	-	-	-	16	MHz
f_s	采样速率	-	0.05	-	1	MHz
f_{TRIG}	外部触发频率	f_{ADC} = 16MHz	-	-	1	MHz
			-	-	16	$1/f_{ADC}$
V_{AIN}	转换电压范围	-	0 (VSSA or VREF-tied to ground)	-	V_{REF+}	V
C_{ADC}	内部采样和保持电容	-	-	12	-	pF
t_{lat}	注入触发转换延迟	f_{ADC} = 16MHz	-	-	0.5	μs
		-	-	-	8	$1/f_{ADC}$
t_{latr}	常规触发转换延迟	f_{ADC} = 16MHz	-	-	0.44	μs
		-	-	-	7	$1/f_{ADC}$
t_S	采样时间	f_{ADC} = 16MHz	-	-	15	μs
		-	-	-	239.5	$1/f_{ADC}$
t_{STAB}	上电时间	-	-	1	-	μs
t_{CONV}	总共转换时间 (包括采样时间)	f_{ADC} = 16MHz	1.0625	-	15.75	μs
		-	17 to 252 (采样 t_S +12.5 逐次逼近)			$1/f_{ADC}$

$$R_{AIN} < \frac{T_S}{f_{ADC} X C_{ADC} X ln(2^{N+2})} - R_{ADC}$$

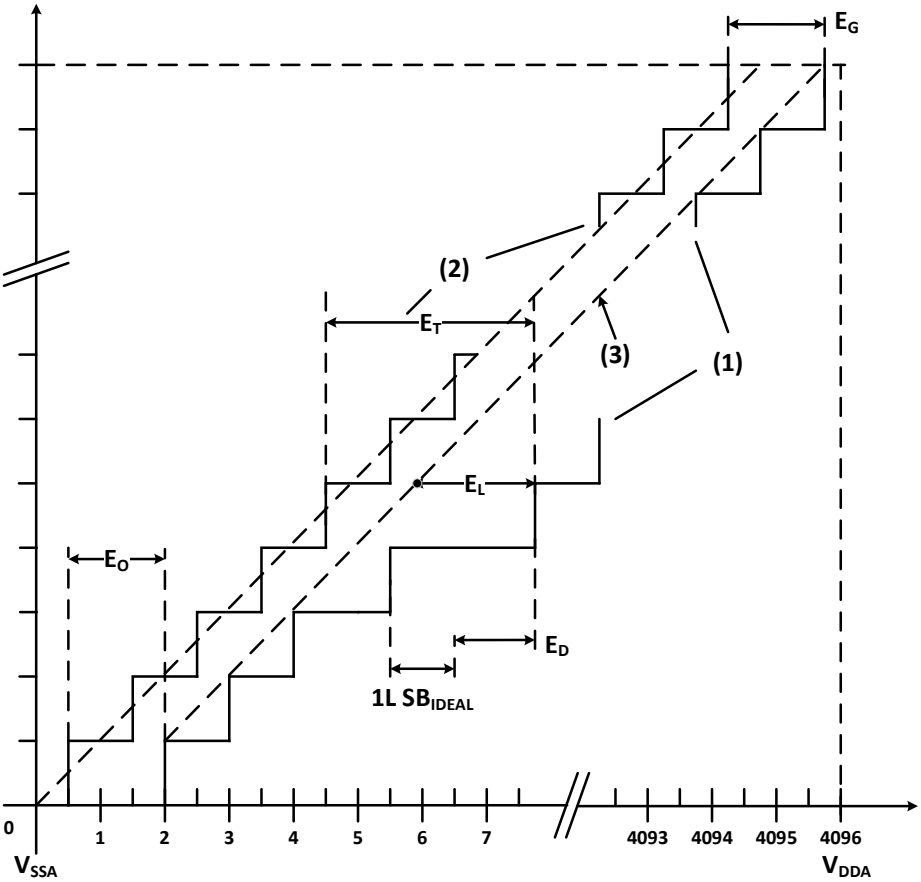
上述公式用于计算决定最大的外部阻抗，使得误差可以小于 1/4LSB. 其中 N = 12，下表为 f_{ADC} = 16MHz 时的最大 R_{AIN}

T_s(周期)	T_s(μs)	最大 R_{AIN}(KΩ)
4	0.25	2.14
8	0.5	4.29
16	1	8.58
32	2	17.17
64	4	34.34
128	8	68.69
256	16	137.39

表 4.4-39　ADC 准确度

符号	参数	测试条件	典型值	最大值 (4)	单位
ET	为校准误差	f_{PCLK2} = 56 MHz, f_{ADC} = 16 MHz, R_{AIN} < 10 KΩ, V_{DDA} = 3 V ～ 3.6 V	±1.3	±2	LSB
EO	位移偏差		±1	±1.5	
EG	增益偏差		±0.5	±1.5	
ED	差分线形偏差		±0.7	±1	
EL	积分线性偏差		±0.8	±1.5	

图 4.4-14　ADC 准确度特性



1. 实际转换曲线
2. 理想转换曲线
3. 终点关联线
4. ET= 总未调整误差，实际和理想转换曲线的最大偏差
   EO= 偏移误差，第一个实际转换和第一个理想转换的偏差
   EG= 增益偏差，最后一个实际转换和最后一个理想转换的偏差
   EL= 积分线性偏差，任一实际转换和终点关联线的最大偏差

4.4.19　DAC 特性

表 4.4-40　DAC 电气特性

符号	参数	最小值	典型值	最大值	单位	注释
V_{DDA}	模拟电源	2.4	-	3.6	V	-
V_{REF+}	参考电源	2.4	-	V_{DDA}	V	V_{REF+} 必须低于 V_{DDA}
V_{SSA+}	地	0	-	0	V	-
R_{LOAD} (1)	缓冲开启的电阻负载	5	-	-	kΩ	-
R_O (2)	缓冲关闭的输出阻抗	-	-	15	kΩ	缓冲关闭时, 达到 1% 准确度的 DAC_OUT 和 Vss 之间最小电阻负载时 1.5 MΩ
R_{LOAD} (1)	电容负载	-	-	50	pF	DAC_OUT 引脚最大电容负载 (缓冲开启).
DAC_OUT buf_on (1)	缓冲打开的输出电压	0.15	-	V_{DDA}-0.15	V	给出了 DAC 的最大输出偏移量, 对应了 Vref+=3.6V 时输入码 (0x0E0) 到 (0xF1C),Vref+=2.4V 时输入码 (0x155) 到 (0xEAB)
DAC_OUT buf_off (1)	缓冲打开的输出电压	0	-	V_{REF}	V	

I_{DDA_off}	待机功耗	-	-	1	uA	-
I_{DDA}	工作功耗	-	0.35	-	mA	-
T_{STB}	输出电压稳定时间	-	-	50	us	-
DNL(2)	Differential non linearity	-	-	±2	LSB	12 位配置的 DAC
INL(3)	Integral non linearity	-	-	±2	LSB	12 位配置的 DAC
F_{SCR}	采样频率	-	-	1	MS/s	-
Offset error(3)		-	-	±2	LSB	缓冲关闭
Gain error(3)	增益误差	-	-	±1.25	FSR	-

1. 设计保证
2. 特性测试保证
3. 静态模式对应于 DAC 维持稳定输出电平以确保不发生动态功耗的状态

4.4.20 温度传感器特性

表 4.4-41 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
T_L	V_{SENSE} 随温度线性	-	±2	-	°C
Avg_Slope	平均斜率	-	4.3	-	mV/°C
V_{25}	25 °C 时的电压	-	1.4	-	V
t_{START}	启动时间	4	6	10	us
T_{S_temp}	ADC 读温度时的采样时间	-	-	17.1	us

4.4.21 运算放大器特性

表 4.4-42 运算放大器特性

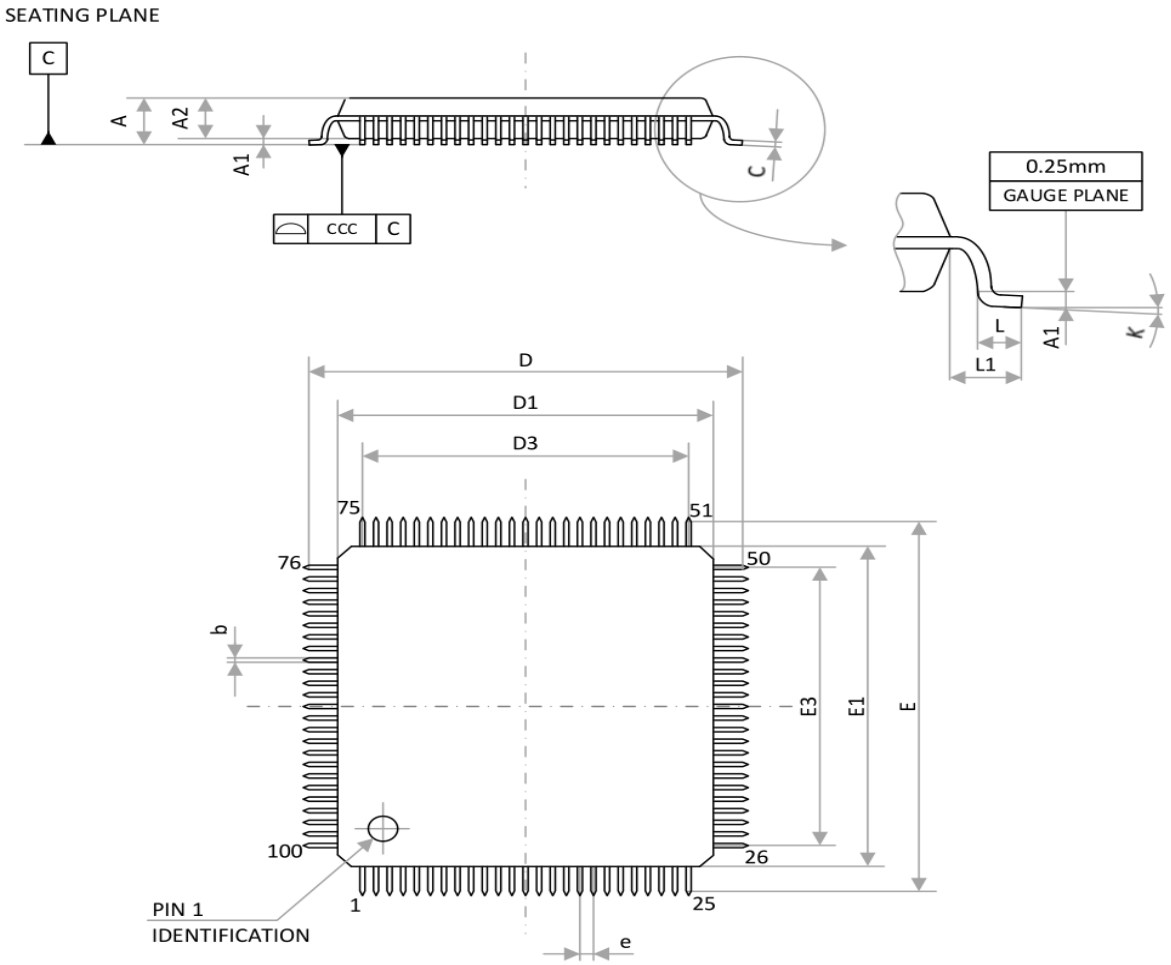
符号	参数	最小值	典型值	最大值	单位	备注
I_q	电流	-	600	-	uA	-
GBW	单位增益带宽	-	20	-	MHz	Cload=100pF
Vos	失调电压	-	-	5	mV	-
e_n	等效输入噪声电压	-	18.3	-	nV/√Hz	f=10kHz
PSR	电源抑制比	-	103	-	dB	-
Gain	开环增益	-	106	-	dB	-
PM	单位增益相位裕度	-	60	-	deg	Cload=100pF
SR	转换率	-	11.5	-	V/us	-
Tset	建立时间	-	85	-	ns	Vstep=500mV, Cload=100pF

1. 设计保证
2. 最短采样时间可以在应用中通过多次迭代来确定

第 5 章　封装特性

5.1　LQFP100 14x14mm

图 5.1-1　LQFP100 14 x 14mm, 100-pin



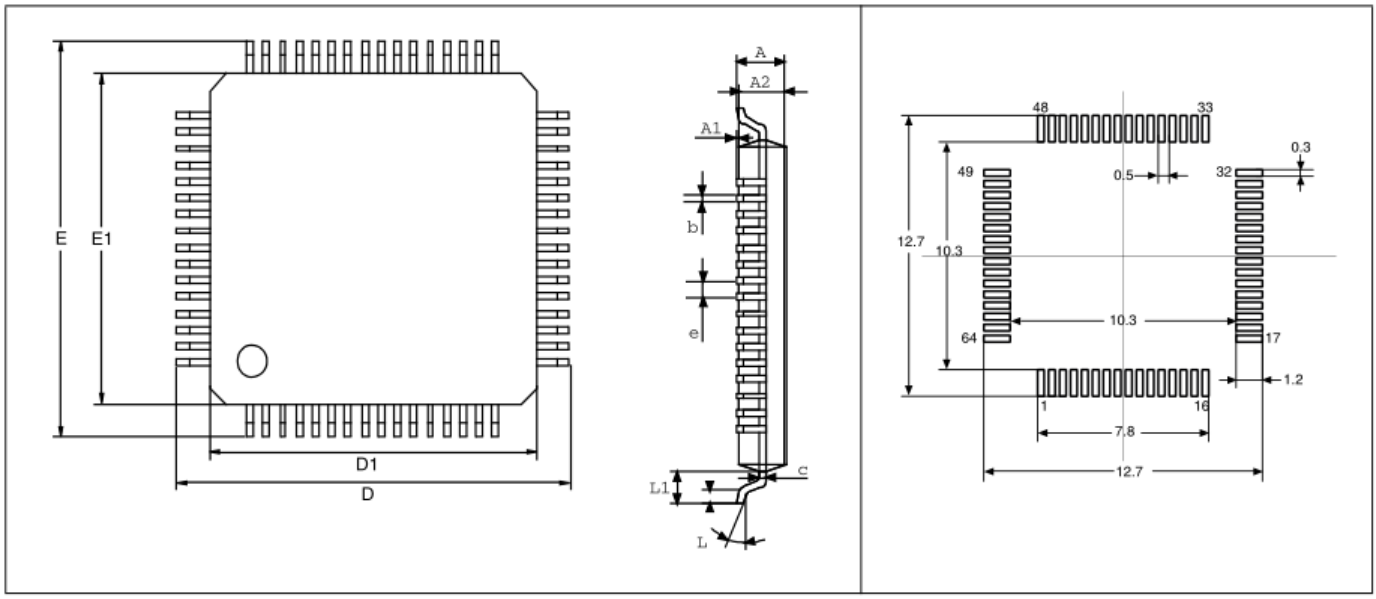
注意: 制图不按比例

表 5.1-1　LQFP100 14 x 14mm, 100-pin

符号	毫米			符号	毫米		
	最小值	典型值	最大值		最小值	典型值	最大值
A	-	-	1.60	E	15.80	16.00	16.20
A_1	0.05	-	0.15	E_1	13.80	14.00	14.20
A_2	1.35	1.40	1.45	E_3	12.00		
b	0.17	0.22	0.27	e	0.50		
c	0.09	-	0.20	L	0.45	0.60	0.75
D	15.80	16.00	16.20	L_1	1.00		
D_1	13.80	14.00	14.20	K	0°	3.5°	7°
D_3	-	12.00	-	ccc	-	-	0.08

5.2　LQFP64 10x10mm

图 5.2-1　LQFP64 10 x 10mm, 64-pin



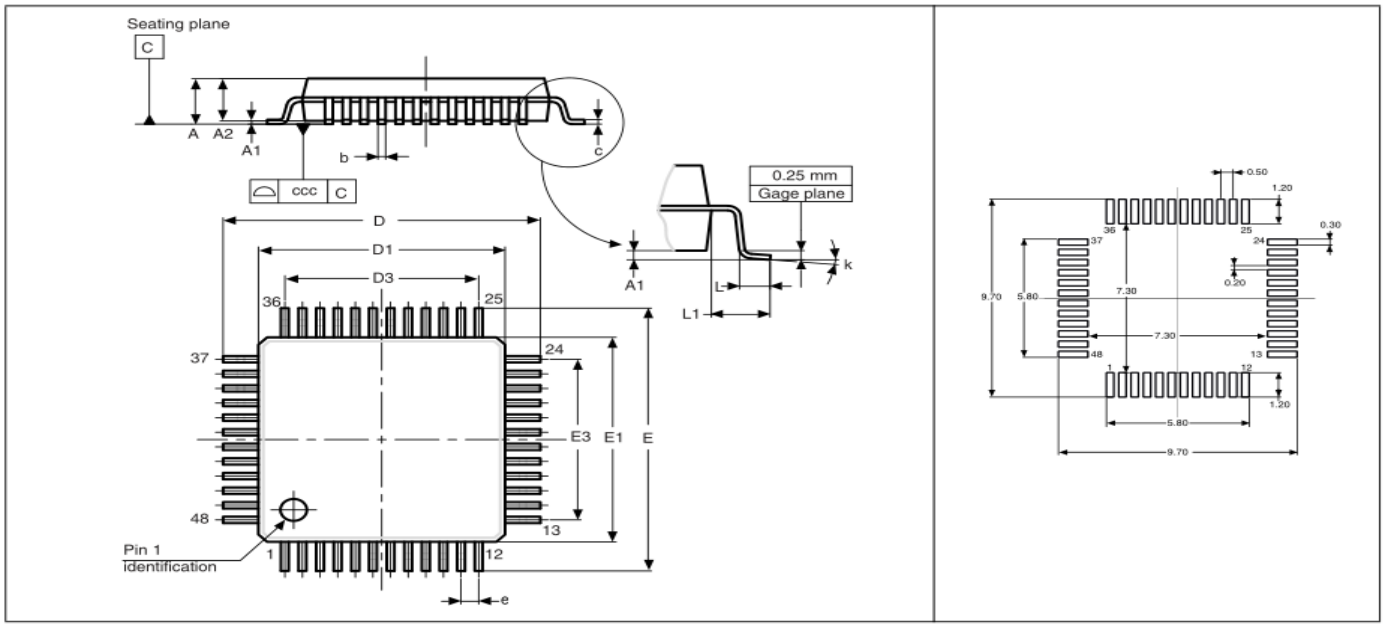
注意: 制图不按比例

表 5.2-1　LQFP64, 10x10 mm, 64-pin

符号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A_1	0.05	-	0.15
A_2	1.35	1.40	1.45
b	0.17	0.22	0.27
c	0.09	-	0.20
D	-	12.00	-
D_1	-	10.00	-
E	-	12.00	-
E_1	-	10.00	-
e		0.50	
L	0.45	0.60	0.75
L_1		1.00	
θ	0°	3.5°	7°

5.3　LQFP48 7x7mm

图 5.3-1　LQFP48 7 x 7mm, 48-pin



注意: 制图不按比例

表 5.3-1　LQFP48, 7x7 mm, 48-pin

符号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A_1	0.05	-	0.15
A_2	1.35	1.40	1.45
b	0.17	0.22	0.27
c	0.09	-	0.20
D	8.80	9.00	9.20
D_1	6.80	7.00	7.20
D_3	-	5.50	-
E	8.80	9.00	9.20
E_1	6.90	7.00	7.20
E_3	-	5.50	-
e		0.50	
L	0.45	0.60	0.75
L_1		1.00	
K	0°	3.5°	7°
ccc		0.08	

第 6 章　命名规则

图 6.0-1　命名规则

MG32 F 157 R C T 7

Device family

ARM-based 32-bit microcontroller

Product type

F = general-purpose

Device subfamily

157 = MG32F157xx

Pin count

V = 100 pins
R = 64 pins
C = 48 pins

Flash memory size

B = 128 KB Flash
C = 256 KB Flash

Package

T = LQFP

Temperature range

7 = Industrial temperature range, -40℃~105℃

第 7 章　版本历史

版本	日期	变更
00.00	2022/10/10	初版
00.01	2022/11/12	更新 TIM
00.02	2022/11/18	更新时钟树
00.03	2023/09/26	更新 RAIN 公式
00.04	2023/11/26	更新 LQFP48/QFN48
00.05	2024/06/04	删除 QFN48

重要说明

请仔细阅读:

本文档中的信息仅针对 MG 产品提供。本文档，包括本文档中描述的任何 MG 产品（“产品”），根据中华人民共和国和全球其他司法管辖区的知识产权法律和条约，归属 MG 所有。笙泉科技及其子公司 (“MG”) 保留随时对本文档以及文档中所描述的产品与服务进行更改、更正、修改或改进的权利，恕不另行通知。MG 不承担任何因应用程序或使用本文档中描述的任何产品引起的任何责任。

购买者应对 MG 产品与服务的选择、选型和使用承担全部责任，并且 MG 不承担对 MG 产品与服务的选择、选型和使用的任何责任。

本文档未通过禁反言或其他方式对任何知识产权授予任何明示或暗示的许可。如果本文档的任何部分提及任何第三方产品或服务，则不应视为 MG 授予使用此类第三方产品或服务或其中包含的任何知识产权的许可，或视为涵盖在此类第三方产品或服务或其中包含的任何知识产权的任何方式。

除适用协议中明确规定的定制产品外，产品仅为普通商业、工业、个人或家庭应用而设计、开发或制造。产品并非设计、意图或授权用作设计或用于操作武器、武器系统、核装置、原子能控制仪器、燃烧控制仪器、飞机或宇宙飞船仪器、运输仪器、交通信号系统中仪器、生命支持设备或系统、其他医疗设备或系统（包括复苏设备和外科植入物）、污染控制或有害物管理、由于设备或仪器的故障可能导致人身伤害、死亡、财产损失或环境破坏的其他用途。

转授 MG 产品的条款与本文档中规定的声明和/或技术特征不同的，将立即使 MG 对此处描述的 MG 产品或服务的任何保证失效，并且不得以任何方式产生或扩展 MG 的任何责任。

©2022 笙泉科技保留所有权利.