

MG32F003

基于 Arm® Cortex®-M0 内核的 32 位微控制器

数据手册

版本：1.3

特性

- 内核 32 位 Arm® Cortex®-M0, 频率可达 48MHz.
- 存储器
 - 16KB Flash 存储
 - 2KB SRAM.
- 工作电压范围从 2.0V 到 5.5V.
- 上电/断电复位 (POR/PDR)、可编程电压监测器 (PVD)
- 内嵌 40KHz LSI 低速振荡器
- 内嵌 48MHz HIS 高速振荡器
- 外部时钟输入频率可达 48MHz (HSE, 通过 OSCIN 引脚).
- 多种低功耗模式, 包括: 睡眠(Sleep), 停机(Stop)和深度停机(Deep Stop)
- 5 个定时器:
 - 1 个 16 位 4 通道高级控制定时器 (TIM1), 可输出 4 路 PWM 或 3 路互补 PWM 对, 支持中心或边沿对齐 PWM 模式, 支持硬件死区插入和故障刹车, 支持 PWM 移相输出模式
 - 1 个 16 位 4 通道通用定时器 (TIM3), 可输出 4 路 PWM 或捕获 4 路输入信号, 支持霍尔传感器和正交编码器的解码, 支持 IR 控制解码
 - 1 个 16 位基本定时器 (TIM14), 可输出 1 路 PWM 或捕获 1 路输入信号
 - 1 个配置了独立时钟的硬件看门狗定时器 (IWDG)
 - 1 个 24 位 SysTick 定时器
- 多达 18 个快速 I/O 端口:
 - 所有 I/O 口可以映像到 16 个外部中断
 - 所有端口均可输入输出电压不高于 V_{DD} 的信号
- 2 个 USART (支持 SPI 模式).
- 1 个 I2C.
- 1 个 SPI.
- 1 个 12 位 ADC(模数转换器), 支持 1M SPS 转换率, 配置 8 个外部通道和 1 个可采集内置参考电压的内部通道
- 内嵌 CRC 引擎
- 96 位唯一芯片 ID (UID)
- 串行调试 (SWD)用于调试功能
- 工作温度范围-40°C ~ 105°C 工业级
- 可选 QFN20 和 TSSOP20 封装

目录

特性.....	3
目录.....	4
表目录.....	6
图目录.....	7
1. 简介.....	8
1.1. 概述.....	8
2. 功能描述.....	9
2.1. 方框图.....	9
2.2. 内核简介.....	10
2.3. 总线简介.....	10
2.4. 存储器映射.....	10
2.5. Flash.....	11
2.6. SRAM.....	11
2.7. NVIC.....	11
2.8. EXTI.....	12
2.9. 时钟和启动.....	12
2.10. 启动模式.....	12
2.11. 供电方案.....	12
2.12. 电压调压器.....	12
2.13. 电源监控器.....	12
2.14. 低功耗模式.....	13
2.15. 定时器和看门狗.....	13
2.16. GPIO.....	14
2.17. USART.....	14
2.18. I2C.....	14
2.19. SPI.....	14
2.20. ADC.....	14
2.21. CRC.....	15
2.22. SWD.....	15
3. 引脚和分配.....	16
3.1. 引脚图.....	16
3.1.1. QFN20 引脚.....	16
3.1.2. TSSOP20 引脚.....	17
3.2. 引脚分配.....	18
3.3. 引脚复用.....	19
4. 电气特性.....	20
4.1. 测试条件.....	20
4.1.1. 负载电容.....	20
4.1.2. I/O 输入电压.....	20
4.1.3. 供电方案.....	21
4.1.4. 电流消耗测量.....	21
4.2. 绝对最大额定值.....	22
4.3. 工作条件.....	23
4.3.1. 通用工作条件.....	23
4.3.2. 上电和掉电时的工作条件.....	23
4.3.3. 内嵌复位和电源控制模块特性.....	23
4.3.4. 内置参考电压.....	25
4.3.5. 供电电流特性.....	25
4.3.6. 外部时钟源特性.....	28
4.3.7. 内部时钟源特性.....	29
4.3.8. 存储器特性.....	29
4.3.9. EMC 特性.....	30

4.3.10.	功能性 EMS (电气敏感性)	31
4.3.11.	I/O 端口特性	31
4.3.12.	定时器特性	33
4.3.13.	I2C 接口特性	33
4.3.14.	SPI 特性	35
4.3.15.	USART 特性	37
4.3.16.	ADC 特性	37
5.	封装尺寸	41
5.1.	QFN20 (3x3x0.55mm)	41
5.2.	TSSOP20 (173mil)封装尺寸	42
6.	版本历史	43
7.	免责声明	44

表目录

表 2-1 存储器映射	10
表 2-2 不同功耗模式下的外设状态	13
表 2-3 高级，通用和基本定时器的功能摘要	13
表 3-1 引脚分配表	18
表 3-2 PA 端口复用 AF0-AF4	19
表 3-3 PB 端口复用 AF0-AF4	19
表 4-1 电压特性	22
表 4-2 电流特性	22
表 4-3 通用工作条件	23
表 4-4 上电/掉电时工作条件	23
表 4-5 内嵌复位和电源控制模块特性	23
表 4-6 内置参考电压	25
表 4-7 RUN 模式下典型电流消耗	25
表 4-8 Sleep 模式下典型电流消耗	26
表 4-9 模式下典型电流消耗 ⁽¹⁾	26
表 4-10 片上外设电流消耗 ⁽¹⁾	26
表 4-11 低功耗模式唤醒时间	27
表 4-12 高速外部用户时钟特性	28
表 4-13 HIS 振荡器特性 ⁽¹⁾	29
表 4-14 LSI 振荡器特性 ⁽¹⁾	29
表 4-15 Flash 存储器特性	29
表 4-16 Flash 存储器寿命和数据保存期限 ⁽¹⁾⁽²⁾	29
表 4-17 EMS 特性	30
表 4-18 ESD & LU 特性	31
表 4-19 I/O 静态特性	31
表 4-20 输出电压静态特性	32
表 4-21 I/O AC 特性 ⁽¹⁾⁽²⁾	32
表 4-22 TIMx ⁽¹⁾ 特性	33
表 4-23 I2C 特性	33
表 4-24 SPI 特性 ⁽¹⁾	35
表 4-25 USART 特性 ⁽¹⁾	37
表 4-26 ADC 特性	37
表 4-27 $f_{ADC} = 15\text{MHz}$ ⁽¹⁾ 时的最大 R_{AIN}	38
表 4-28 ADC 静态特性 ⁽¹⁾⁽²⁾	38
表 5-1 QFN20 尺寸	41
表 5-2 TSSOP20 尺寸	42
表 6-1 版本历史	43

图目录

图 2-1 方框图	9
图 2-2 系统时钟源	12
图 3-1 QFN20 引脚图	16
图 3-2 TSSOP20 引脚图	17
图 4-1 引脚的负载条件	20
图 4-2 引脚输入电压	20
图 4-3 供电方案 (1)	21
图 4-4 电流消耗测量方案	21
图 4-5 上电和掉电波形	23
图 4-6 外部高速时钟源的交流时序图	28
图 4-7 I/O AC 特性	32
图 4-8 I2C 总线交流波形和测量电路 ⁽¹⁾	34
图 4-9 SPI 时序图-从模式和 CPHA = 0, CPHASSEL = 1	35
图 4-10 SPI 时序图-从模式和 CPHA = 1, CPHASSEL = 1 ⁽¹⁾	36
图 4-11 SPI 时序图-主模式和 CPHASSEL = 1 ⁽¹⁾	36
图 4-12 ADC 静态参数示意图	39
图 4-13 使用 ADC 典型的连接图	39
图 4-14 供电电源和参考电源去耦线路	40
图 5-1 QFN20 封装尺寸	41
图 5-1 QFN20 封装尺寸	42

1. 简介

1.1. 概述

MG32F003 微控制器搭载 Arm® Cortex®-M0 内核，最高工作频率可达 48MHz。内置 16KB 高速存储器，并集成了丰富的 I/O 端口和外设模块。本产品包含 1 个 12 位的 ADC、1 个 16 位高级定时器、1 个 16 位通用定时器和 1 个 16 位基本定时器，还包含标准的通信接口：2 个 USART 接口、1 个 SPI 接口和 1 个 I2C 接口。

本产品系列工作电压为 2.0V ~ 5.5V，工作温度范围（环境温度）-40° C ~ 105° C 的拓展工业型。内置多种省电工作模式保证低功耗应用的要求。

本产品系列目标应用包括：

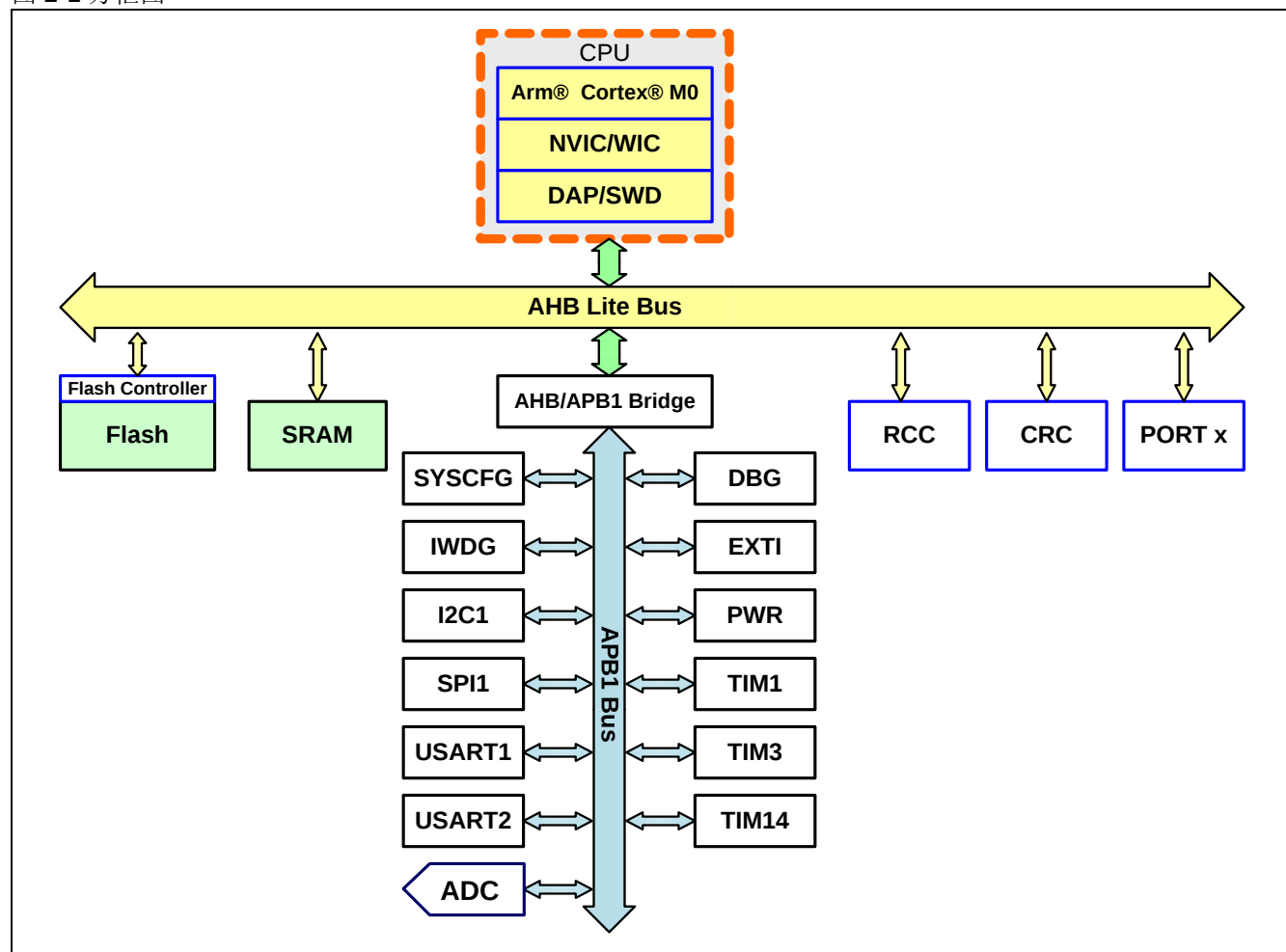
- 无线充
- 电机控制
- 节点控制
- 玩具
- 照明电路
- 消防设备

这些器件采用 QFN20 和 TSSOP20 封装。

2. 功能描述

2.1. 方框图

图 2-1 方框图



2.2. 内核简介

Arm® Cortex®-M0 处理器提供实时处理和先进的中断处理系统，非常适合针对实时控制和低功耗应用的低成本和低引脚数微控制器。

Arm® Cortex®-M0 是一款 32 位 RISC 处理器，提供最先进的代码效率，非常适合小内存微控制器和小代码量应用。凭借其嵌入式 Arm 核心，该产品兼容所有基于 Arm 的产品的工具和软件。

2.3. 总线简介

总线矩阵包括一个 AHB 互连总线矩阵、一个 AHB 总线和两个 AHB- APB 桥。AHB 总线上的外设（如 RCC、GPIO、CRC）通过互连矩阵连接到系统总线上。数据通过 AHB- APB 桥接在 AHB 和 APB 总线之间传输。当有 8 位或 16 位访问 APB 寄存器时，APB 总线将自动将访问扩展到 32 位。

2.4. 存储器映射

表 2-1 存储器映射

总线	地址范围	大小	外设
Flash	0x00000000 - 0x00003FFF	16 KB	Mapped to Main Flash memory
	0x00004000 - 0x07FFFFFFF	~127 MB	Reserved
	0x08000000 - 0x08003FFF	16 KB	Main Flash memory
	0x08000000 - 0x1FFDFFFF	~383 MB	Reserved
	0x1FFE0000 - 0x1FFE01FF	0.5 KB	Reserved
	0x1FFE0200 - 0x1FFE0FFF	3 KB	Reserved
	0x1FFE1000 - 0x1FFE1BFF	3 KB	Reserved
	0x1FFE1C00 - 0x1FFFF3FF	~256 MB	Reserved
	0x1FFFF400 - 0x1FFFF7FF	1 KB	System memory
	0x1FFFF800 - 0x1FFFF80F	16 B	Option bytes
	0x1FFFF810 - 0x1FFFFFFF	~2 KB	Reserved
SRAM	0x20000000 - 0x200007FF	2 KB	SRAM
	0x20000700 - 0x2FFFFFFF	~255 MB	Reserved
APB1	0x40000000 - 0x400003FF	1 KB	Reserved
	0x40000400 - 0x400007FF	1 KB	TIM3
	0x40000800 - 0x40000BFF	8 KB	Reserved
	0x40002800 - 0x40002BFF	1 KB	Reserved
	0x40002C00 - 0x40002FFF	1 KB	Reserved
	0x40003000 - 0x400033FF	1 KB	IWDG
	0x40003400 - 0x400037FF	1 KB	Reserved
	0x40003800 - 0x40003BFF	1 KB	Reserved
	0x40004000 - 0x400043FF	1 KB	Reserved
	0x40004400 - 0x400047FF	1 KB	USART2
	0x40004800 - 0x40004BFF	3 KB	Reserved
	0x40005400 - 0x400057FF	1 KB	I2C1
	0x40005800 - 0x40006BFF	5 KB	Reserved
	0x40006C00 - 0x40006FFF	1 KB	Reserved
	0x40007000 - 0x400073FF	1 KB	PWR
	0x40007400 - 0x4000FFFF	35 KB	Reserved
	0x40010000 - 0x400103FF	1 KB	SYSCFG
	0x40010400 - 0x400107FF	1 KB	EXTI

总线	地址范围	大小	外设
	0x40010800 - 0x400123FF	7 KB	Reserved
	0x40012400 - 0x400127FF	1 KB	ADC1
	0x40012800 - 0x40012BFF	1 KB	Reserved
	0x40012C00 - 0x40012FFF	1 KB	TIM1
	0x40013000 - 0x400133FF	1 KB	SPI1
	0x40013400 - 0x400137FF	1 KB	DBGMCU
	0x40013800 - 0x40013BFF	1 KB	USART1
	0x40013C00 - 0x40013FFF	1 KB	Reserved
	0x40014000 - 0x400143FF	1 KB	TIM14
	0x40014400 - 0x400147FF	1 KB	Reserved
	0x40014800 - 0x40014BFF	1 KB	Reserved
	0x40014C00 - 0x40017FFF	13 KB	Reserved
AHB	0x40020000 - 0x400203FF	1 KB	Reserved
	0x40020400 - 0x40020FFF	3 KB	Reserved
	0x40021000 - 0x400213FF	1 KB	RCC
	0x40021400 - 0x40021FFF	3 KB	Reserved
	0x40022000 - 0x400223FF	1 KB	Flash Interface
	0x40022400 - 0x40022FFF	3 KB	Reserved
	0x40023000 - 0x400233FF	1 KB	CRC
	0x40023400 - 0x47FFFFFFF	~127 MB	Reserved
	0x48000000 - 0x480003FF	1 KB	GPIOA
	0x48000400 - 0x480007FF	1 KB	GPIOB
	0x48000800 - 0x48000BFF	1 KB	Reserved
	0x48000C00 - 0x48000FFF	1 KB	Reserved
	0x48001000 - 0x5FFFFFFF	~384 MB	Reserved

2.5. Flash

本产品提供最大 16KB 的内置闪存存储器，用于存放程序和数据

2.6. SRAM

本产品提供最大 2KB 的内置 SRAM

2.7. NVIC

本产品内置嵌套的向量式中断控制器(NVIC)，能够处理多个可屏蔽中断通道（不包括 16 个 Cortex®-M0 的中断线）和 4 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.8. EXTI

外部中断/事件控制器（EXTI）包含多个边沿检测器，用于捕获来自 IO 引脚的电平变化，进而产生中断/事件请求。所有 IO 引脚可以连接到 16 个外部中断线。每个中断线均可独立开关，或启用各自的触发模式（上升沿、下降沿或双边沿）。一个挂起状态寄存器将会维持所有中断请求的状态。

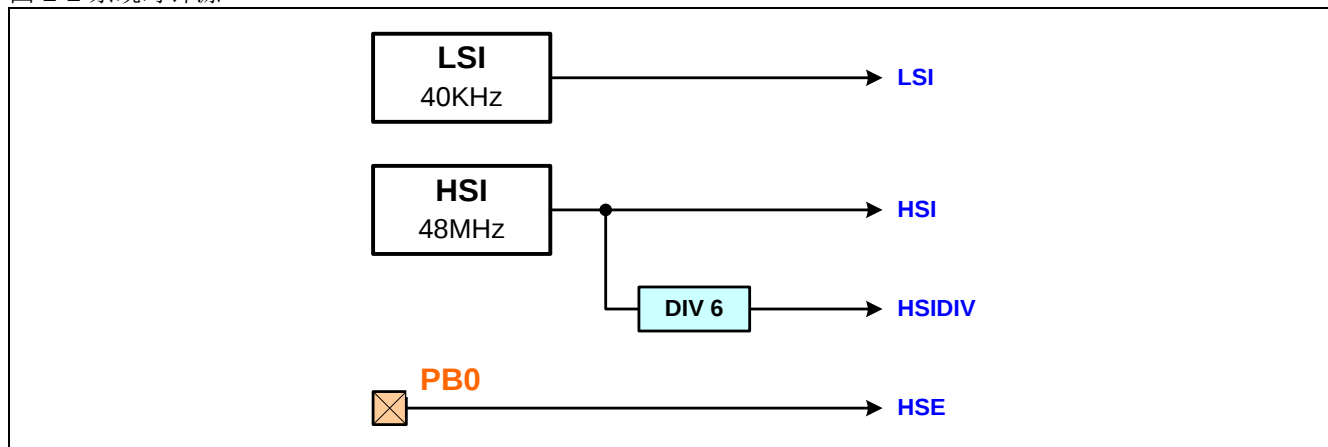
EXTI 可以检测到脉冲宽度小于内部 APB 总线时钟周期的电平变化。

2.9. 时钟和启动

如图 2-2 所示,本产品包含以下内部或外部时钟源:

- HSI 48MHz
- LSI 40KHz
- HSE

图 2-2 系统时钟源



系统时钟可从以下内部或外部时钟选择:

- HSI – HSI 48MHz 输出
- HSIDIV – HSI 48MHz 的 6 分频,即 8MHz 输出
- LSI – LSI 40KHz 输出
- HSE – 从 OSC_IN (PB0) 引脚的外部时钟输入

系统时钟分频后可作为 CPU 和 AHB 总线时钟，CPU 和 AHB 总线的最高工作频率为 48MHz。APB 总线的最高工作频率和 AHB 总线相同。

在复位后，首先使用 HSIDIV（8MHz）作为默认的系统时钟，随后可选择使用 HSI、LSI 或 HSE 作为时钟源。当监测到外部时钟无效时，系统会自动将外部时钟源屏蔽，转而使用内部的振荡器。此时，如果使能了相关的 中断监测开关，也会产生对应的中断请求。

2.10. 启动模式

从片内 Flash 启动

2.11. 供电方案

- 通过 VDD 引脚为 I/O 引脚和内部调节器供电，V_{DD} 的工作电压范围是 2.0V ~ 5.5V。
- 本产品没有单独的 VDDA 引脚，VDDA 和 VDD 在芯片内部连接在一起，VDDA 为 ADC、复位模块、振荡器和 PLL 的模拟部分供电，具体模拟器件的工作电压范围请参考电气特性章节。

2.12. 电压调压器

片内的电压调压器将外部电压转成内部逻辑电路工作的电压。电压调压器在芯片上电复位(POR)后处于工作状态。

2.13. 电源监控器

本产品内部集成了上电复位（POR）/ 掉电复位（PDR）电路，该电路始终处于工作状态，保证系统供电超过 2.0V 时工作；当 V_{DD} 低于设定的阈值（V_{POR/PDR}）时，置器件于复位状态。

器件中还有一个可编程电压监测器（PVD），它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

2.14. 低功耗模式

本产品支持多种低功耗模式，用户可以根据自己的应用选择低功耗模式，实现功耗、唤醒时间和唤醒源之间的平衡。

睡眠模式

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU

停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到较低的电能消耗。在停机模式下，HSI 的振荡器和 HSE 晶体振荡器被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

深度停机模式

与停机模式很类似，但能够达到更低的电能消耗

各低功耗模式下的外设状态如

表 2-2,所示。其中：

- Power Down 表示模块掉电，除 Flash 外数据均会丢失。
- Optional 表示外设可通过软件配置开启或关闭
- ON 表示工作
- OFF 表示功能关闭
- Retention 表示数据保留但无法操作

表 2-2 不同功耗模式下的外设状态

模块/模式	运行	睡眠	停机	深度停机
最大频率.	48MHz	48MHz	40KHz	40KHz
PVD	Optional	Optional	Optional	Optional
POR	ON	ON	ON	ON
CPU	ON	OFF	OFF	OFF
SRAM	ON	ON	Retention	Retention
Flash	ON	Standby	Standby	Deep Standby
HSI	Optional	Optional	OFF	Power Down
LSI	Optional	Optional	Optional	Optional
IWDG	Optional	Optional	Optional	Optional
ADC	Optional	Optional	OFF	OFF
其它外设	Optional	Optional	OFF	OFF
I/O	Optional	Optional	Retention	Retention

2.15. 定时器和看门狗

本产品包含 1 个高级定时器、1 个通用定时器、1 个基本定时器、1 个看门狗定时器和 1 个系统嘀嗒定时器。下表比较了高级控制定时器、通用定时器、基本定时器的功能。

表 2-3 高级，通用和基本定时器的功能摘要

类型	实例	分辨率	计数方向	预分频	DMA 请求	捕捉/比较通道	互补输出
Advanced	TIM1	16-bit	up, down, up/down	1 to 65536	No	4 (no capture)	3
General purpose	TIM3	16-bit	up, down, up/down	1 to 65536	No	4	No
Basic	TIM14	16-bit	up	1 to 65536	No	1	No

高级定时器 (TIM1)

高级控制定时器是由 16 位计数器、4 个比较通道以及三相互补 PWM 发生器组成，它具有带死区插入的互 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输出比较
- 产生 PWM (中心或边沿对齐)
- 单脉冲输出

当这个计时器用作通用计时器时，它具有与 TIM3 相同的功能。当此定时器用作 16 位 PWM 发生器时，它可以配置为 0%至 100%的宽占空比范围。

在调试模式下，计数器可以被冻结。

高级定时器与通用定时器有很多相同的特性和内部结构，这样高级定时器就可以通过链接功能与通用定时器协同工作，提供同步和事件触发功能。

通用定时器 (TIM3)

该产品有一个通用定时器(TIM3)。定时器有一个 16 位计数器，支持向上和向下计数，具有自动重载功能。定时器也有一个 16 位的频率预分频器和四个独立的通道。每个通道可以用作输入捕获，输出比较，PWM 或单脉冲输出。这些通用定时器还可以通过定时器链接功能协同工作，提供定时器和事件触发功能之间的同步。

这些定时器还可用于解码增量编码器信号，也可用于解码 1 到 4 个霍尔传感器的数字输出。任何通用定时器都可以用来生成 PWM 输出或作为基本定时器工作。

在调试模式下，计数器可以被冻结。

基本定时器 (TIM14)

该产品有一个 16 位基本定时器(TIM14)。每个计时器有一个 16 位计数器，只支持向上计数，自动重新加载。定时器还具有一个 16 位频率预分频器和一个独立通道。每个通道可作为输入捕获，输出比较，PWM 或单脉冲模式输出

独立看门狗 (IWDG)

独立的看门狗是基于一个 12 位向下计数器和一个 8 位预分频器。它由一个内部独立的 40KHz 振荡器进行计时。由于它独立于主时钟，因此可以在关机和待机模式下运行。它可用于在发生系统错误时重置整个系统，或作为空闲计时器为应用程序提供超时管理。可以通过 option 字节配置软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

系统时基定时器 (SysTick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位向下计数
- 自动重载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.16. GPIO

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。

多数 GPIO 引脚都与数字或模拟的复用外设共用。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

2.17. USART

本产品中内置 2 个通用同步/异步接收器/发送器（USART）接口。USART 为使用行业标准 NRZ 异步串行数据格式的外设提供全双工数据交换的灵活性。该模块可通过集成的波特率发生器支持广泛的波特率（包括整数和小数设置）。支持 LSB、MSB 收发模式，支持 8 位或 9 位可编程数据长度，支持 0.5/1/1.5/2 位停止位配置。支持同步或异步单向通信和半双工单线通信。支持 SPI 模式。支持最高 6Mbps 波特率。

2.18. I2C

本产品中内嵌 1 个 I2C 接口，能够工作于多主模式或从模式，支持标准模式(100Kbps)和快速模(400Kbps)。支持 7 位或 10 位寻址。

2.19. SPI

本产品中内嵌 1 个 SPI 接口。SPI 接口在从或主模式下，可配置成每帧 1 ~ 32 位。主模式最大速率 24Mbps，从模式最大速率 12Mbps。

2.20. ADC

产品内嵌 1 个 12 位的模拟/数字转换器（ADC），支持高达 1MSPS 转换速率，配置 8 个外部通道和 1 个内部通道。支持单次、单周期和连续扫描转换。支持任意序列采样模式，采样通道可按任意顺序排布。所有外部或内部转换通道都配备了独立的通道数据寄存器（共 9 个）。内部通道用于采集内置参考电压，在应用中可根据采集的转换值推算芯片供电电源的电压值。

模拟看门狗功能允许非常精准地监视一路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。由通用定时器和高级控制定时器产生的事件，在芯片内部连接到 ADC 的触发源选择上，以实现精确的 ADC 采样时刻控制。

2.21. CRC

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

2.22. SWD

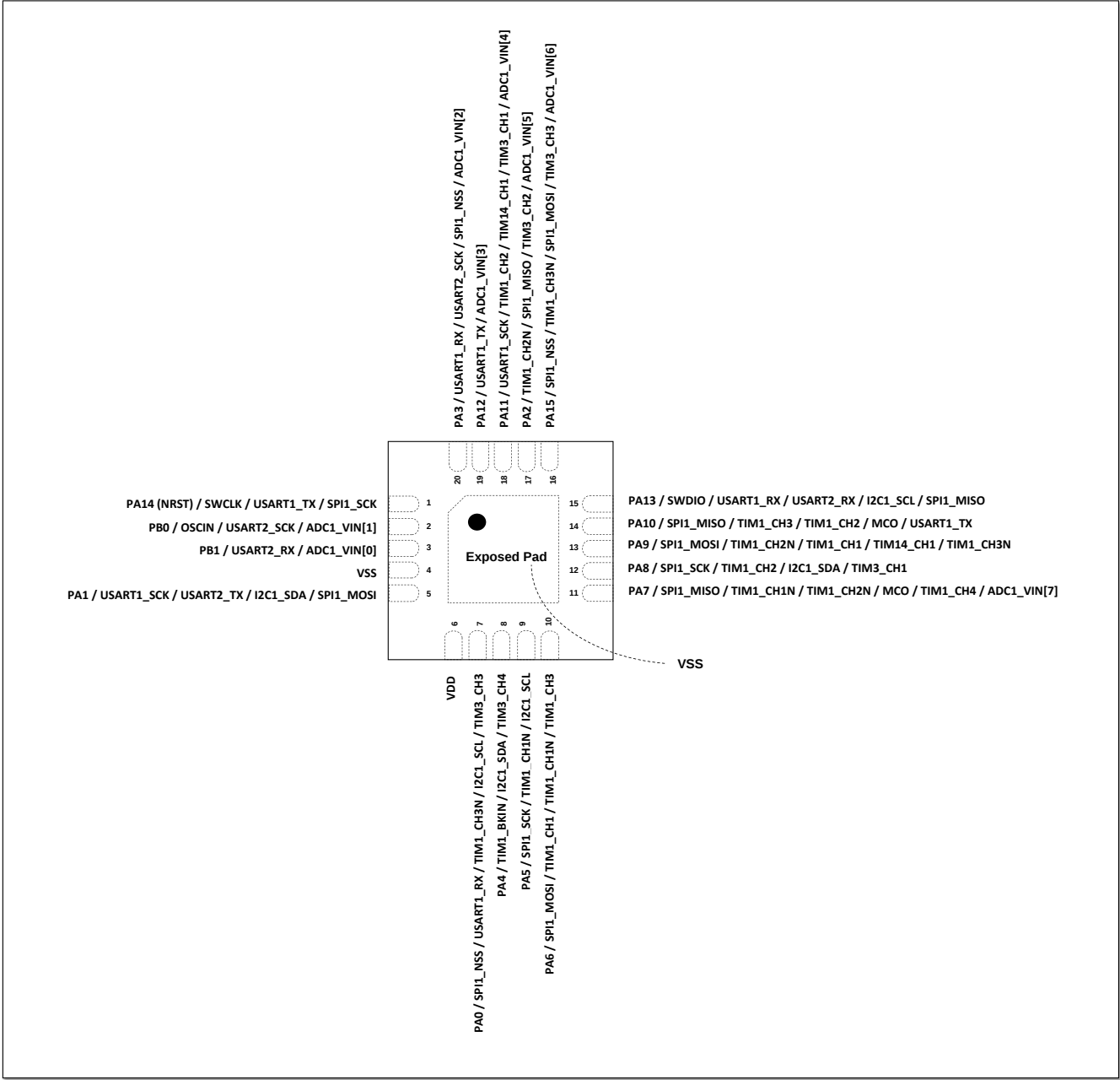
内嵌 Arm 标准的两线串行调试接口（SWD）。

3. 引脚和分配

3.1. 引脚图

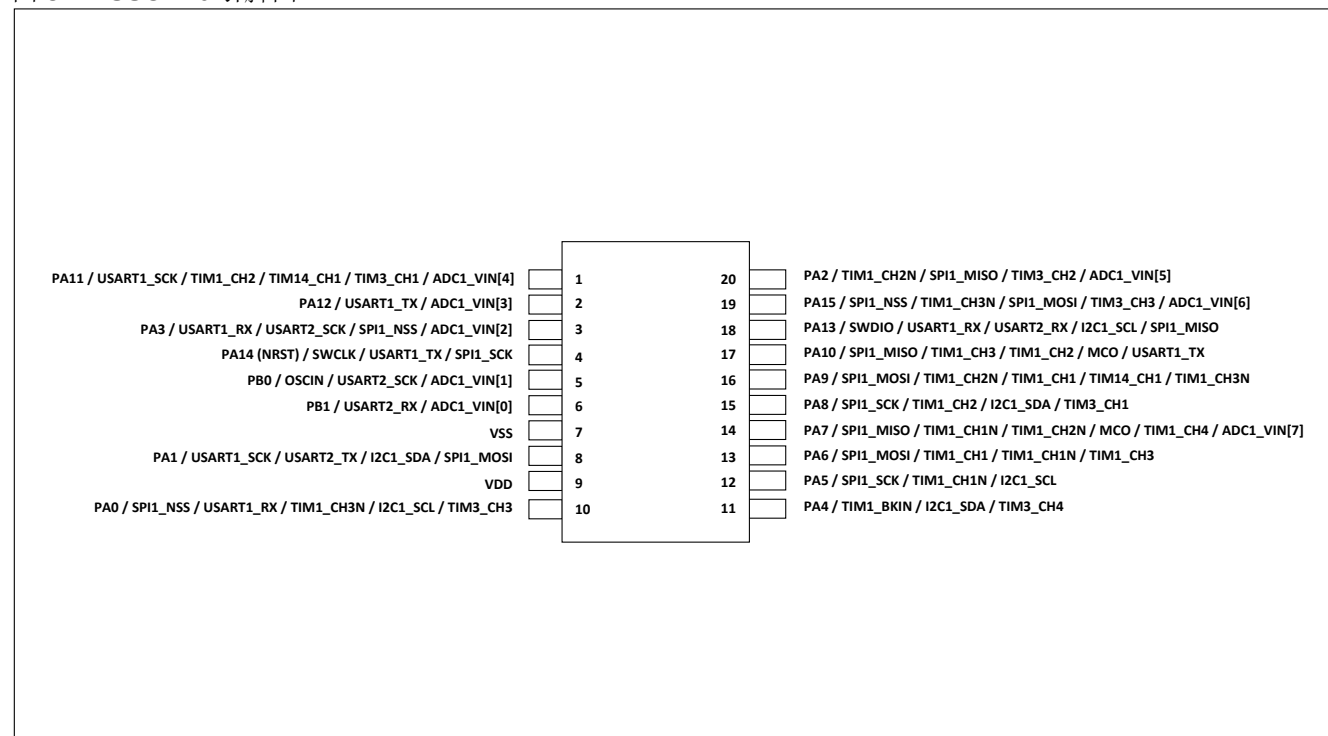
3.1.1. QFN20 引脚

图 3-1 QFN20 引脚图



3.1.2. TSSOP20 引脚

图 3-2 TSSOP20 引脚图



3.2. 引脚分配

表 3-1 引脚分配表

QFN20	TSSOP20	名称	类型 ⁽¹⁾	I/O level ⁽²⁾	主功能	复用功能	附加功能
1	4	PA14 (NRST) ⁽³⁾	I/O	TC	PA14	SWCLK USART1_TX SPI1_SCK	-
2	5	PB0 OSCIN	I/O	TC	PB0	USART2_SCK	ADC1_VIN[1]
3	6	PB1	I/O	TC	PB1	USART2_RX	ADC1_VIN[0]
4	7	VSS	S	-	VSS	-	-
5	8	PA1	I/O	TC	PA1	USART1_SCK USART2_TX I2C1_SDA SPI1_MOSI	-
6	9	VDD	S	-	VDD	-	-
7	10	PA0	I/O	-	PA0	SPI1_NSS USART1_RX TIM1_CH3N I2C1_SCL TIM3_CH3	-
8	11	PA4	I/O	-	PA4	TIM1_BKIN I2C1_SDA TIM3_CH4	-
9	12	PA5	I/O	-	PA5	SPI1_SCK TIM1_CH1N I2C1_SCL	-
10	13	PA6	I/O	TC	PA6	SPI1_MOSI TIM1_CH1 TIM1_CH1N TIM1_CH3	-
11	14	PA7	I/O	TC	PA7	SPI1_MISO TIM1_CH1N TIM1_CH2N MCO TIM1_CH4	ADC1_VIN[7]
12	15	PA8	I/O	TC	PA8	SPI1_SCK TIM1_CH2 I2C1_SDA TIM3_CH1	-
13	16	PA9	I/O	TC	PA9	SPI1_MOSI TIM1_CH2N TIM1_CH1 TIM14_CH1 TIM1_CH3N	-
14	17	PA10	I/O	TC	PA10	SPI1_MISO TIM1_CH3 TIM1_CH2 MCO USART1_TX	-
15	18	PA13	I/O	TC	PA13	SWDIO USART1_RX USART2_RX I2C1_SCL SPI1_MISO	-
16	19	PA15	I/O	TC	PA15	SPI1_NSS TIM1_CH3N SPI1_MOSI TIM3_CH3	ADC1_VIN[6]
17	20	PA2	I/O	TC	PA2	TIM1_CH2N SPI1_MISO TIM3_CH2	ADC1_VIN[5]
18	1	PA11	I/O	TC	PA11	USART1_SCK TIM1_CH2 TIM14_CH1 TIM3_CH1	ADC1_VIN[4]

QFN20	TSSOP20	名称	类型 ⁽¹⁾	I/O level ⁽²⁾	主功能	复用功能	附加功能
19	2	PA12	I/O	TC	PA12	USART1_TX	ADC1_VIN[3]
20	3	PA3	I/O	TC	PA3	USART1_RX USART2_SCK SPI1_NSS	ADC1_VIN[2]

1. I = 输入, O = 输出, S = 电源引脚, HiZ = 高阻态

2. TC: 标准 IO. 输入信号电压应不超过 VDD.

3. 当 RCC_SYSCFG 的 SFT_NRST_RMP 位被设置为 1 时, PA14 被映射为 NRST 外部复位, 且复位时低电平至少保持 4us.

3.3. 引脚复用

表 3-2 PA 端口复用 AF0-AF4

Pin	AF0	AF1	AF2	AF3	AF4
PA0	SPI1_NSS	USART1_RX	TIM1_CH3N	I2C1_SCL	TIM3_CH3
PA1	-	USART1_SCK	USART2_TX	I2C1_SDA	SPI1_MOSI
PA2	-	-	TIM1_CH2N	SPI1_MISO	TIM3_CH2
PA3	-	USART1_RX	USART2_SCK	-	SPI1_NSS
PA4	-	-	TIM1_BKIN	I2C1_SDA	TIM3_CH4
PA5	SPI1_SCK	TIM1_CH1N	-	I2C1_SCL	-
PA6	SPI1_MOSI	TIM1_CH1	TIM1_CH1N	-	TIM1_CH3
PA7	SPI1_MISO	TIM1_CH1N	TIM1_CH2N	MCO	TIM1_CH4
PA8	SPI1_SCK	TIM1_CH2	-	I2C1_SDA	TIM3_CH1
PA9	SPI1_MOSI	TIM1_CH2N	TIM1_CH1	TIM14_CH1	TIM1_CH3N
PA10	SPI1_MISO	TIM1_CH3	TIM1_CH2	MCO	USART1_TX
PA11	-	USART1_SCK	TIM1_CH2	TIM14_CH1	TIM3_CH1
PA12	-	USART1_TX	-	-	-
PA13	SWDIO	USART1_RX	USART2_RX	I2C1_SCL	SPI1_MISO
PA14	SWCLK	USART1_TX	-	-	SPI1_SCK
PA15	SPI1_NSS	TIM1_CH3N	-	SPI1_MOSI	TIM3_CH3

表 3-3 PB 端口复用 AF0-AF4

Pin	AF0	AF1	AF2	AF3	AF4
PB0	-	USART2_SCK	-	-	-
PB1	-	-	USART2_RX	-	-

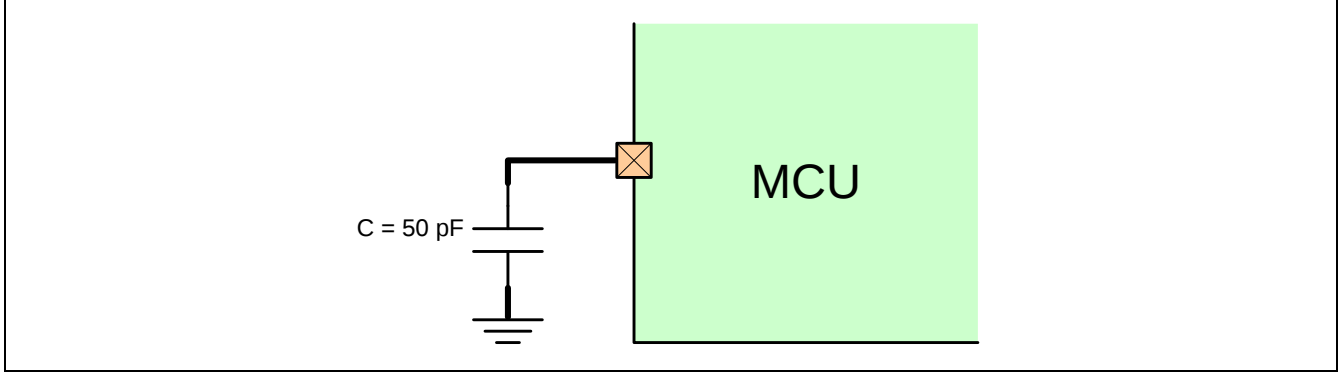
4. 电气特性

4.1. 测试条件

除非特别说明，所有电压都以 V_{SS} 为基准.

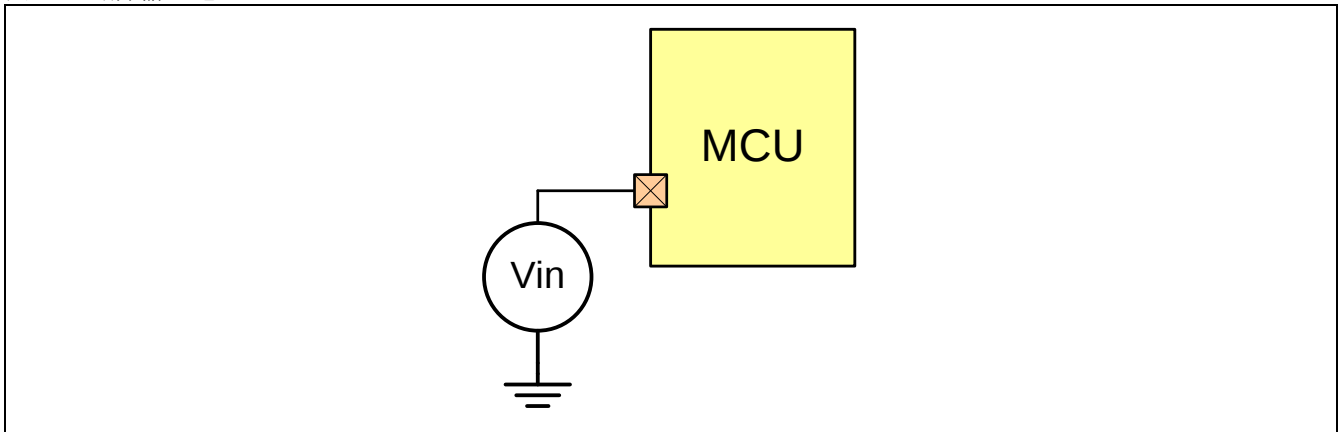
4.1.1. 负载电容

测量引脚参数时的负载条件如错误!未找到引用源。所示
图 4-1 引脚的负载条件



4.1.2. I/O 输入电压

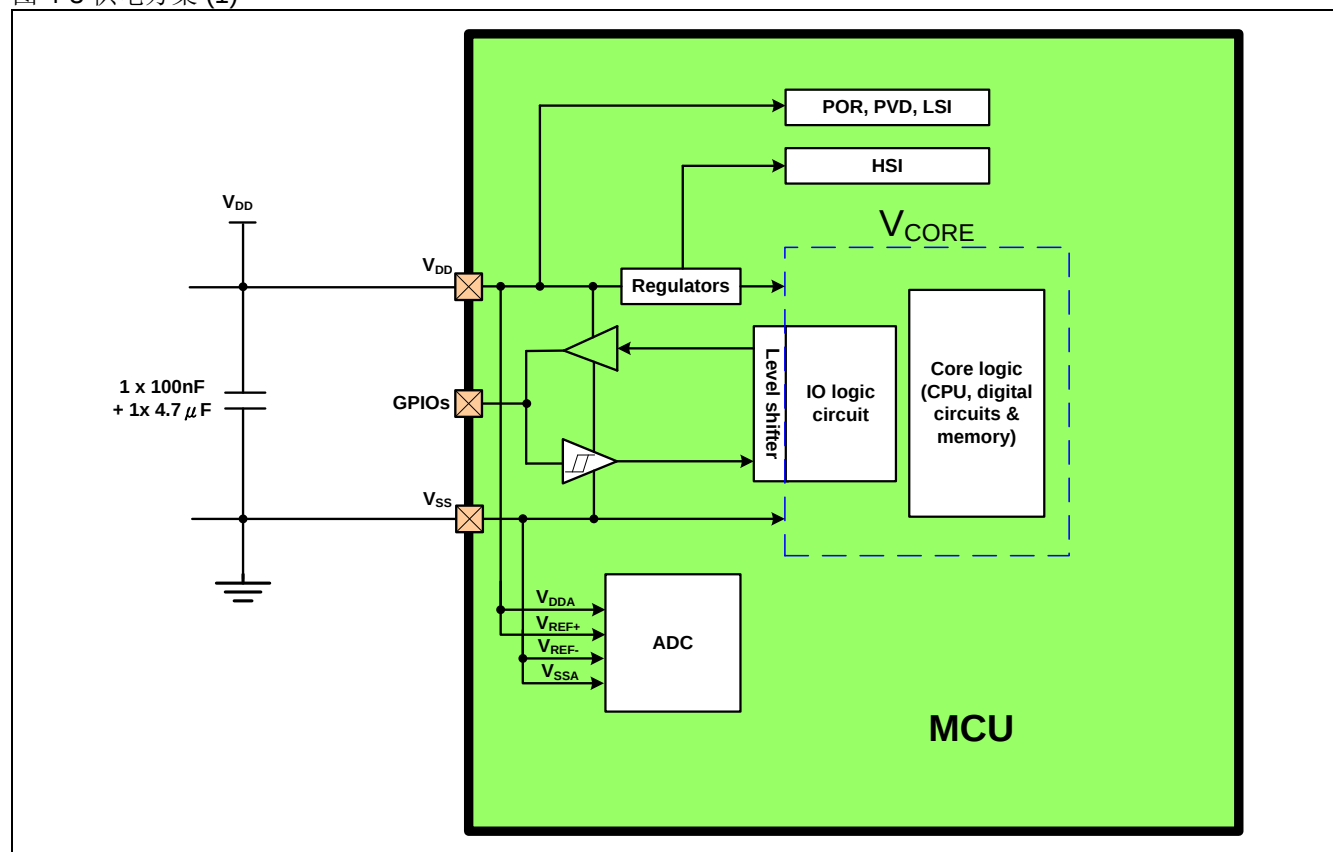
引脚上输入电压的测量方式如图 4-2 所示
图 4-2 引脚输入电压



4.1.3. 供电方案

供电设计方案如图 4-3 所示

图 4-3 供电方案 (1)



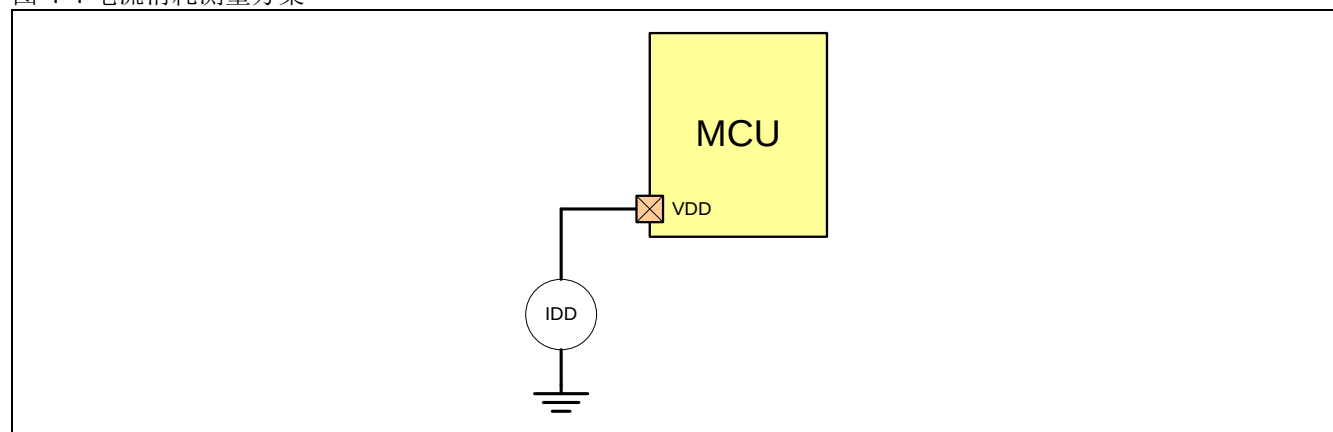
注意:

1. 为使芯片达到最佳性能，电源地(VDD, VSS)之间建议使用上图所示的滤波陶瓷电容去耦
2. 本产品的 VDD, VDDA, 和 VREF+在芯片内部均接到 VDD 引脚，VSS, VSSA 和 VREF- 在芯片内部均连接到 VSS 引脚

4.1.4. 电流消耗测量

脚上电流消耗的测量方式如图 4-4 所示.

图 4-4 电流消耗测量方案



4.2. 绝对最大额定值

加在器件上的载荷如果超过“绝对组最大额定值”列表(表 4-1, 表 4-2)中给出的值, 可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷, 并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 4-1 电压特性

标号	描述	最小	最大	单位
VDDx-VSSx	外部主电源电压(包括 VDDA 和 VSSA) ⁽¹⁾	-0.3	5.8	V
VIN ⁽²⁾	其它引脚输入电压	VSS-0.3	VDD+0.3	

1. 所有的电源(VDD)和地(VSS) 引脚必须始终连接到外部允许范围内的供电系统上
2. 必须始终遵循 VIN 的最大值。有关允许的最大注入电流值的信息, 请参见下表

表 4-2 电流特性

标号	描述	最大	单位
IVDD/VDDA ⁽¹⁾	通过 VDD/VDDA 电源引脚的总电流(电源电流) ⁽¹⁾	+60	mA
IVSS/VSSA ⁽¹⁾	通过 VSS/VSSA 接地脚的总电流(流出电流) ⁽¹⁾	-60	
IIO	在任何 I/O 和控制引脚上输出 sink 电流, VDD = 5.0V	+20	
	在任何 I/O 和控制引脚上输出 source 电流, VDD = 5.0V	-20	
	在任何 I/O 和控制引脚上输出 sink 电流, VDD = 3.3V	+15	
	在任何 I/O 和控制引脚上输出 source 电流, VDD = 3.3V	-15	
	在任何 I/O 和控制引脚上输出 sink 电流, VDD = 2.0V	+6	
	在任何 I/O 和控制引脚上输出 source 电流, VDD = 2.0V	-6	
IINJ(PIN) ⁽²⁾⁽³⁾	NRST 引脚注入电流	±5	
	HSE OSC_IN 引脚注入电流	±5	
ΣIINJ(PIN) ⁽⁵⁾	其它引脚注入电流 ⁽⁴⁾	±25	

1. 所有的电源(VDD)和地(VSS) 引脚必须始终连接到外部允许范围内的供电系统上
2. 此电流消耗必须正确分布至所有 I/O 和控制引脚
3. 反向注入电流会干扰器件的模拟性能
4. 当 VIN > VDDA 时, 会产生正向注入电流; 当 VIN < VSS 时, 会产生反向注入电流。不得 超出 IINJ (PIN)
5. 当多个输入同时存在注入电流时, Σ IINJ (PIN) 的最大值等于正向注入电流和反向注入电流 (瞬时值) 的绝对值之和

4.3. 工作条件

4.3.1. 通用工作条件

表 4-3 通用工作条件

标号	参数	条件	最小	典型	最大	单位
f _{HCLK}	内部 AHB 时钟频率	-	-	-	48	MHz
f _{PCLK1}	内部 APB1 时钟频率	-	-	-	48	
V _{DD}	数字电路工作电压	除待机模式外的所有功率模式	1.8	3.3	5.5	V
V _{DD}	数字电路工作电压	待机模式	2.0	3.3	5.5	
V _{DDA}	模拟电路工作电压(保证性能)	必须和 V _{DD} ⁽¹⁾ 一样	2.5	3.3	5.5	
	模拟电路工作电压(不保证性能)		1.8	-	2.5	
P _D	功耗 ⁽²⁾	QFN20	-	-	196	mW
T _A	环境温度(扩展工业级)	-	-40	-	105	
T _J	结温 ⁽³⁾ (扩展工业级)	-	-40	-	125	

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间，V_{DD} 和 V_{DDA} 之间 最多允许有 300 mV 的差别。
2. 如果 T_A 较低，只要 T_J 不超过 T_{Jma}，则允许更高的 P_D 数值
3. 在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jma}，T_A 可以扩展到这个范围

4.3.2. 上电和掉电时的工作条件

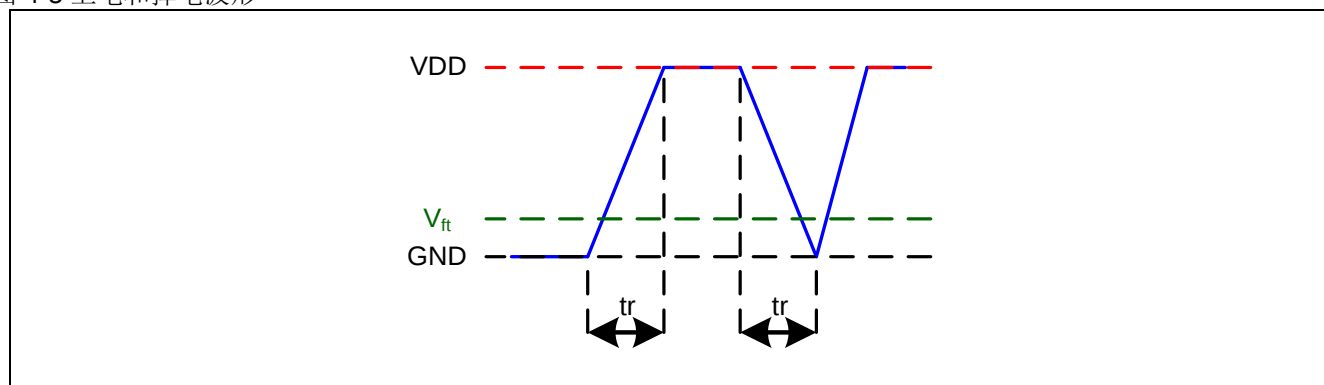
下表所示参数是在表 4-3. 所列环境温度和 V_{DD} 电源电压下得出的

表 4-4 上电/掉电时工作条件

标号	条件	最小	典型	最大	单位
t _{VDD}	V _{DD} 上升时间 t _r	0.2	-	∞	us/V
	V _{DD} 下降时间 t _f	60	-	∞	
V _{ft} ⁽³⁾	掉电阈值电压	-	0	-	mV

1. 数据基于表征结果，未在生产中测试
2. 芯片上电与掉电 V_{DD} 波形需严格遵循以下波形图中 t_r 和 t_f 阶段，上电过程不得出现掉电现象。
3. 注意：为确保芯片可以可靠上电，所有上电需要从 0V 开始

图 4-5 上电和掉电波形



4.3.3. 内嵌复位和电源控制模块特性

下表所示参数是在表 4-3. 所列环境温度和 V_{DD} 电源电压下得出的

表 4-5 内嵌复位和电源控制模块特性

标号	参数	条件	最小 ⁽³⁾	典型	最大 ⁽³⁾	单位
V _{PVD}	可编程电压检测器的电平选择	PLS[3:0]=0000 (上升沿)	-	1.8	-	V
		PLS[3:0]=0000 (下降沿)	-	1.7	-	
		PLS[3:0]=0001 (上升沿)	-	2.1	-	

标号	参数	条件	最小 ⁽³⁾	典型	最大 ⁽³⁾	单位
		PLS[3:0]=0001 (下降沿)	-	2.0	-	
		PLS[3:0]=0010 (上升沿)	-	2.4	-	
		PLS[3:0]=0010 (下降沿)	-	2.3	-	
		PLS[3:0]=0011 (上升沿)	-	2.7	-	
		PLS[3:0]=0011 (下降沿)	-	2.6	-	
		PLS[3:0]=0100 (上升沿)	-	3.0	-	
		PLS[3:0]=0100 (下降沿)	-	2.9	-	
		PLS[3:0]=0101 (上升沿)	-	3.3	-	
		PLS[3:0]=0101 (下降沿)	-	3.2	-	
		PLS[3:0]=0110 (上升沿)	-	3.6	-	
		PLS[3:0]=0110 (下降沿)	-	3.5	-	
		PLS[3:0]=0111 (上升沿)	-	3.9	-	
		PLS[3:0]=0111 (下降沿)	-	3.8	-	
		PLS[3:0]=1000 (上升沿)	-	4.2	-	
		PLS[3:0]=1000 (下降沿)	-	4.1	-	
		PLS[3:0]=1001 (上升沿)	-	4.5	-	
		PLS[3:0]=1001 (下降沿)	-	4.4	-	
		PLS[3:0]=1010 (上升沿)	-	4.8	-	
		PLS[3:0]=1010 (下降沿)	-	4.7	-	
V _{POR/PDR} ⁽¹⁾	上电复位阈值	-	-	1.65	-	V
V _{hyst_PDR}	PDR 迟滞	-	-	50	-	mV
T _{RSTTEMPO} ⁽²⁾	复位时间	-	-	4.7	-	ms

1. 产品的特性由设计保证至最小的数值 V_{POR/PDR}.

2. 由设计保证, 未在生产中测试

3. 综合评估得出

注意: 复位时间是从上电 (POR 复位) 到用户应用程序代码读取第一条指令的时间

4.3.4. 内置参考电压

下表所示参数是在表 4-3. 所列环境温度和 V_{DD} 电源电压下得出的
表 4-6 内置参考电压

标号	参数	条件	最小	典型	最大	单位
VREFINT	内置参考电压	$-40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-	1.2	-	V
T _{s_vrefint} ⁽¹⁾	读取内置参考电压时的 ADC 采样时间	-	-	11.8	-	us

1. 采样时间通过多次测试得到

4.3.5. 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。
本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

最大电流消耗

MCU 处于下列条件:

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— V_{DD} 或 V_{SS} （无负载）
- 除明确提及外，所有外设都被禁用
- Flash 存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 24 MHz 时为 0 个等待周期，24 ~ 48MHz 时为 1 个等待周期）
- 指令预取功能开启。当开启外设时: $f_{PCLK1} = f_{HCLK}$.

注意: 指令预取功能必须在设置时钟和总线分频之前设置。

下表所示参数是在表 4-3. 所列环境温度和 V_{DD} 电源电压下得出的

表 4-7 RUN 模式下典型电流消耗

标号	参数	条件	f _{HCLK} (Hz)	典型 所有外设使能						典型 所有外设禁止						单位
				-40°C	0°C	25°C	55°C	85°C	105°C	-40°C	0°C	25°C	55°C	85°C	105°C	
I _{DD}	运行模式 下电流	时钟 源是 HSI	48M	4.22	4.36	4.43	4.54	4.63	4.70	3.06	3.19	3.25	3.35	3.44	3.51	mA
			24M	3.05	3.16	3.23	3.31	3.39	3.44	2.34	2.45	2.50	2.58	2.66	-	
			12M	2.15	2.27	2.32	2.40	2.46	2.49	1.81	1.91	1.96	2.04	2.09	-	
			6M	1.70	1.79	1.85	1.92	2.00	2.04	1.53	1.62	1.67	1.74	1.82	1.87	
			3M	1.22	1.30	1.35	1.42	1.48	1.52	1.13	1.21	1.26	1.33	1.39	1.43	
			750K	0.87	0.94	0.98	1.04	1.10	1.13	0.84	0.91	0.95	1.01	1.07	1.10	
			375K	0.80	0.87	0.91	0.97	1.03	1.06	0.79	0.86	0.90	0.96	1.02	1.05	
			187.5K	0.77	0.84	0.88	0.94	1.00	1.03	0.77	0.84	0.88	0.93	0.99	1.02	
			93.75K	0.76	0.83	0.87	0.92	0.98	1.01	0.75	0.83	0.86	0.92	0.98	1.01	
		时钟源 是 HSIDIV	8M	1.83	1.92	1.70	1.78	1.84	1.88	1.63	1.73	1.50	1.57	1.64	1.68	
			4M	1.68	1.76	1.79	1.51	1.57	1.61	1.56	1.65	1.65	1.39	1.45	1.49	
			2M	1.19	1.28	1.32	1.39	1.46	1.50	1.13	1.22	1.27	1.33	1.40	1.44	
			1M	0.95	1.03	1.07	1.13	1.19	1.23	0.92	1.00	1.04	1.10	1.16	1.20	
			500K	0.83	0.90	0.94	1.00	1.06	1.09	0.81	0.89	0.93	0.99	1.04	1.08	
			125K	0.74	0.81	0.85	0.91	0.96	0.99	0.73	0.80	0.84	0.90	0.96	0.99	
			62.5K	0.72	0.79	0.83	0.89	0.94	0.97	0.72	0.79	0.83	0.89	0.94	0.97	
			31.25K	0.71	0.78	0.82	0.88	0.93	0.97	0.71	0.78	0.82	0.88	0.93	0.96	
		时钟源 是 LSI	40K	0.19	0.21	0.21	0.22	0.23	0.24	0.19	0.20	0.21	0.22	0.23	0.23	

表 4-8 Sleep 模式下典型电流消耗

标号	参数	条件	f _{HCLK} (Hz)	典型 所有外设使能						典型 所有外设禁止						单位
				-40℃	0℃	25℃	55℃	85℃	105℃	-40℃	0℃	25℃	55℃	85℃	105℃	
I _{DD}	睡眠模式 下电流	时钟源 是 HSI	48M	3.24	3.35	3.41	3.50	3.58	3.61	2.09	2.18	2.24	2.32	2.40	2.43	mA
			24M	2.18	2.27	2.33	2.40	2.48	2.52	1.49	1.57	1.62	1.69	1.76	1.80	
			12M	1.51	1.59	1.64	1.71	1.78	1.81	1.16	1.24	1.29	1.35	1.42	1.46	
			6M	1.67	1.76	1.81	1.89	1.97	2.01	1.50	1.58	1.64	1.71	1.78	1.82	
			3M	1.20	1.29	1.33	1.39	1.46	1.50	1.12	1.20	1.24	1.31	1.37	1.41	
			750K	0.86	0.94	0.98	1.04	1.10	1.13	0.84	0.91	0.95	1.01	1.07	1.10	
			375K	0.80	0.87	0.91	0.97	1.03	1.06	0.79	0.86	0.90	0.96	1.02	1.05	
			187.5K	0.77	0.84	0.88	0.94	0.99	1.03	0.76	0.84	0.88	0.93	0.99	1.02	
			93.75K	0.76	0.83	0.87	0.92	0.98	1.01	0.75	0.82	0.86	0.92	0.98	1.01	
		时钟源 是 HSIDIV	8M	1.30	1.39	1.44	1.51	1.58	1.61	1.11	1.20	1.24	1.31	1.38	1.42	
			4M	1.75	1.81	1.26	1.26	1.33	1.36	1.63	1.69	1.11	1.15	1.21	1.24	
			2M	1.23	1.32	1.37	1.44	1.50	1.54	1.18	1.26	1.31	1.39	1.44	1.48	
			1M	0.97	1.05	1.09	1.15	1.21	1.25	0.94	1.02	1.06	1.12	1.19	1.23	
			500K	0.84	0.91	0.95	1.01	1.07	1.11	0.82	0.89	0.94	1.00	1.06	1.09	
			125K	0.74	0.81	0.85	0.91	0.96	0.99	0.73	0.80	0.84	0.90	0.96	0.99	
			62.5K	0.72	0.79	0.83	0.89	0.94	0.98	0.72	0.79	0.83	0.89	0.94	0.97	
			31.25K	0.71	0.78	0.82	0.88	0.93	0.97	0.71	0.78	0.82	0.88	0.93	0.97	
		时钟源 是 LSI	40K	0.19	0.21	0.21	0.22	0.23	0.24	0.19	0.20	0.21	0.22	0.23	0.24	

表 4-9 模式下典型电流消耗⁽¹⁾

标号	参数	条件	典型						单位
			-40℃	0℃	25℃	55℃	85℃	105℃	
I _{DD}	Stop 模式下功耗	复位后进入 Stop 模式, V _{DD} =3.3V	110.19	117.98	121.73	125.54	113.52	118.95	μA
	Deep Stop 模式下功耗	复位后进入 Deep Stop 模式, V _{DD} =3.3V	5.75	6.20	6.44	6.79	7.76	9.31	

1. I/O 状态是模拟输入

片上外设电流消耗

片上外设的电流消耗如下表所示，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于模拟输入模式，并连接到一个静态电平上 - V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- 环境温度和 VDD 供电电压条件列于 表 4-3。

表 4-10 片上外设电流消耗⁽¹⁾

标号	参数	总线	典型	单位
I _{DD}	CRC	AHB	0.67	uA/MHz
	GPIOA		0.32	
	GPIOB		0.27	
	TIM1	APB1	5.11	
	I2C1		4.95	

标号	参数	总线	典型	单位
	SPI1		3.38	
	TIM3		3.13	
	USART1		1.96	
	USART2		1.93	
	TIM14		1.50	
	ADC1		0.73	
	PWR		0.10	
	EXTI		0.09	
	SYSCFG		0.09	
	DBG		0.04	
	WWDG		0.03	

1. $f_{HCLK} = 48\text{MHz}$, $f_{APB1} = f_{HCLK}$, 每个外设的预分频系数为默认值.

从低功耗模式唤醒的时间

下表中所列的唤醒时间是在内部时钟 HSI 唤醒过程中测量的。用于唤醒芯片的时钟源取决于当前的工作模式:

停机或待机模式: 时钟源是振荡器

睡眠模式: 时钟源是进入睡眠模式时所使用的时钟

下表所示参数是在表 4-3. 所列环境温度和 V_{DD} 电源电压下得出的.

表 4-11 低功耗模式唤醒时间

标号	参数	条件	典型	单位
$t_{WUSLEEP}$	从睡眠模式唤醒	系统时钟是 HSI DIV	3.22	μs
t_{WUSTOP}	从停机模式唤醒	系统时钟是 HSI DIV	26.65	μs
$t_{WUDEEPSTOP}$	从深度停机模式唤醒	系统时钟是 HSI DIV	28.88	μs

4.3.6. 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

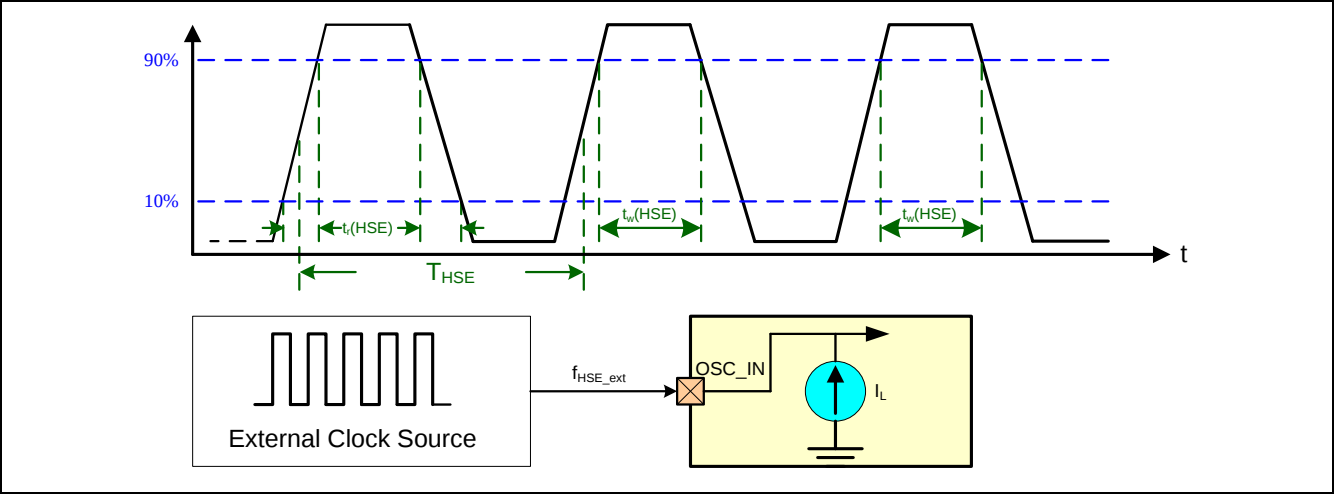
下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。.

表 4-12 高速外部用户时钟特性

标号	参数	条件	最小.	典型	最大	单位
fHSE_ext	用户外部时钟源频率 ⁽¹⁾	-	-	8	48	MHz
VHSEH	OSC_IN 输入高电平	-	0.7V _{DD}	-	V _{DD}	V
VHSEL	OSC_IN 输入底电平	-	V _{SS}	-	0.3V _{DD}	V
t _w (HSE)	OSC_IN 高或低时间 ⁽¹⁾	-	20	-	-	ns

1. 由设计保证，非产品测试

图 4-6 外部高速时钟源的交流时序图



4.3.7. 内部时钟源特性

下表所示的特性参数是根据一般工作条件下使用环境温度和电源电压测量的。

高速内部(HSI)振荡器

表 4-13 HIS 振荡器特性⁽¹⁾

标号	参数	条件	最小.	典型	最大	单位
f _{HSI}	频率	-	-	48	-	MHz
ACC _{HSI} ⁽³⁾	HSI 振荡器偏差	T _A = 0°C ~ 55°C	-1	-	1	%
		T _A = -40°C ~ 105°C	-2	-	2	%
T _{stab} (HSI) ⁽²⁾	HSI 振荡器启动时间	-	-	-	20	μs
I _{DD} (HSI) ⁽²⁾	HIS 振荡器功耗	-	-	480	-	μA

1. V_{DD} = 3.3V, T_A = -40°C ~ 105°C, 除非特别说明.
2. 由设计保证, 非产品测试.
3. 综合评价得出

低速内部(LSI)振荡器

表 4-14 LSI 振荡器特性⁽¹⁾

标号	参数	条件	最小.	典型	最大	单位
f _{LSI}	频率	-	-	40	-	KHz
ACC _{LSI} ⁽³⁾	LSI 振荡器偏差	T _A = 0°C ~ 55°C	-15	-	15	%
		T _A = -40°C ~ 105°C	-20	-	20	%
T _{stab} (LSI) ⁽²⁾	LSI 振荡器启动时间	-	-	-	100	μs
I _{DD} (LSI) ⁽²⁾	LIS 振荡器功耗	-	-	1	-	μA

1. V_{DD} = 3.3V, T_A = -40°C ~ 105°C, 除非特别说明.
2. 由设计保证, 非产品测试
3. 综合评价得出

4.3.8. 存储器特性

表 4-15 Flash 存储器特性

标号	参数	条件	最小.	典型	最大	单位
t _{prog}	16-bit programming time	-	-	37.24	-	μs
t _{ERASE}	Page (1024 bytes) erase time	-	4	-	6	ms
t _{ME}	Mass erase time	-	30	-	40	ms
I _{DD}	Supply current	Read mode	-	-	1.5	mA
		Write mode	-	-	2	mA
		Erase mode	-	-	1	mA

表 4-16 Flash 存储器寿命和数据保存期限⁽¹⁾⁽²⁾

标号	参数	条件	最小.	典型	最大	单位
N _{END}	Endurance	T _A = 105°C	100000	-	-	Cycles
T _{DR}	Data retention	T _A = 25°C	25	-	-	Years

4.3.9. EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS (电磁敏感性)

当运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），测试样品被施加 2 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- 静电放电(ESD)（正向和负向）施加到所有器件引脚，直到发生功能干扰。该测试符合 IEC 61000-4-2 标准。
- FTB: 通过一个 100 pF 的电容向 VDD 和 VSS 施加一串快速瞬变电压（正负），直到发生功能性干扰。该测试符合 IEC 61000-4-4 标准。

芯片复位可以使系统恢复正常操作。测试结果如下表所示

表 4-17 EMS 特性

标号	参数	条件	级别/类型
V _{FESD}	极限电压应用于任何 I/O 引脚，导致故障	V _{DD} = 3.3V, T _A = +25°C, f _{HCLK} = 48MHz. 符合 IEC61000-4-2	2A
V _{FEFT}	通过 100pf 对 VDD 和 VSS 引脚施加快速瞬态极限电压，以诱导功能干扰	V _{DD} = 3.3V, T _A = +25°C, f _{HCLK} = 48MHz. 符合 IEC61000-4-4	2A

设计可靠的软件以避免噪声的问题

利用典型的应用环境和简化的 MCU 软件，在器件级进行 EMC 的特性和优化。值得注意的是，良好的 EMC 性能高度依赖于用户应用和软件。

因此，建议用户根据此应用程序要求的 EMC 级别进行 EMC 软件优化和认证前的测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏（控制寄存器等）

认证前的试验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过手动的在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

4.3.10. 功能性 EMS (电气敏感性)

基于三个不同的测试（ESD, LU），使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能

静电放电 (ESD)

静电放电（一个正的脉冲然后间隔一秒钟后一个负的脉冲）施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关（3 片 x (n + 1) 供电引脚）。这个测试符合 JEDEC JS-001-2017/002-2018 标准。

静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压
- 在每个输入、输出和可配置的 I/O 引脚上注入电流

这些测试兼容 EIA/JESD78E IC 栓锁标准

表 4-18 ESD & LU 特性

标号	参数	条件	类	最大	单位
V _{ESD(HBM)}	静电放电电压(人体模型)	T _A = 25°C, 符合 ESDA/JEDEC JS-001-2017	3A	±5000	V
V _{ESD(CDM)}	静电放电电压(带电装置模型)	T _A = 25°C, 符合 ESDA/JEDEC JS-002-2018	C3	±2000	V
I _{LU}	栓锁电流	T _A = 105°C, 符合 JESD78E	II, A	±300	mA

4.3.11. I/O 端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表 4-3 的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表 4-19 I/O 静态特性

标号	参数	条件	最小.	典型	最大	单位
V _{IL}	低电平输入电压	-	-	-	0.3 * V _{DD}	V
V _{IH}	高电平输入电压	-	0.7 * V _{DD}	-	-	V
V _{hy}	施密特触发迟滞 ⁽¹⁾	-	0.1 * V _{DD}	-	-	V
I _{lkg}	输入漏电流 ⁽²⁾	-	-1	-	1	μA
R _{PU}	弱上拉等效电阻 ⁽³⁾	V _{IN} = V _{SS}	-	60	-	kΩ
R _{PD}	弱下拉等效电阻 ⁽³⁾	V _{IN} = V _{DD}	-	60	-	kΩ
C _{IO}	I/O 引脚电容	-	-	-	10	pF

1. 综合评价得出，未在生产中进行测试
2. 如果相邻引脚有反向电流，漏电流可能高于最大值
3. 上拉电阻和下拉电阻是多晶硅电阻

输出驱动电流

GPIO（通用输入/输出端口）可以吸收或输出多达 ±20mA 电流

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过表 4-1 给出的绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD}。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS}。

输出电压电平

除非特别说明，下表列出的参数是使用环境温度和 VDD 供电电压符合表 4-3.的条件测量得到。所有的 I/O 端口都是兼容 CMOS 的。

表 4-20 输出电压静态特性

标号	参数	条件	典型	单位
I _{OH}	输出高电流t	V _{DD} =2.0V, V _{PIN} =1.56V	6	mA
		V _{DD} =3.3V, V _{PIN} =3.01V	6	
		V _{DD} =3.3V, V _{PIN} =2.91V	8	
		V _{DD} =5.0V, V _{PIN} =4.75V	6	
		V _{DD} =5.0V, V _{PIN} =4.67V	8	
		V _{DD} =5.0V, V _{PIN} =4.18V	20	
I _{OL}	输出低电流	V _{DD} =2.0V, V _{PIN} =0.36V	6	
		V _{DD} =3.3V, V _{PIN} =0.2V	6	
		V _{DD} =3.3V, V _{PIN} =0.27V	8	
		V _{DD} =5.0V, V _{PIN} =0.15V	6	
		V _{DD} =5.0V, V _{PIN} =0.2V	8	
		V _{DD} =5.0V, V _{PIN} =0.54V	20	

1. 芯片吸收的电流 I_{OL} 必须始终遵循表中给出的绝对最大额定值，同时 I_{OL} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VSS}。
2. 芯片输出的电流 I_{OH} 必须始终遵循表中给出的绝对最大额定值，同时 I_{OH} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VDD}。
3. 由综合评估得出

输入/输出 AC 特性

输入输出交流特性的定义和数值分别在下面的图表中给出。

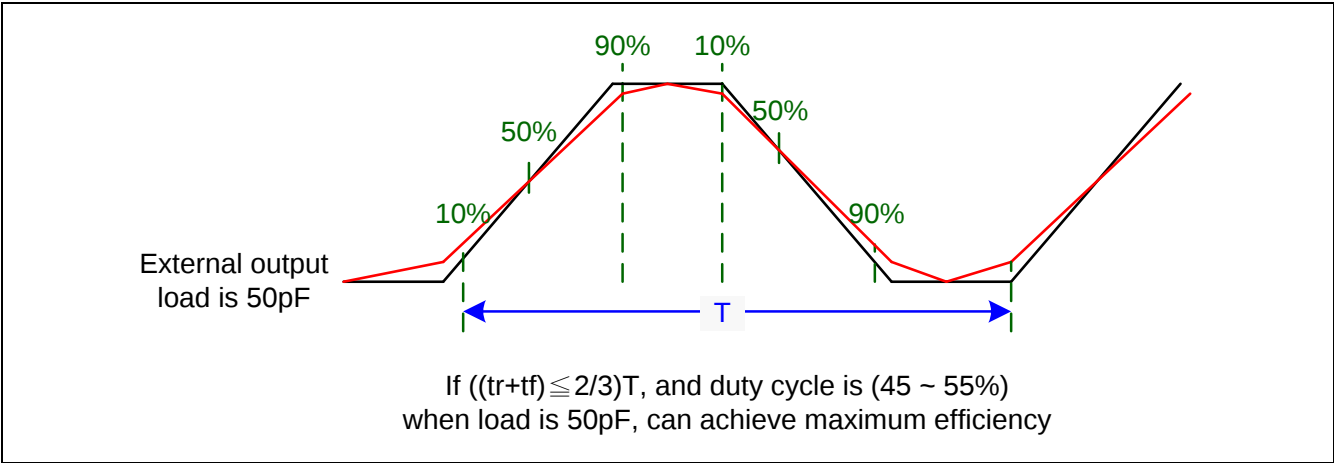
除非特别说明，下表列出的参数是使用环境温度和供电电压符合表 4-3.的条件测量得到。

表 4-21 I/O AC 特性⁽¹⁾⁽²⁾

标号	参数	条件	典型	单位
t _{r(I/O)out}	输出下降时间	C _L = 50pF V _{DD} =3.3V	5.8	ns
t _{r(I/O)out}	输出上升时间		5.6	ns

1. 最大频率在图 4-7 中定义
2. 由设计保证，未在生产中测试

图 4-7 I/O AC 特性



4.3.12. 定时器特性

下表列出的参数由设计保证

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见章节 4.3.11 I/O 端口特性。

表 4-22 TIMx⁽¹⁾ 特性

标号	参数	条件	最小	最大	单位
t _{res} (TIM)	定时器分辨率	-	1	-	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	20.8	-	ns
f _{EXT}	通道 1 到 4 的外部时钟频率	-	0	-	MHz
		f _{TIMxCLK} = 48MHz	0	24	
RestIM	定时器解析度	-	-	16	bit
t _{COUNTER}	16 位计数器周期	-	1	65536	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	0.0208	1365.3	us
t _{MAX_COUNT}	最大可能计数值(TIM_PSC 可调)	-	-	65536	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	-	1365.3	us
t _{MAX_IN}	TIM 最大输入频率	-	-	48	MHz

1. 由设计保证，未在生产中测试

4.3.13. I2C 接口特性

除非特别说明，下表列出的参数是使用环境温度，f_{PCLK1} 频率和 V_{DD} 供电电压符合表 4-3 的条件测量得到。

I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真”的开漏引脚，当配置为开漏输出时，在引出脚和 VDD 之间的 PMOS 管被关闭，但仍然存在。

I2C 接口特性列于下表，有关输入输出复用功能引脚（SDA 和 SCL）的特性详情，参见章节 4.3.11 I/O 端口特性。

表 4-23 I2C 特性

标号	参数	标准 I2C ⁽¹⁾		快速模式 I2C ⁽¹⁾		单位
		最小	最大	最小	最大	
t _w (SCLL)	SCL 时钟低时间	9*t _{PCLK}	-	9*t _{PCLK}	-	us
t _w (SCLH)	SCL 时钟高时间	18*t _{PCLK}	-	18*t _{PCLK}	-	us
t _{su} (SDA)	SDA 设置时间	1*t _{PCLK}	-	1*t _{PCLK}	-	ns
t _h (SDA)	SDA 数据保留时间	0 ⁽³⁾	- ⁽⁴⁾	0 ⁽³⁾	- ⁽⁴⁾	ns
t _r (SDA)/t _r (SCL)	SDA 和 SCL 上升时间	-	1000	20	300	ns
t _f (SDA)/t _f (SCL)	SDA 和 SCL 下降时间	-	300	20*(V _{DD} /5.5V)	300	ns
t _{vd} (DAT) ⁽⁵⁾	数据有效时间	-	8*t _{PCLK} - 1 ⁽⁴⁾	-	8*t _{PCLK} - 0.3 ⁽⁴⁾	us
t _{vd} (ACK) ⁽⁶⁾	数据有效应答时间	-	8*t _{PCLK} - 1 ⁽⁴⁾	-	8*t _{PCLK} - 0.3 ⁽⁴⁾	us
t _h (STA)	起始条件保持时间	8*t _{PCLK}	-	8*t _{PCLK}	-	us
t _{su} (STA)	起始条件设置时间	19*t _{PCLK}	-	17*t _{PCLK}	-	us
t _{su} (STO)	停止条件设置时间	17*t _{PCLK}	-	17*t _{PCLK}	-	us
t _w (STO:STA)	停止条件到起始条件时间 (总线空闲)	484*t _{PCLK}	-	144*t _{PCLK}	-	us
C _b	总线负载电容	-	400	-	400	pF

1. 由设计保证，未在生产中测试
2. f_{PCLK1} 必须至少为 3MHz 才能实现标准模式 I2C 频率。要实现快速模式 I2C 频率，必须至少为 12MHz。

3. 在 SDA 进入 0.3 V_{DD} 至 0.7 V_{DD} 的不确定范围之前，确保 SCL 在下降沿下降到 0.3 V_{DD} 以下。

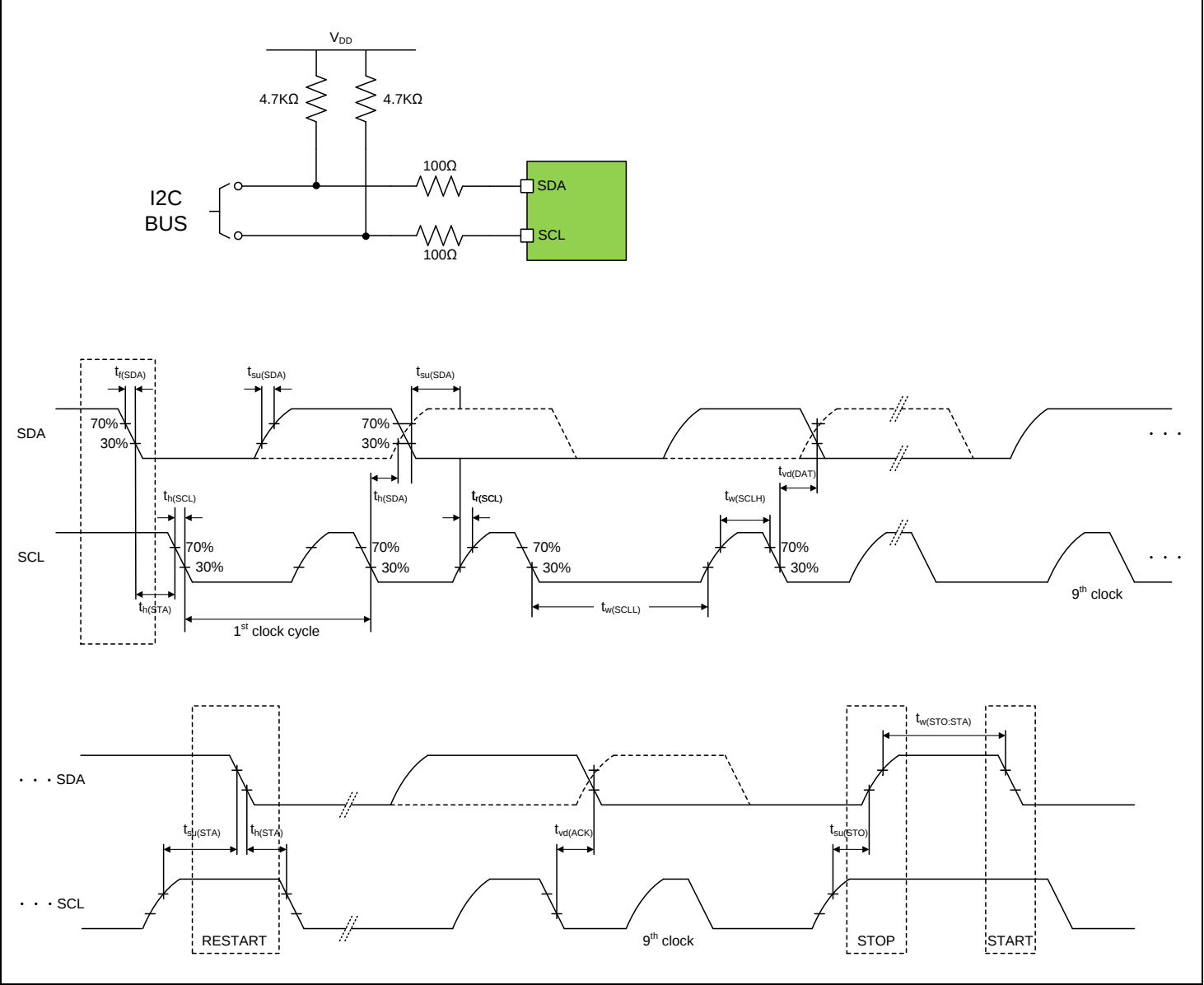
注意: 对于无法观察 SCL 下降沿的控制器，应独立测量 SCL 从静态高电平 (V_{DD}) 到 0.3V_{DD} 的转换时间来插入 SDA 转换相对于 SCL 的延迟。

4. 标准模式和快速模式的最大 t_h(SDA) 可以是 3.45 us 和 0.9 us，但必须比 t_{vd}(DAT) 或 t_{vd}(ACK) 的最大值小一个转换时间。仅当器件不延长 SCL 信号的低电平周期 t_w(SCLL) 时才必须满足此最大值。如果时钟延长了 SCL，则数据在释放时钟之前必须在建立时间之前有效。

5. t_{vd}(DAT) = 从 SCL LOW 到 SDA 输出数据信号的时间。

6. t_{vd}(ACK) = 从 SCL LOW 到 SDA 输出应答信号的时间。

图 4-8 I2C 总线交流波形和测量电路 ⁽¹⁾



1. 测量点设置于 CMOS 电平: 0.3V_{DD} 和 0.7V_{DD}.

4.3.14. SPI 特性

除非特别说明，下表列出的参数是使用环境温度， f_{PCLK1} 频率和 V_{DD} 供电电压符合表 4-3 的条件测量得到。有关输入输出复用功能引脚（NSS、SCK、MOSI、MISO）的特性详情，参见章节 4.3.11 I/O 端口特性。

表 4-24 SPI 特性 ⁽¹⁾

标号	参数	条件	最小	最大	单位
f_{SCK} $1/t_c(SCK)$	SPI 时钟频率	Master mode, $T_A = 25^\circ C$	-	24 ⁽⁴⁾	MHz
		Slave mode, $T_A = 25^\circ C$	-	12	
$t_r(SCK)$	SPI 时钟上升时间	Load capacitance: $C = 15pF$	-	6	ns
$t_f(SCK)$	SPI 时钟下降时间	Load capacitance: $C = 15pF$	-	6	ns
$t_{su}(NSS)^{(1)}$	NSS 设置时间	Slave mode	10	-	ns
$t_h(NSS)^{(1)}$	NSS 保持时间	Slave mode	10	-	ns
$t_w(SCKH)^{(1)}$	SCK 高时间	-	$t_c(SCK)/2 - 6$	$t_c(SCK)/2 + 6$	ns
$t_w(SCKL)^{(1)}$	SCK 低时间	-	$t_c(SCK)/2 - 6$	$t_c(SCK)/2 + 6$	ns
$t_{su}(MI)^{(1)}$	数据输入设置时间	Master mode, $f_{PCLK} = 48MHz$, prescaler = 2, high speed mode	15	-	ns
$t_{su}(SI)^{(1)}$		Slave mode	5	-	ns
$t_h(MI)^{(1)}$	数据输入保持时间	Master mode, $f_{PCLK} = 48MHz$, prescaler = 2, high speed mode	0	-	ns
$t_h(SI)^{(1)}$		Slave mode	5	-	ns
$t_v(MO)^{(1)}$	数据输出有效时间	Master mode (after enable edge)	-	15	ns
$t_v(SO)^{(1)}$	数据输出有效时间	Slave mode (after enable edge)	-	15	ns

1. 数据基于特性所得，未在生产中测试。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 3.最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间

图 4-9 SPI 时序图-从模式和 $CPHA = 0$, $CPHASEL = 1$

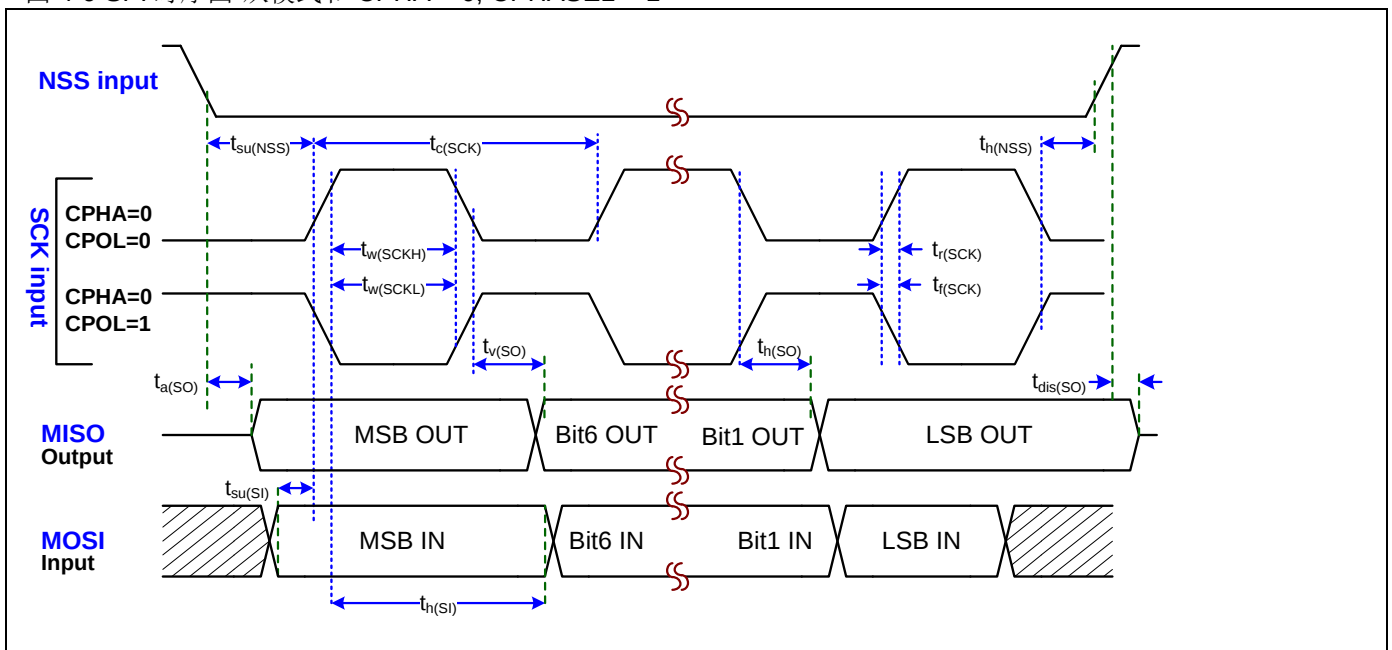
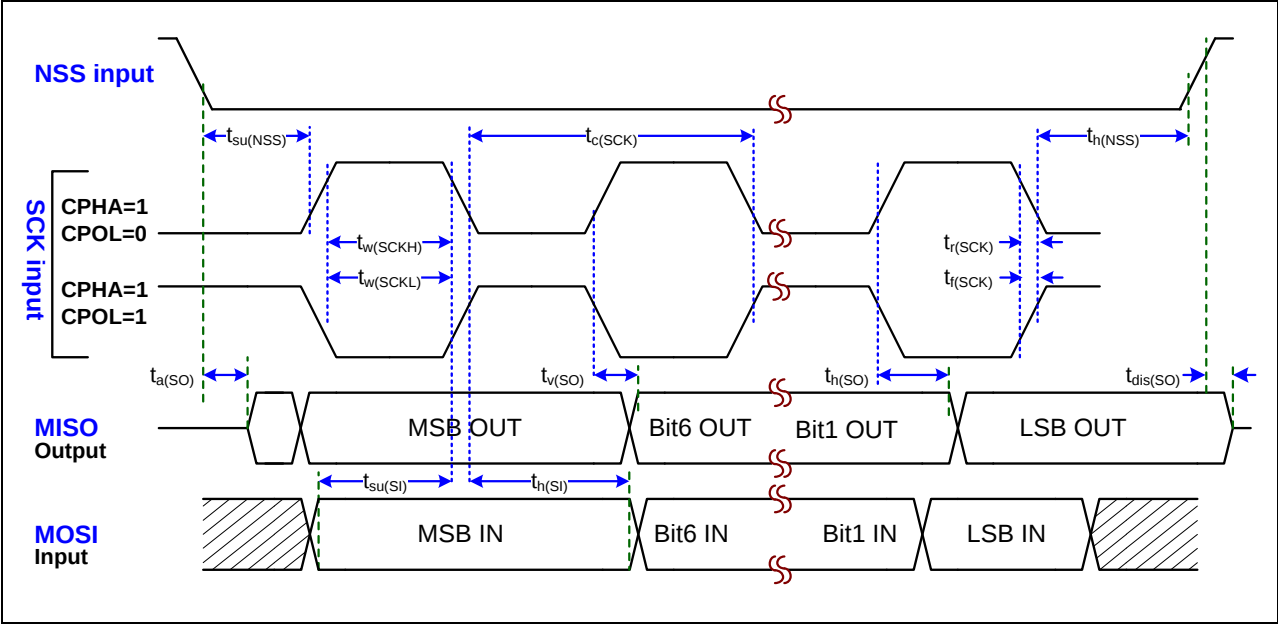
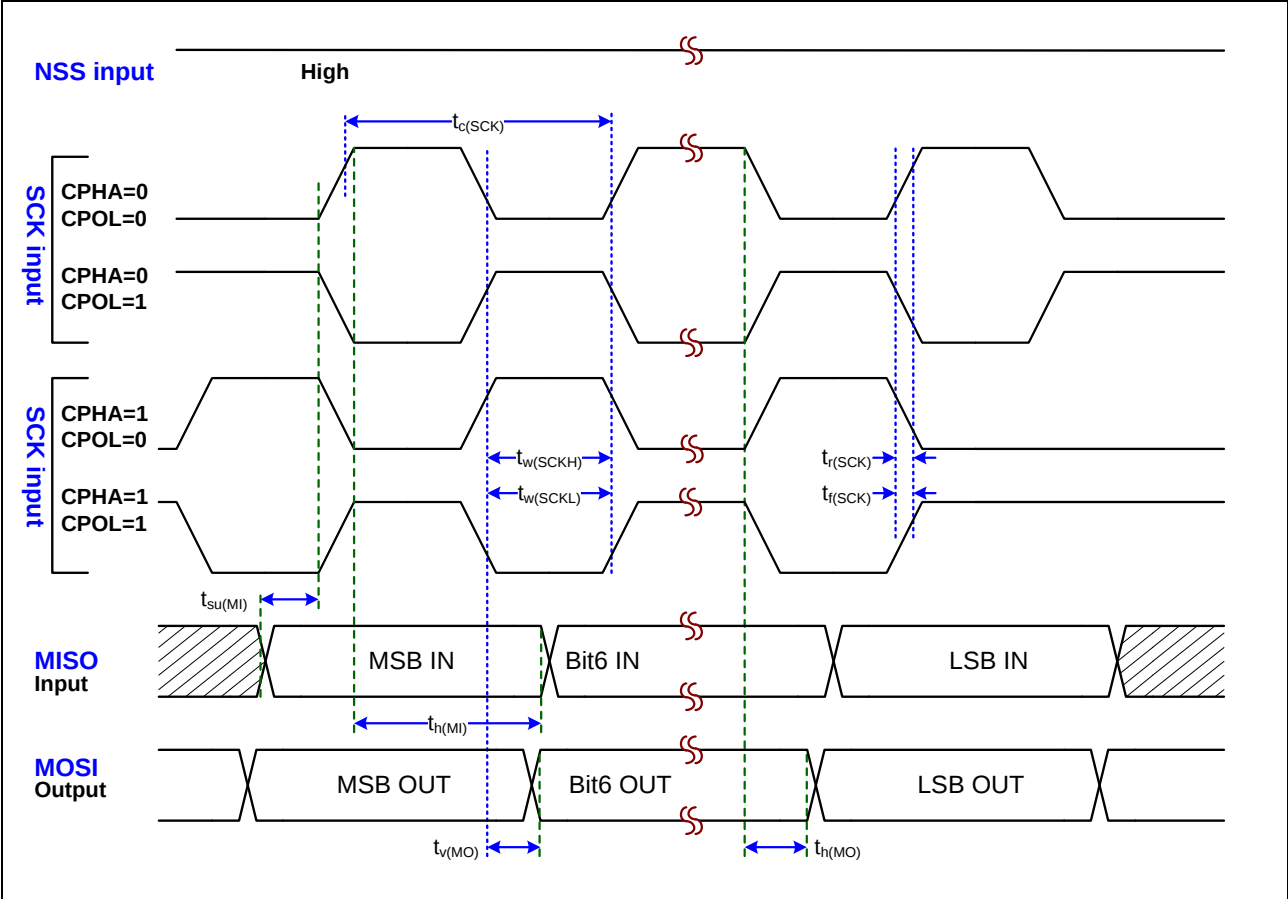


图 4-10 SPI 时序图-从模式和 CPHA = 1, CPHASEL = 1 ⁽¹⁾



1. 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$

图 4-11 SPI 时序图-主模式和 CPHASEL = 1 ⁽¹⁾



1. 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$

4.3.15. USART 特性

除非特别说明，下表列出的参数是使用环境温度， f_{PCLK1} 频率和 V_{DD} 供电电压符合表 4-3 的条件测量得到。有关输入输出复用功能引脚(SCLK, TX, RX)的特性详情，参见章节 4.3.11 I/O 端口特性。

表 4-25 USART 特性⁽¹⁾

标号	参数	条件	最小	最大	单位
f_{SCLK} $1/t_c(SCLK)$	USART 时钟频率	Master mode, $T_A = 25^{\circ}C$	-	6	MHz
		Slave mode, $T_A = 25^{\circ}C$	-	6	
$t_r(SCLK)$	SCLK 时钟上升时间	Load capacitance: $C = 15pF$	-	6	ns
$t_f(SCLK)$	SCLK 时钟下降时间	Load capacitance: $C = 15pF$	-	6	ns
$t_w(SCLKH)^{(1)}$	SCLK 高时间	-	$t_c(SCLK)/2 - 6$	$t_c(SCLK)/2 + 6$	ns
$t_w(SCLKL)^{(1)}$	SCLK 低时间	-	$t_c(SCLK)/2 - 6$	$t_c(SCLK)/2 + 6$	ns
$t_{su}(MI)^{(1)}$	数据输入设置时间	Master mode, $f_{PCLK} = 48MHz$, prescaler = 8	5	-	ns
$t_{su}(SI)^{(1)}$		Slave mode	5	-	ns
$t_h(MI)^{(1)}$	数据输入保持时间	Master mode, $f_{PCLK} = 48MHz$, prescaler = 8	5	-	ns
$t_h(SI)^{(1)}$		Slave mode	5	-	ns
$t_v(MO)^{(1)}$	数据输出有效时间	Master mode (after enable edge)	-	10	ns
$t_v(SO)^{(1)}$	数据输出有效时间	Slave mode (after enable edge)	-	26	ns

1. Guaranteed by design, not tested in production.

4.3.16. ADC 特性

除非特别说明，下表的参数是使用符合表 4-3. 的条件的环境温度、 f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

表 4-26 ADC 特性

标号	参数	条件	最小	典型	最大	单位
V_{DDA}	电源电压	-	2.5	3.3	5.5	V
f_{ADC}	ADC 时钟频率	-	-	-	16	MHz
$f_s^{(1)}$	采样频率	$V_{DD} > 2.8V$	-	-	1	MHz
		$V_{DD} \leq 2.8V$	-	-	400	KHz
$f_{TRIG}^{(1)}$	外部触发频率 ⁽³⁾	$f_{ADC} = 16MHz$	-	-	1	MHz
		-	-	-	16	1/ f_{ADC}
$V_{AIN}^{(2)}$	转换电压范围	-	0	-	V_{DDA}	V
$R_{AIN}^{(1)}$	外部输入阻抗	-	See equation 2			k Ω
$R_{ADC}^{(1)}$	采样开关电阻	-	-	-	1.5	k Ω
$C_{ADC}^{(1)}$	内部采样和保持电容	-	-	-	10	pF
$t_{STAB}^{(1)}$	稳定时间	-	-	-	10	μs
$t_{latr}^{(1)}$	触发和转换启动之间的延迟	-	-	-	-	1/ f_{ADC}
$t_s^{(1)}$	采样时间	$f_{ADC} = 16MHz$	0.156	-	15.031	μs
		-	2.5	-	240.5	1/ f_{ADC}
$t_{CONV}^{(1)}$	转换总时间(包括采样时间)	$f_{ADC} = 16MHz$	0.9375	-	15.8125	μs
		-	15 ~ 253 (sampling t_s + successive approximation 12.5)			1/ f_{ADC}
ENOB	有效位数	-	-	10.5	-	bit

1. 基于特性过程中的测试保证。未在生产中测试
2. 由设计保证，未在生产中测试
3. 在此产品中， V_{REF+} 在内部连接到 V_{DDA} ， V_{REF-} 在内部连接到 V_{SSA} 。
4. 在内部连接到
5. 对于外部触发，必须在加上一个 $1/f_{ADC}$ 的延迟

AIN 输入阻抗

公式 2

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{n+2})} - R_{ADC}$$

上述公式（公式 2）用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N = 12（表示 12 位分辨率），是在 f_{ADC} = 15MHz 时测量所得。

表 4-27 f_{ADC} = 15MHz ⁽¹⁾时的最大 R_{AIN}

Ts (cycles)	ts (μs)	最大 RAIN (kΩ)
2.5	0.156	0.1
8.5	0.531	4.0
14.5	0.906	7.8
29.5	1.844	17.5
42.5	2.656	25.9
56.5	3.531	34.9
72.5	4.531	45.2
240.5	15.031	153.4

1. 由设计保证，未在生产中测试

表 4-28 ADC 静态特性 ⁽¹⁾⁽²⁾

标号	参数	条件	典型	单位
ET	综合误差	fPCLK1 = 48MHz, fADC = 16MHz, RAIN < 0.1 kΩ, VDDA = 3.3V, TA = 25°C	-2.1 ~ 3.8	LSB
EO	偏移误差		-10.5 ~ 2	
EG	增益误差		-0.6 ~ 1.0	
ED	微分线性误差		-0.8 ~ 1.0	
EL	积分线性误差		-2.8 ~ 1.5	

1. DC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电 流，因为这样会显著地降低另一个模
拟输入引脚上正在进行的转换精度。建议在可能产 生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基
二极管。如果正向的注入电流，只要处于章节 4.2 绝对最大额定值给出的 IINJ（PIN） 和 ΣIINJ（PIN） 范围之内，就不
会影响 ADC 精度。
2. 由特性保证，未在生产中测试

其中，ADC 静态参数的含义解释如下，其对应的示意图如图 4-12 所示.

- ET = 总未调整误差：实际和理想传输曲线间的最大偏离
- EO = 偏移误差：第一次实际转换和第一次理想转换间的偏离.
- EG = 增益误差：最后一次理想转换和最后一次实际转换间的偏离.
- ED = 微分线性误差：实际步进和理想值间的最大偏离
- EL = 积分线性误差：任何实际转换和端点相关线间的最大偏离

图 4-12 ADC 静态参数示意图

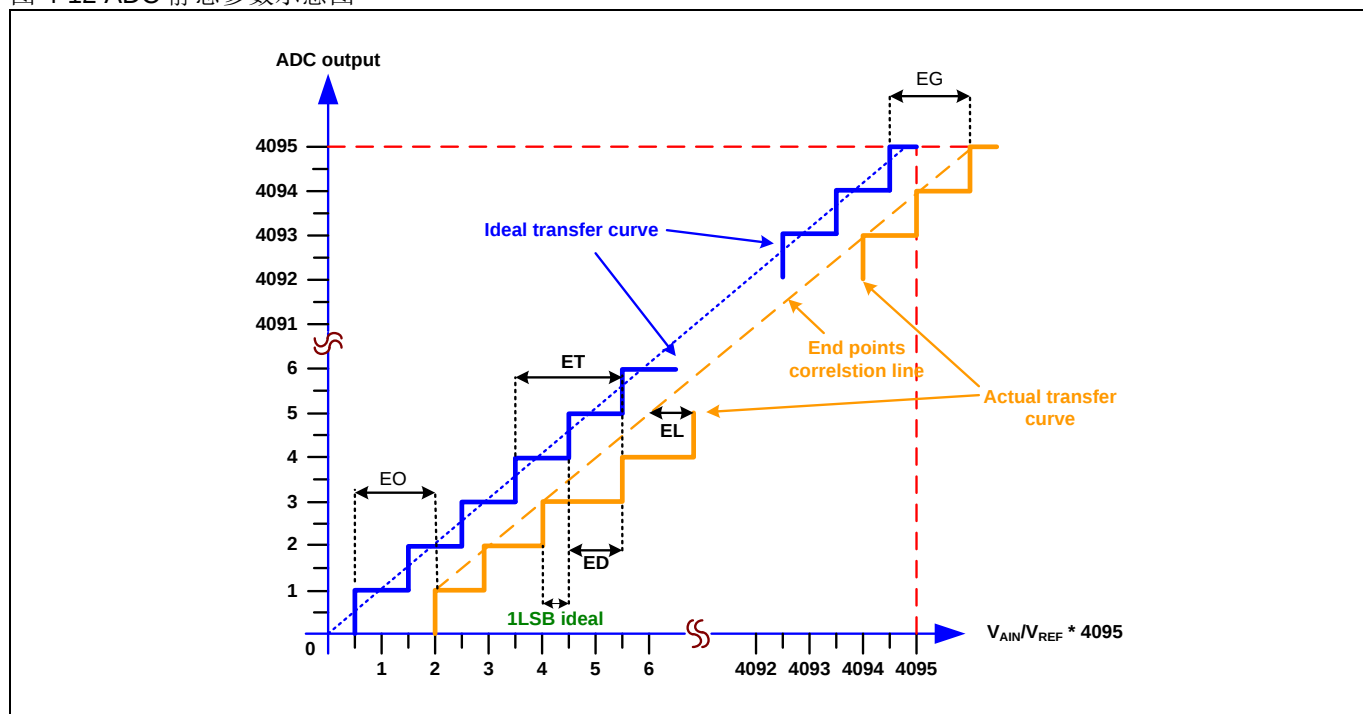
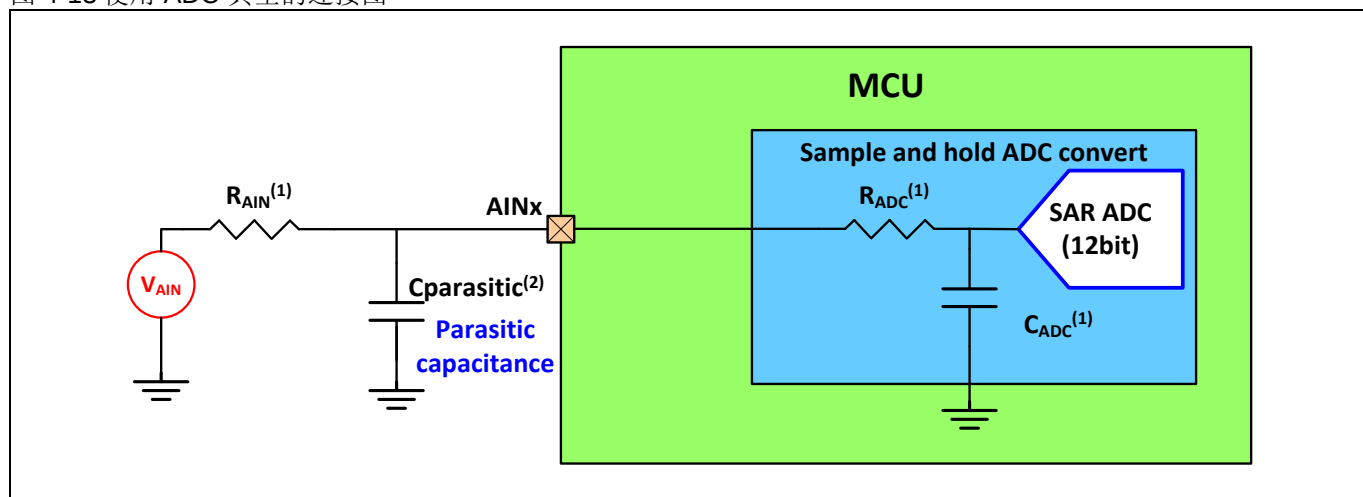


图 4-13 使用 ADC 典型的连接图

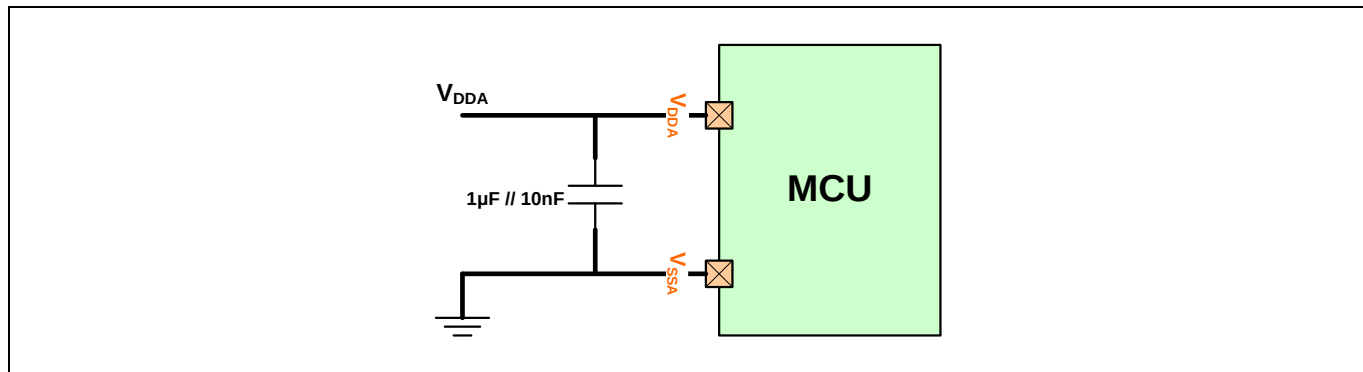


1. R_{AIN} , R_{ADC} 和 C_{ADC} 的值见表 4-26
2. $C_{parasitic}$ 表示 PCB（与焊接和 PCB 布局质量相关）与焊盘上的寄生电容（大约 7pF）。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

PCB 设计建议

电源必须按如下方式连接。图中的 10nF 电容器必须是陶瓷电容（质量好），它们应该尽可能靠近 MCU 芯片

图 4-14 供电电源和参考电源去耦线路



5. 封装尺寸

5.1. QFN20 (3x3x0.55mm)

图 5-1 QFN20 封装尺寸

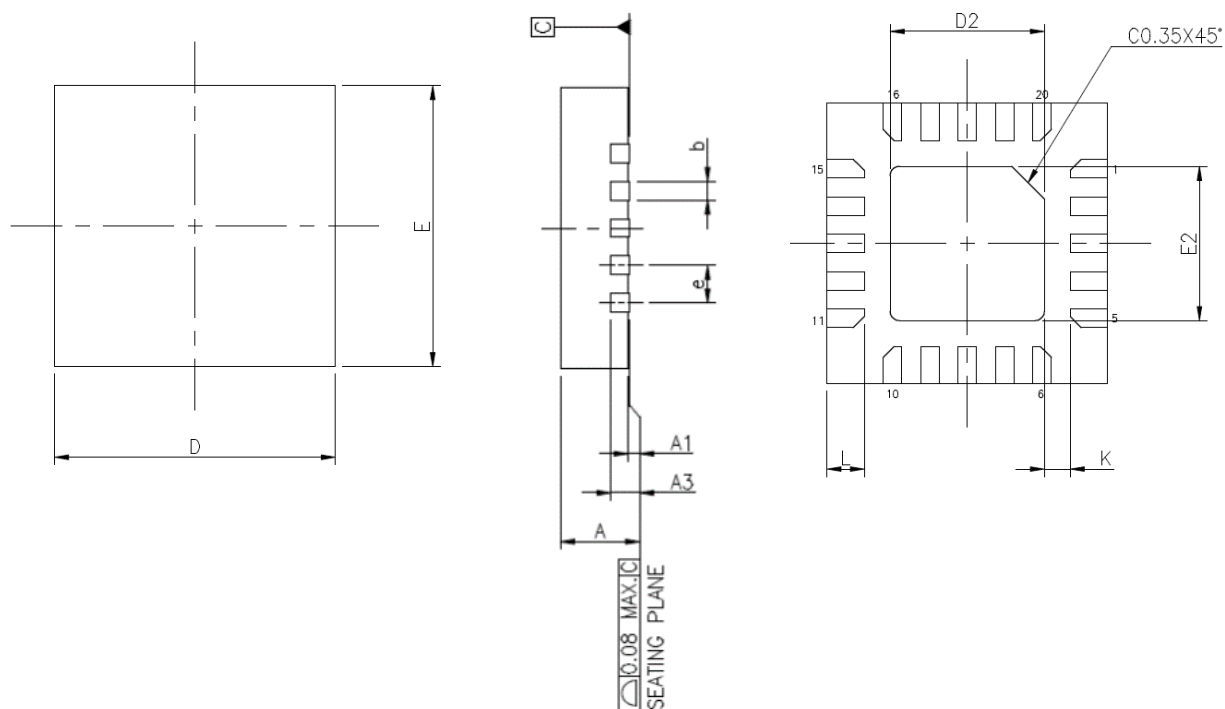


表 5-1 QFN20 尺寸

Unit	mm			inch		
JEDEC	MO-220			MO-220		
PKG	WQFN(X319)			WQFN(X319)		
Symbols	Min.	Nom.	Max.	Min.	Nom.	Max.
A	0.50	0.55	0.60	0.019	0.021	0.023
A1	0.00	0.02	0.05	0.000	0.000	0.001
A3	0.150 REF.			0.005 REF.		
b	0.15	0.20	0.25	0.005	0.007	0.009
D	3.00 BSC			0.11 BSC		
E	3.00 BSC			0.11 BSC		
e	0.40 BSC			0.015 BSC		
L	0.35	0.40	0.45	0.013	0.015	0.017
K	0.20	---	---	0.007	---	---
D2	1.60	1.65	1.70	0.062	0.064	0.066
E2	1.60	1.65	1.70	0.062	0.064	0.066

5.2. TSSOP20 (173mil)封装尺寸

图 5-2 QFN20 封装尺寸

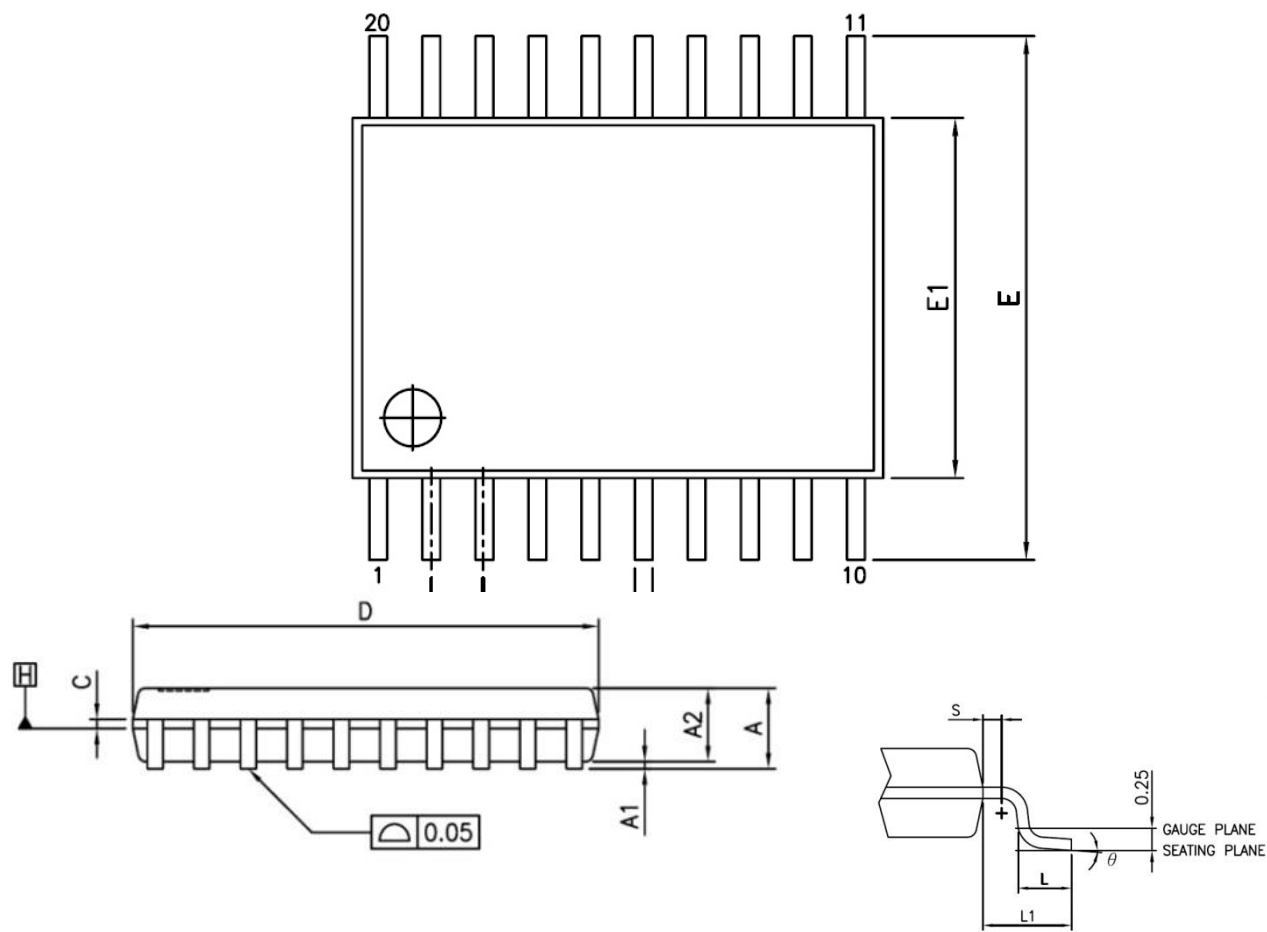


表 5-2 TSSOP20 尺寸

Unit	mm			inch		
Symbols	Min.	Nom.	Max.	Min.	Nom.	Max.
A	----	----	1.20	----	----	0.047
A1	0.05	----	0.15	0.001	----	0.005
A2	0.80	0.90	1.05	0.031	0.035	0.041
b	0.19	----	0.30	0.007	----	0.011
C	0.09	-----	0.20	0.003	-----	0.007
D	6.40	6.50	6.60	0.251	0.255	0.259
E1	4.30	4.40	4.50	0.169	0.173	0.177
E	6.40 BSC			0.251 BSC		
e	0.65 BSC			0.025 BSC		
L1	1.00 REF			0.039 REF		
L	0.50	0.60	0.75	0.019	0.023	0.029
S	0.20	----	----	0.007	----	----
θ	0°	----	8°	0°	----	8°

6. 版本历史

表 6-1 版本历史

版本	描述	日期
V1.1	1. 初始版本	2024/09/06
V1.2	1. 修改尺寸	2024/11/17
V1.3	1. 修改 ADC 和 I/O 端口特性	2025/03/10

7. 免责声明

在此，笙泉(Megawin)代表 “**Megawin Technology Co., Ltd.**”

生命支援—此产品并不是为医疗、救生或维持生命而设计的，并且当设备系统出现故障时，并不能合理地预示是否会对人身造成伤害。因此，当客户使用或出售用于上述应用的产品时，需要客户自己承担这样做的风险，笙泉公司并不会对不当地使用或出售我公司的产品而造成的任何损害进行赔偿。

更改权—笙泉保留产品的如下更改权，其中包括电路、标准单元、与/或软件 - 在此为提高设计的与/或性能的描述或内容。当产品在大批量生产时，有关变动将通过工程变更通知(ECN)进行通知。