User Guide User Guide

MG32F005

Arm®Cortex® M0 内核

用户手册

版本 1.1

日期 2025/03/10

This document contains information on a new product under development by Megawin.
Megawin reserves the right to change or discontinue this product without notice.
© Megawin Technology Co., Ltd. 2025 All rights reserved.

● 目录

● 目录 3
● 图目录 10
● 表目录 12
1 系统和存储器架构 14
1.1 系统架构简介 14
1.1.1 系统总线 14
1.1.2 DMA 总线 14
1.1.3 BUS 矩阵 14
1.2 存储器简介 14
1.2.1 存储器映射和寄存器编址 14
1.2.2 内置 SRAM 16
1.2.3 FLASH 存储器概述 16
1.2.4 启动配置 16
1.2.5 引导程序 16
2 内嵌 FLASH 17
2.1 简介 17
2.2 Flash 构成和说明 17
2.2.1 Flash 构成 17
2.2.2 选项字节描述 17
2.2.3 IAP/Data 空间说明 19
2.3 Flash 操作与流程 19
2.3.1 Flash 读操作 19
2.3.2 Flash 编程模式和操作流程 19
2.3.3 对 Flash 块操作限制的解除与使能 21
2.3.4 对选项字节区块操作限制的解除与使能 22
2.3.5 主 Flash 块擦除 23
2.3.6 主 Flash 快编程 25
2.3.7 选项字节块擦除 27
2.3.8 选项字节区块编程 27
2.3.9 Flash 存储器保护 28
2.4 寄存器 29
2.4.1 寄存器概览 29
2.4.2 FLASH_ACR Flash 访问控制寄存器 29
2.4.3 FLASH_KEYR FPEC 密钥寄存器 30
2.4.4 FLASH_OPTKEYR Flash OPTKEY 寄存器 30
2.4.5 FLASH_SR Flash 状态寄存器 30
2.4.6 FLASH_CR Flash 控制寄存器 31
2.4.7 FLASH_AR Flash 地址寄存器 32
2.4.8 FLASH_OBR 选项字节寄存器 32
2.4.9 FLASH_WRPR 写保护寄存器 33
3 PWR 电源控制 34
3.1 供电系统 34
3.1.1 模拟模块供电 34
3.1.2 数字模块供电 34
3.1.3 VDD 域 34
3.1.4 1.5V 域 34
3.2 电源管理器 35
3.2.1 POR 上电复位和 PDR 掉电复位 35
3.2.2 PVD 可编程电压监测器 35
3.3 功耗控制 36
3.3.1 功耗控制概述 36
3.3.2 运行模式降低系统时钟 36
3.3.3 外部时钟控制 36
3.3.4 睡眠模式 37
3.3.5 停机模式 37
3.4 寄存器 38
3.4.1 PWR_CR 电源控制寄存器 38
3.4.2 PWR_CSR 电源控制/状态寄存器 38
3.4.3 PWR_CFGR 电源配置寄存器 39
3.4.4 PWR_MEMCR 电源存储器控制寄存器 39
4 RCC 时钟和复位 40
4.1 复位单元 40

4.1.1 简介 40
4.1.2 功能框图 40
4.1.3 主要特性 40
4.1.4 功能描述 40
4.2 时钟单元 41
4.2.1 简介 41
4.2.2 功能框图 41
4.2.3 主要特性 41
4.2.4 功能描述 41
4.3 寄存器 42
4.3.1 寄存器概览 42
4.3.2 RCC_CR 时钟控制寄存器 43
4.3.3 RCC_CFGR 时钟配置寄存器 43
4.3.4 RCC_CIR 时钟中断寄存器 44
4.3.5 RCC_AHBRSTR AHB 外设复位寄存器 45
4.3.6 RCC_APB1RSTR APB1 外设复位寄存器 45
4.3.7 RCC_AHBENR AHB 外设时钟使能寄存器 47
4.3.8 RCC_APB1ENR APB1 外设时钟使能寄存器 47
4.3.9 RCC_CSR 控制状态寄存器 49
5 SYSCFG 系统控制器 51
5.1 简介 51
5.2 寄存器 51
5.2.1 寄存器概览 51
5.2.2 SYSCFG_CFGR 配置寄存器 51
5.2.3 SYSCFG_EXTICR1 外部中断配置寄存器 1 51
5.2.4 SYSCFG_EXTICR2 外部中断配置寄存器 2 52
5.2.5 SYSCFG_EXTICR3 外部中断配置寄存器 3 52
5.2.6 SYSCFG_EXTICR4 外部中断配置寄存器 4 52
6 HWDIV 硬件除法器 54
6.1 简介 54
6.2 主要特征 54
6.3 功能描述 54
6.4 寄存器 54
6.4.1 寄存器概览 54
6.4.2 HWDIV_DVDR 被除数寄存器 54
6.4.3 HWDIV_DVSR 除数寄存器 54
6.4.4 HWDIV_QUOTR 商寄存器 55
6.4.5 HWDIV_RMDR 余数寄存器 55
6.4.6 HWDIV_SR 状态寄存器 55
6.4.7 HWDIV_CR 控制寄存器 55
7 EXTI 中断和事件 57
7.1 简介 57
7.2 主要特征 57
7.3 功能描述 57
7.3.1 功能框图 57
7.3.2 中断和异常向量 57
7.3.3 唤醒事件管理 58
7.3.4 中断功能描述 58
7.3.5 硬件中断输出 58
7.3.6 硬件事件输出 59
7.3.7 软件中断和事件输出 59
7.3.8 外部中断映射 59
7.4 寄存器 59
7.4.1 寄存器概览 59
7.4.2 EXTI_IMR 中断屏蔽寄存器 60
7.4.3 EXTI_EMR 事件屏蔽寄存器 60
7.4.4 EXTI_RTSR 上升沿触发选择寄存器 60
7.4.5 EXTI_FTSR 下降沿触发选择寄存器 61
7.4.6 EXTI_SWIER 软件中断事件寄存器 61
7.4.7 EXTI_PR 软件中断事件挂起寄存器 61
8 DMA 直接存储器访问控制器 62
8.1 简介 62
8.2 DMA 功能框图 62
8.3 主要特性 62

8.4 中断 62
8.5 DMA 62
8.5.1 DMA 请求映射 62
8.6 功能描述 63
8.6.1 DMA 处理 63
8.6.2 仲裁器 63
8.6.3 DMA 通道 63
8.6.4 可编程的数据传输宽度，对齐方式和数据大小端 64
8.6.5 错误管理 65
8.7 DMA 寄存器描述 65
8.7.1 DMA_ISR DMA 中断状态寄存器 65
8.7.2 DMA_IFCR DMA 中断标志清除寄存器 66
8.7.3 DMA_CCRx DMA 通道 x 配置寄存器(x=1~2) 67
8.7.4 DMA_CNDTRx DMA 通道 x 传输数量寄存器(x=1~2) 68
8.7.5 DMA_CPARx DMA 通道 x 外设地址寄存器 (x=1~2) 68
8.7.6 DMA_CMARx DMA 通道 x 存储器地址寄存器(x=1~2) 68
9 GPIO 通用 I/O 70
9.1 简介 70
9.2 主要特性 70
9.3 功能描述 70
9.3.1 功能框图 70
9.3.2 GPIO 端口配置 70
9.3.3 复用功能 71
9.3.4 GPIO 锁定机制 71
9.3.5 输入配置 71
9.3.6 输出配置 72
9.3.7 复用功能配置 72
9.3.8 模拟输入配置 73
9.3.9 外部时钟复用 GPIO 端口 73
9.3.10 SWD 复用功能映射 73
9.4 寄存器 74
9.4.1 寄存器概览 74
9.4.2 GPIOx_CRL 端口配置寄存器低 74
9.4.3 GPIOx_CRH 端口配置寄存器高 74
9.4.4 GPIOx_IDR 端口输入数据寄存器 75
9.4.5 GPIOx_ODR 端口输出数据寄存器 75
9.4.6 GPIOx_BSRR 端口位设置/清除寄存器 76
9.4.7 GPIOx_BRR 端口位清除寄存器 76
9.4.8 GPIOx_LCKR 端口配置锁定寄存器 76
9.4.9 GPIOx_DCR 端口输出开漏控制寄存器 77
9.4.10 GPIOx_AFRL 端口复用功能寄存器低 77
9.4.11 GPIOx_AFRH 端口复用功能寄存器高 77
10 TIM1 高级定时器 79
10.1 简介 79
10.2 功能框图 79
10.3 主要特性 79
10.4 功能描述 80
10.4.1 时钟 80
10.4.2 重复计数器 84
10.4.3 比较输出 86
10.4.4 从模式 94
10.4.5 定时器同步 96
10.4.6 调试模式 98
10.4.7 中断 98
10.4.8 DMA 98
10.5 寄存器 99
10.5.1 TIM1_CR1 控制寄存器 1 99
10.5.2 TIM1_CR2 控制寄存器 2 100
10.5.3 TIM1_SMCR 从模式控制寄存器 101
10.5.4 TIM1_DIER DMA/中断使能寄存器 103
10.5.5 TIM1_SR 状态寄存器 104
10.5.6 TIM1_EGR 事件产生寄存器 105
10.5.7 TIM1_CCMR1 比较模式寄存器 1 106
10.5.8 TIM1_CCMR2 比较模式寄存器 2 107

10.5.9 TIM1_CCER 比较使能寄存器 108
10.5.10 TIM1_CNT 计数器 109
10.5.11 TIM1_PSC Prescaler 109
10.5.12 TIM1_ARR Auto Reload Register 109
10.5.13 TIM1_RCR Repeat Count Register 109
10.5.14 TIM1_CCR1 比较寄存器 1 110
10.5.15 TIM1_CCR2 比较寄存器 2 110
10.5.16 TIM1_CCR3 比较寄存器 3 110
10.5.17 TIM1_CCR4 比较寄存器 4 110
10.5.18 TIM1_BDTR 刹车和死区寄存器 111
10.5.19 TIM1_DCR DMA 控制寄存器 112
10.5.20 TIM1_DMAR 连续模式 DMA 地址寄存器 112
10.5.21 TIM1_CCMR3 比较模式寄存器 3 113
10.5.22 TIM1_CCR5 比较寄存器 5 113
10.5.23 TIM1_PDER PWM 移相/DMA 重复更新请求使能寄存器 113
10.5.24 TIM1_CCRxFALL PWM 移相递减计数比较寄存器 114
10.5.25 TIM1_BKINF 刹车输入滤波寄存器 114
11 TIM2 通用定时器 116
11.1 简介 116
11.2 功能框图 116
11.3 主要特性 116
11.4 功能描述 117
11.4.1 时钟 117
11.4.2 输入捕获 122
11.4.3 比较输出 124
11.4.4 从模式 129
11.4.5 定时器同步 131
11.4.6 定时器异或功能 131
11.4.7 调试模式 132
11.4.8 中断 132
11.4.9 DMA 132
11.5 寄存器 132
11.5.1 TIMx_CR1 控制寄存器 1 133
11.5.2 TIMx_CR2 控制寄存器 2 134
11.5.3 TIMx_SMCR 从模式控制寄存器 134
11.5.4 TIMx_DIER DMA/中断使能寄存器 136
11.5.5 TIMx_SR 状态寄存器 137
11.5.6 TIMx_EGR 事件产生寄存器 138
11.5.7 TIMx_CCMR1 捕获/比较模式寄存器 1 139
11.5.8 TIMx_CCMR2 捕获/比较模式寄存器 2 141
11.5.9 TIMx_CCER 捕获/比较使能寄存器 143
11.5.10 TIMx_CNT 计数器 144
11.5.11 TIMx_PSC 预分频器 144
11.5.12 TIMx_ARR 自动预装载值 145
11.5.13 TIMx_CCR1 捕获/比较寄存器 1 145
11.5.14 TIMx_CCR2 捕获/比较寄存器 2 145
11.5.15 TIMx_CCR3 捕获/比较寄存器 3 146
11.5.16 TIMx_CCR4 捕获/比较寄存器 4 146
11.5.17 TIMx_DCR DMA 控制寄存器 146
11.5.18 TIMx_DMAR 连续模式 DMA 地址寄存器 147
11.5.19 TIMx_OR 输入选项寄存器 147
12 TIM6 基本定时器 148
12.1 简介 148
12.2 功能框图 148
12.3 主要特性 148
12.4 功能描述 148
12.4.1 时钟 148
12.4.2 调试模式 149
12.4.3 中断 149
12.4.4 DMA 149
12.5 寄存器 150
12.5.1 TIMx_CR1 控制寄存器 1 150
12.5.2 TIMx_DIER DMA/中断使能寄存器 150
12.5.3 TIMx_SR 状态寄存器 151

12.5.4 TIMx_EGR 事件产生寄存器 151
12.5.5 TIMx_CNT 计数器 151
12.5.6 TIMx_PSC 预分频器 151
12.5.7 TIMx_ARR 自动重载寄存器 152
13 TIM13/14 基本定时器 153
13.1 简介 153
13.2 功能框图 153
13.3 主要特性 153
13.4 功能描述 153
13.4.1 时钟 153
13.4.2 输入捕获 155
13.4.3 比较输出 155
13.4.4 调试模式 158
13.4.5 中断 158
13.4.6 DMA 158
13.5 寄存器 158
13.5.1 TIMx_CR1 控制寄存器 1 158
13.5.2 TIMx_DIER DMA/中断使能寄存器 159
13.5.3 TIMx_SR 状态寄存器 159
13.5.4 TIMx_EGR 事件产生寄存器 160
13.5.5 TIMx_CCMR1 捕获/比较模式寄存器 1 160
13.5.6 TIMx_CCER 捕获/比较使能寄存器 162
13.5.7 TIMx_CNT 计数器 163
13.5.8 TIMx_PSC 预分频器 163
13.5.9 TIMx_ARR 自动预装载寄存器 163
13.5.10 TIMx_CCR1 捕获/比较寄存器 1 163
13.5.11 TIMx_BDTR 刹车和死区寄存器 164
14 IWDG 独立看门狗 165
14.1 简介 165
14.2 功能框图 165
14.3 主要特性 165
14.4 功能描述 165
14.4.1 流程框图 166
14.4.2 独立看门狗超时时间 166
14.4.3 中断 166
14.5 寄存器 167
14.5.1 寄存器概览 167
14.5.2 IWDG_KR 密钥寄存器 167
14.5.3 IWDG_PR 预分频寄存器 167
14.5.4 IWDG_RLR 重载寄存器 168
14.5.5 IWDG_SR 状态寄存器 168
14.5.6 IWDG_CR 控制寄存器 168
14.5.7 IWDG_IGEN 中断生成寄存器 169
14.5.8 IWDG_CNT 计数器寄存器 169
15 USART 通用同步异步收发器 170
15.1 简介 170
15.2 USART 特性 170
15.3 USART 功能描述 170
15.3.1 功能框图 170
15.3.2 信号描述 171
15.3.3 功能描述 171
15.3.4 特性描述 172
15.3.5 波特率发生器 172
15.3.6 采样 172
15.3.7 奇偶校验控制 173
15.3.8 发送器 173
15.3.9 接收器 173
15.3.10 同步模式 174
15.3.11 单线半双工通信 175
15.3.12 硬件流控 175
15.3.13 中断 175
15.3.14 DMA 175
15.4 寄存器 175
15.4.1 寄存器概览 175

15.4.2 USART_SR 状态寄存器 176
15.4.3 USART_DR 数据寄存器 177
15.4.4 USART_BRR 波特率寄存器 177
15.4.5 USART_CR1 控制寄存器 1 177
15.4.6 USART_CR2 控制寄存器 2 179
15.4.7 USART_CR3 控制寄存器 3 179
16 ADC 模数转换 181
16.1 简介 181
16.2 功能框图 181
16.3 主要特性 181
16.4 中断 182
16.5 DMA 182
16.6 功能描述 182
16.6.1 时钟 182
16.6.2 数据补偿 182
16.6.3 数据对齐 183
16.6.4 可编程分辨率 183
16.6.5 可编程采样时间 183
16.6.6 数据通道寄存器 183
16.6.7 通道选择 183
16.7 ADC 开关 183
16.7.1 普通通道转换 184
16.7.2 任意通道转换 187
16.7.3 注入通道转换 190
16.7.4 ADC 触发信号 192
16.7.5 模拟看门狗 192
16.7.6 内部温度传感器 193
16.7.7 内部电压传感器 193
16.8 寄存器 193
16.8.1 寄存器概览 193
16.8.2 ADC_ADDATA 数据寄存器 194
16.8.3 ADC_ADCFG 配置寄存器 194
16.8.4 ADC_ADCR 控制寄存器 195
16.8.5 ADC_ADCHS 通道选择寄存器 197
16.8.6 ADC_ADCMPR 模拟看门狗比较寄存器 198
16.8.7 ADC_ADSTA 状态寄存器 198
16.8.8 ADC_ADDRn 通道数据寄存器(n=0~10) 199
16.8.9 ADC_ADSTA_EXT 扩展状态寄存器 199
16.8.10 ADC_CHANY0 任意通道的通道选择寄存器 0 200
16.8.11 ADC_CHANY1 任意通道的通道选择寄存器 1 201
16.8.12 ADC_ANY_CFG 任意通道配置寄存器 201
16.8.13 ADC_ANY_CR 任意通道控制寄存器 202
16.8.14 ADC_SMPR1 采样配置寄存器 1 203
16.8.15 ADC_SMPR2 采样配置寄存器 2 204
16.8.16 ADC_JOFRn 注入通道数据补偿寄存器(n=0~3) 204
16.8.17 ADC_JSQR 注入通道序列寄存器 205
16.8.18 ADC_JADDATA 注入数据寄存器 205
16.8.19 ADC_JDRn 注入通道数据寄存器(n=0~3) 206
16.8.20 ADC_LDATA 上一次转换数据寄存器 206
16.8.21 ADC_TRGSUPR 外部规则触发事件抑制寄存器 207
17 COMP 比较器 208
17.1 简介 208
17.2 功能框图 208
17.3 主要特性 208
17.4 功能描述 208
17.4.1 COMP 时钟和复位 208
17.4.2 COMP 开关 208
17.4.3 COMP 输入和输出 208
17.4.4 COMP 通道选择 209
17.4.5 中断和唤醒 209
17.4.6 功耗模式 209
17.4.7 比较器锁定机制 209
17.4.8 迟滞电压 209
17.5 寄存器 210

17.5.1 COMPx_CSR (COMP 控制和状态寄存器) (x=1, 2) 210
17.5.2 COMP_CRV (COMP 外部参考电压寄存器) 212
17.5.3 COMPx_POLL (COMP 轮询寄存器) (x=1, 2) 212
18 OPAMP 运算放大器 1/2 214
18.1 简介 214
18.2 主要特性 214
18.3 功能描述 214
18.3.1 时钟 214
18.4 寄存器 214
18.4.1 寄存器概览 214
18.4.2 OPAMP_CR 配置寄存器 214
19 DBG 调试支持 215
19.1 简介 215
19.2 功能描述 215
19.2.1 功能框图 215
19.2.2 SWD 内部上拉与下拉 215
19.2.3 SWJ 调试端口 215
19.3 ID 代码和锁定机制 216
19.3.1 微控制器设备 ID 编码 216
19.3.2 Cortex JEDEC-106 ID 编码 216
19.4 SW 调试端口 216
19.4.1 SW 协议介绍 216
19.4.2 SW 协议序列 216
19.4.3 SW-DP 状态机 (Reset, Idle states, ID code) 217
19.4.4 DP 和 AP 读 / 写访问 217
19.4.5 SW-DP 寄存器 217
19.4.6 SW-AP 寄存器 217
19.5 MCU 调试模块 (DBGMCU) 218
19.5.1 低功耗模式的调试支持 218
19.5.2 支持定时器、看门狗 218
19.6 寄存器 218
19.6.1 寄存器概览 218
19.6.2 DBG_IDCODE ID 编码寄存器 218
19.6.3 DBG_CR 控制寄存器 218
20 器件电子签名 220
20.1 简介 220
20.2 寄存器描述 220
20.2.1 UID1 唯一标识码 220
20.2.2 UID2 唯一标识码 220
20.2.3 UID3 唯一标识码 220
21 版本历史 222

● 图目录

图 1-1 系统架构框图 14
图 2-1 ISP 编程流程 20
图 2-2 IAP 编程流程 21
图 3-1 电源控制框图 34
图 3-2 上电复位和掉电复位波形图 35
图 3-3 PVD 阀值波形图 36
图 4-1 复位功能框图 40
图 4-2 时钟树 41
图 7-1 EXTI 结构框图 57
图 8-1 DMA 功能框图 62
图 9-1 标准 I/O 端口 70
图 9-2 输入浮空/上拉/下拉配置 72
图 9-3 输出配置 72
图 9-4 复用功能配置 73
图 9-5 模拟输入 73
图 10-1 TIM1 框图 79
图 10-2 时钟选择 80
图 10-3 外部时钟模式 1 控制电路 81
图 10-4 外部时钟模式 2 控制电路 81
图 10-5 自动预转载 81
图 10-6 递增计数模式（UDIS=0） 82
图 10-7 递增计数模式 (UDIS =1,禁止更新事件) 82
图 10-8 递减计数模式（UDIS＝0） 83
图 10-9 递减计数模式 (UDIS=1 禁止更新事件) 83
图 10-10 中央计数模式（UDIS=0） 84
图 10-11 中央计数模式 (UDIS=1 禁止更新事件) 84
图 10-12 中心对齐模式重复计数时序图 85
图 10-13 边沿对齐模式递增计数时序图 85
图 10-14 边沿对齐模式递减计数时序图 85
图 10-15 比较输出框图 86
图 10-16 比较输出模式, OC1 信号在匹配时翻转 87
图 10-17 边沿对齐递增计数时 PWM 模式 1 的波形 87
图 10-18 边沿对齐递减计数时 PWM 模式 1 的波形 88
图 10-19 中心对齐 PWM 模式 1 的波形 88
图 10-20 移相功能 89
图 10-21 带 COM(OSSR = 1)的六步 PWM 示例 89
图 10-22 边沿对齐递增计数模式下 CCx_SETTRGO 输出示例 90
图 10-23 中心对齐模式下 CCx_SETTRGO 输出示例 90
图 10-24 死区插入 91
图 10-25 响应刹车输出（OISx=0 , OISxN=0） 93
图 10-26 响应刹车输出 (OISx=0, OISxN=1) 93
图 10-27 响应刹车输出 (OISx=1,OISxN=0） 93
图 10-28 响应刹车输出 (OISx=1, OISxN=1) 93
图 10-29 外部事件清除 OCxREF 94
图 10-30 单脉冲模式 94
图 10-31 复位模式的控制时序图 95
图 10-32 门控模式下的控制时序图 95
图 10-33 触发模式下的控制时序图 95
图 10-34 外部时钟模式 2+从模式(触发模式)控制时序图 96
图 10-35 定时器连接 96
图 10-36 使用主定时器作为从定时器的预分频器 96
图 10-37 使用主定时器使能从定时器 97
图 10-38 使用主定时器的更新事件启动从定时器 97
图 10-39 主定时器 TI1 同步启动主定时器和从定时器 98
图 11-1 TIMx 框图 116
图 11-2 时钟选择 117
图 11-3 外部时钟模式 1 下的控制电路 118
图 11-4 外部时钟模式 2 下的控制电路 118
图 11-5 自动预转载 119
图 11-6 递增计数模式（UDIS=0） 119
图 11-7 递增计数模式 (UDIS =1, 禁止更新事件) 120
图 11-8 递减计数模式（UDIS＝0） 120
图 11-9 递减计数模式 (UDIS=1 禁止更新事件) 121
图 11-10 中心计数模式（UDIS=0） 121
图 11-11 中心计数模式(UDIS=1 禁止更新事件) 122
图 11-12 TIMx 输入捕获框图 122
图 11-13 PWM 输入模式时序 123
图 11-14 比较输出框图 124

图 11-15 比较输出模式，OC1 信号在匹配时翻转 125
图 11-16 边沿对齐递增计数时 PWM 模式 1 的波形 125
图 11-17 边沿对齐递减计数时 PWM 模式 1 的波形 126
图 11-18 中心对齐 PWM 模式 1 的波形 126
图 11-19 边沿对齐递增计数模式下 CCx_SETTRGO 输出示例 127
图 11-20 中央对齐模式下 CCx_SETTRGO 输出示例 127
图 11-21 外部事件清除 OCxREF 128
图 11-22 单脉冲模式 128
图 11-23 编码器模式下的计数器时序图 129
图 11-24 IC1FP1 反相编码器接口模式时序图 129
图 11-25 复位模式的控制时序图 130
图 11-26 门控模式下的控制时序图 130
图 11-27 触发器模式下的控制时序图 131
图 11-28 外部时钟模式 2+从模式（触发模式）控制时序图 131
图 11-29（TI1 异或输入）输入捕获波形图 132
图 12-1 TIMx 结构 148
图 12-2 自动预转载 148
图 12-3 递增计数模式(UDIS=0) 149
图 12-4 递增计数模式(UDIS=1 禁止产生更新事件) 149
图 13-1 TIMx 框图 153
图 13-2 自动预加载 154
图 13-3 递增计数模式（UDIS=0） 154
图 13-4 递增模式(UDIS =1,禁止更新事件) 154
图 13-5 TIMx 输入捕获框图 155
图 Figure 13-6 比较输出框图 156
图 13-7 比较输出模式，OC1 信号在匹配时翻转 157
图 13-8 边沿对齐递增计数时 PWM 模式 1 的波形 157
图 13-9 单脉冲模式 158
图 14-1 独立看门狗功能框图 165
图 14-2 流程框图 166
图 15-1 USART 功能框图 171
图 15-2 UART 数据帧类型示意图 172
图 16-1 ADC 系统框图 181
图 16-2 数据对齐方式 183
图 16-3 单次转换模式时序图 184
图 16-4 单周期扫描下使能通道转换时序图 （通道方向从高到低） 185
图 16-5 单周期扫描下使能通道转换时序图 （通道方向从低到高） 185
图 16-6 连续扫描模式使能通道转换时序图 （通道方向由低到高） 186
图 16-7 连续扫描模式使能通道转换时序图 （通道方向由高到低） 186
图 16-8 单次转换模式下通道转换时序图 187
图 16-9 单周期扫描下通道转换时序图 188
图 16-10 连续扫描模式下通道转换时序图 189
图 16-11 连续扫描模式下动态更新配置时序图 189
图 16-12 单周期扫描通道模式下自动注入通道转换时序图 190
图 16-13 连续扫描模式下自动注入转换时序图 191
图 16-14 任意通道转换时事件注入通道转换时序图 1 192
图 16-15 任意通道转换时事件注入通道转换时序图 2 192
图 17-1 比较器框图 208
图 17-2 比较器迟滞 210
图 19-1 调试功能框图 215

表目录

表 1.1 存储器映射 15
表 1.2 启动模式 16
表 2.1 Flash 存储空间 17
表 2.2 信息块 17
表 2.3 选项字节组织结构 18
表 2.4 USER 位含义 18
表 2.5 时延设置关联 19
表 2.6 编程模式 19
表 2.7 保护设置的状态变化 22
表 2.8 Flash 读保护状态 28
表 2.9 Flash 解除读保护状态 29
表 2.10 写保护区域 29
表 2.11 FLASH 寄存器概览 29
表 3.1 低功耗模式 36
表 3.2 SLEEPNOW 模式 37
表 3.3 SLEEPONEXIT 模式 37
表 3.4 停机模式 37
表 3.5 寄存器概览 38
表 4.1 RCC 全局中断 42
表 4.2 MCO 与时钟源对应关系 42
表 4.3 RCC 寄存器概览 42
表 5.1 SYSCFG 寄存器概览 51
表 6.1 HWDIV 寄存器概览 54
表 7.1 异常向量 57
表 7.2 中断向量 57
表 7.3 EXTI 触发源 59
表 7.4 EXTI 寄存器概览 59
表 8.1 DMA 中断请求 62
表 8.2 DMA 通道的 DMA 请求列表 63
表 8.3 可配置的数据传输宽度和大小端操作（当 PINC = MINC = 1），传输数目为 4 64
表 8.4 DMA 寄存器概览 65
表 9.1 端口位配置表（以端口 0 为例） 70
表 9.2 SWD 复用功能重映射 73
表 9.3 GPIO 寄存器概览 74
表 10.1 死区时间计算 90
表 10.2 当 MOE=1, OSSI=0/1, OSSR=0 时: 91
表 10.3 当 MOE=1, OSSI=0/1, OSSR=1 时 91
表 10.4 当 MOE=0, OSSI=0, OSSR=0/1 时 91
表 10.5 当 MOE=0, OSSI=1, OSSR=0/1 时 92
表 10.6 中断事件列表 98
表 10.7 TIM1 寄存器概览 99
表 10.8 TIMx 内部触发连接 103
表 11.1 数字滤波器宽度与 ICxF 的对应关系 122
表 11.2 计数方向与编码器信号的关系 129
表 11.3 中断事件列表 132
表 11.4 TIMx 寄存器概览 132
表 11.5 TIMx 内部触发连接 136
表 11.6 ICx 极性/电平选择表 144
表 12.1 中断事件一览表 149
表 12.2 TIMx 寄存器概览 150
表 13.1 数字滤波器宽度与 IC1F 的对应关系表 155
表 13.2 中断事件列表 158
表 13.3 TIMx 寄存器概览 158
表 13.4 IC1 极性/电平选择表 163
表 14.1 IWDG 超时时间(以 LSI 时钟频率 40kHz 为例) 166
表 14.2 IWDG 寄存器概览 167
表 15.1 UART 中断请求 175
表 15.2 USART 寄存器概览 175
表 16.1 中断 182
表 16.2 数据分辨率与数据补偿左对齐关系 182
表 16.3 Overview of ADC 寄存器 register 193
表 17.1 COMP 寄存器概览 210
表 18.1 OPAMP 寄存器概览 214
表 19.1 SWD 调试端口引脚 215
表 19.2 ID 代码 216
表 19.3 8 位应答包 216
表 19.4 3 位应答包 216
表 19.5 33 位数据包 217

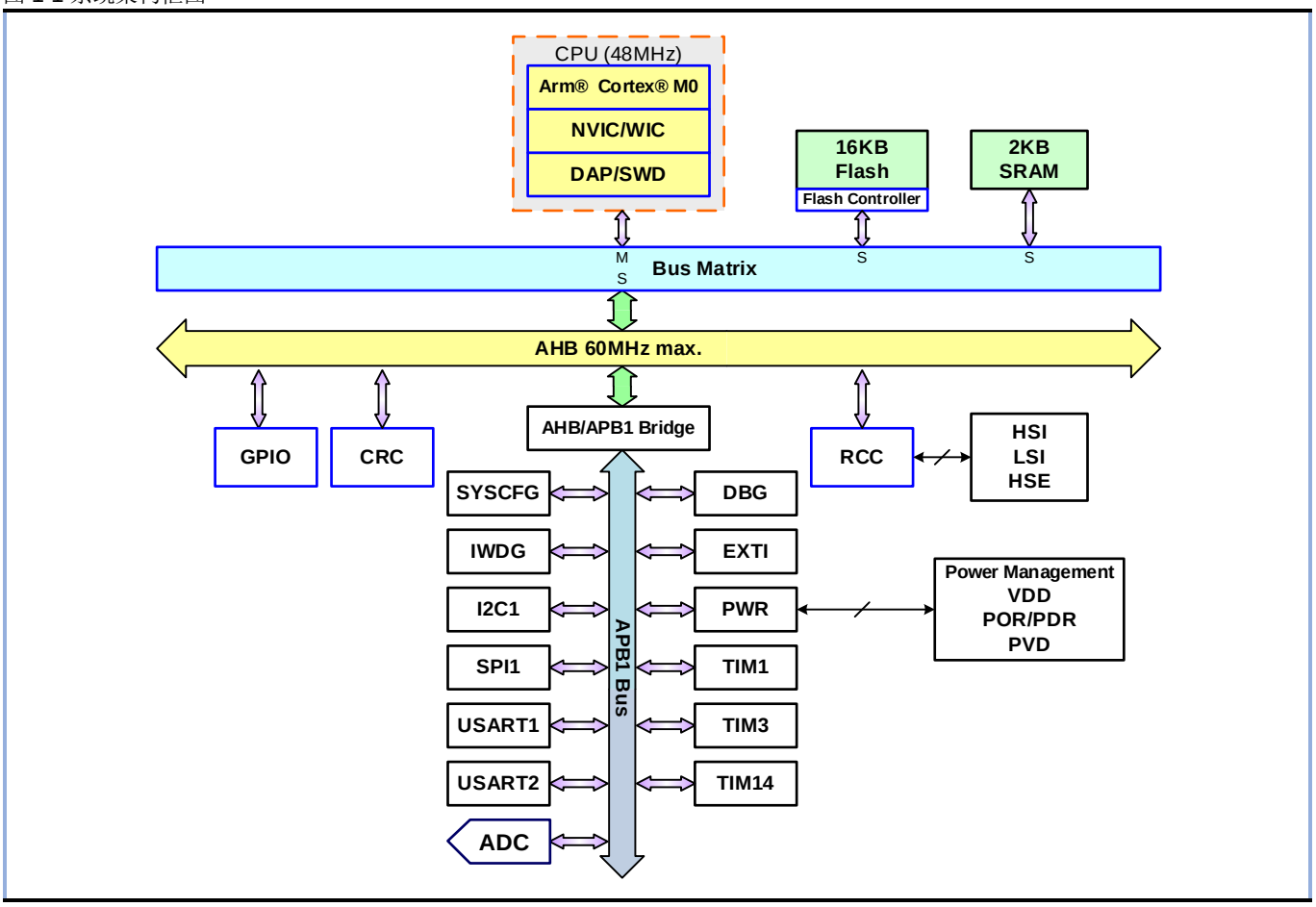
表 19.6 SW-DP 寄存器 217
表 19.7 DBG 寄存器概览 218
表 20.1 器件电子签名寄存器概览 220
表 21.1 版本历史 222

1 系统和存储器架构

1.1 系统架构简介

MG32F005 是基于 ARM Cortex-M0 处理器开发的 32 位微控制器产品，它同时具备了高性能和低功耗的特点。MG32F005 采用矩阵总线结构，该矩阵包括两个 AHB 主机：CPU 和 DMA，三个从机分别是 SRAM、Flash 存储、AHB 总线（含 AHB 到 APB 的总线桥）以及连接在 APB 总线的各种设备。

图 1-1 系统架构框图



1.1.1 系统总线

系统总线连接 CPU 内核和总线矩阵，从而达到数据传输的作用。CPU 和 DMA 作为主机驱动总线，总线矩阵会协调 CPU 内核和 DMA 之间的访问

1.1.2 DMA 总线

DMA 总线作用是连接 DMA 和总线矩阵，从而达到数据传输的作用，总线矩阵协调着主机 DMA 到从机 SRAM，闪存和连接在 APB 线上的各种外设的访问控制。

1.1.3 BUS 矩阵

总线矩阵包括一个 AHB 互联矩阵，一个 AHB 总线和俩个桥接的 APB 总线。当 CPU 总线和 DMA 总线同时请求时，具备仲裁的功能。AHB 总线的外设（RCC，GPIO 和 DIV）通过 AHB 互联矩阵与系统总线连接。在 APB 和 AHB 总线之间连接通过 AHB2APB 桥进行数据交换。当 APB 寄存器进行 8 位 16 位访问，APB 会自动拓宽成 32 位，同样的，AHB2APB 桥也具备自动拓宽功能。

1.2 存储器简介

程序存储器，数据存储器，寄存器和 I/O 接口都位于不同地址范围的存储器地址空间（线性 4GB 的地址空间）。4GB 的地址空间被分为 8 块，每块为 512MB

1.2.1 存储器映射和寄存器编址

存储器映射请参考各外设对应章节的存储器映射表格.

表 1.1 存储器映射

总线	地址范围	大小	外设
Flash	0x0000 0000 - 0x0000 7FFF	32 KB	主 Flash 存储器、数据存储器、系统存储器或 SRAM，有赖于 BOOT 的配置
	0x0000 8000 - 0x07FF FFFF	~127 MB	保留
	0x0800 0000 - 0x0800 7FFF	32 KB	主 Flash 存储器
	0x0800 8000 - 0x1FFD FFFF	~383 MB	保留
	0x1FE0 0000 - 0x1FE0 0BFF	3KB	数据存储器
	0x1FE0 0C00 - 0x1FFF F3FF	~2MB	保留
	0x1FFF F400 - 0x1FFF F7FF	1 KB	系统存储器
	0x1FFF F800 - 0x1FFF F9FF	0.5KB	选项字节
	0x1FFF FA00 - 0x1FFF FFFF	1.5KB	保留
SRAM	0x2000 0000 - 0x2000 0FFF	4 KB	SRAM
	0x2000 1000 - 0x2FFF FFFF	~255 MB	保留
APB1	0x4000 0000 – 0x4000 03FF	1KB	TIM2
	0x4000 0400 – 0x4000 0FFF	3KB	保留
	0x4000 1000 – 0x4000 13FF	1KB	TIM6
	0x4000 1400 – 0x4000 17FF	1KB	保留
	0x4000 1800 – 0x4000 1BFF	1KB	TIM13
	0x4000 1C00 – 0x4000 2FFF	5KB	保留
	0x4000 3000 – 0x4000 33FF	1KB	IWDG
	0x4000 3400 – 0x4000 6FFF	15KB	保留
	0x4000 7000 – 0x4000 73FF	1KB	PWR
	0x4000 7400 – 0x4000 8FFF	7KB	保留
	0x4000 9000 – 0x4000 93FF	1KB	OPA1
	0x4000 9400 – 0x4000 97FF	1KB	OPA2
	0x4000 9800 – 0x4000 FFFF	26KB	保留
	0x4001 0000 – 0x4001 03FF	1KB	SYSCFG
	0x4001 0400 – 0x4001 07FF	1KB	EXTI
	0x4001 0800 – 0x4001 0BFF	1KB	保留
	0x4001 0C00 – 0x4001 0FFF	1KB	USART1
	0x4001 1000 – 0x4001 23FF	5KB	保留
	0x4001 2400 – 0x4001 27FF	1KB	ADC1
	0x4001 2800 – 0x4001 2BFF	1KB	保留
	0x4001 2C00 – 0x4001 2FFF	1KB	TIM1
	0x4001 3000 – 0x4001 33FF	1KB	保留
	0x4001 3400 – 0x4001 37FF	1KB	DBG
	0x4001 3800 – 0x4001 3BFF	1KB	保留
	0x4001 3C00 – 0x4001 3FFF	1KB	COMP
	0x4001 4000 – 0x4001 43FF	1KB	TIM14
	0x4001 4400 – 0x4001 FFFF	47KB	保留
AHB	0x4002 0000 – 0x4002 03FF	1KB	DMA
	0x4002 0400 – 0x4002 0FFF	3KB	保留
	0x4002 1000 – 0x4002 13FF	1KB	RCC
	0x4002 1400 – 0x4002 1FFF	3KB	保留
	0x4002 2000 – 0x4002 23FF	1KB	Flash 接口
	0x4002 2400 – 0x4002 FFFF	55KB	保留
	0x4003 0000 – 0x4003 03FF	1KB	DIV
	0x4003 0400 – 0x47FF FFFF	~128MB	保留
	0x4800 0000 – 0x4800 03FF	1KB	PORT A
	0x4800 0400 – 0x4800 07FF	1KB	PORT B

1.2.2 内置 SRAM

内置最大可到 4K 字节的静态 SRAM。它可以以字节（8 位）、半字（16 位）或字（32 位）进行访问。SRAM 起始地址为 0x2000 0000。

SRAM 可以被 CPU 用最快的系统时钟且不插入任何等待进行访问。

1.2.3 FLASH 存储器概述

Flash 存储器分为两个存储区域：

- **主 FLASH 存储器块包括应用数据和用户数据区**
- **信息块包括数据存储器,选项字节和系统存储器:**
  - 数据存储区：可用来存储非易失数据，或放置额外的用户程序
  - 选项字节：包括硬件和存储保护用户配置选项
  - 系统存储器：Bootloader 代码.

Flash 接口基于 AHB 协议执行指令和数据存取。Flash 接口的预取缓冲功能可加速 CPU 执行代码的速度。

1.2.4 启动配置

在芯片中，可通过 BOOT0 引脚电平状态及选项字节中的 BOOT0SEL、nBOOT0 和 nBOOT1 位的配置选择四种不同的启动模式，如下表所示

表 1.2 启动模式

启动模式	BOOT 模式选择			
	nBOOT1	BOOT0 pin	nBOOT0	BOOT0SEL
主 Flash 存储器	x	0	x	1
系统存储器	1	1	x	1
内置 SRAM	0	1	x	1
主 Flash 存储器	x	x	1	0
数据存储器	x	x	0	0

用户通过设置 BOOT0 引脚值和 BOOT0SEL、nBOOT0 和 nBOOT1 位来选则启动模式，在器件复位后，芯片根据不同的启动模式配置，从而确定启动模式。

器件复位后，CPU 先从 0x0000 0000 地址开始获取栈顶值，再从 0x0000 0004 地址获取引导代码 的基地址，并且从基地址开始执行程序。

启动模式主要分为四种： 主 Flash 存储器，系统存储器、数据存储器和内置 SRAM。

主 Flash 存储器启动：主 Flash 存储器的起始地址是 0x0800 0000，当其被选为启动模式时，被映射到启动存储空间（0x0000 0000），但是 Flash 存储器的内容依旧可以从起始地址（0x0800 0000）访问，即当主 Flash 存储器被选为启动模式，启动地址和起始地址都可以访问 Flash 存储器。

系统存储器启动：系统存储器的起始地址是 0x1FFF F400，当其被选为启动模式时，被映射到启动存储空间（0x0000 0000），但是系统存储器的内容依旧可以从起始地址（0x1FFF F400)访问，即当系统存储器被选为启动模式，启动地址和起始地址都可以访问系统存储器。

数据存储器启动：数据存储器的起始地址是 0x1FE0 0000，当其被选为启动模式时，被映射到启动存储空间（0x0000 0000），但是系统存储器的内容依旧可以从起始地址（0x1FE0 0000)访问，即当系统存储器被选为启动模式，启动地址和起始地址都可以访问系统存储器。

内置 SRAM 启动：内置 SRAM 的起始地址是 0x2000 0000，当其被选为启动模式时，被映射到启动存储空间（0x0000 0000），但是内置 SRAM 的内容依旧可以从起始地址（0x2000 0000）访问，即当内置 SRAM 被选为启动模式，启动地址和起始地址都可以访问内置 SRAM.

1.2.5 引导程序

出厂后引导程序存放在系统存储器中，可以通过串口（如 USART1）进行 ISP 编程。

2 内嵌 FLASH

2.1 简介

嵌入式 Flash 支持高达 32K Bytes 的片内主 Flash，还提供了选项字节块与系统启动块（支持芯片 Boot 引导），还有保留的 IAP/Data 空间。闪存的控制器支持读操作、页擦除、整片擦除，可通过 16 位（半字）/32 位（字）方式编程写入 Flash。Flash 控制器在读取数据时，支持带预取缓冲器的数据接口，以支持 MCU 运行在更高的主频。

2.2 Flash 构成和说明

2.2.1 Flash 构成

- **Flash 空间由 32 位宽的存储单元组成，既可以存代码又可以存数据。**
- **主 Flash 块按 32 页（每页 1K 字节）或 8 个写保护块（每块 4K 字节）划分。**
- **主 Flash 块可按页（每 1K 字节）擦除（Page Erase）。**
- **以 4 页（4K 字节）为单位作为 1 个写保护块来设置写保护。**
- **整个片内 Flash 由两部分组成：一部分是主存储块，另一部分是信息存储块。**
- **主存储块用于存储用户代码和数据，用户代码可以对主存储器进行擦除、编程和读取操作。每个 1K 字节在主存储块中称为一页，可以执行最小单位的擦除；另外以 1 个写保护区为单位（4K 字节，4 页 =1 个写保护块）进行写保护分配，如表 2.1 所示。**

表 2.1 Flash 存储空间

模块	区块名称	页名称	地址	大小 (字节)
主存储块	写保护区 0	页 0	0x0800 0000 - 0x0800 03FF	1K
		页 1	0x0800 0400 - 0x0800 07FF	1K
		页 2	0x0800 0800 - 0x0800 0BFF	1K
		页 3	0x0800 0C00 - 0x0800 0FFF	1K
	…	…	…	…
	写保护区 3	页 12	0x0800 3000 - 0x0800 33FF	1K
		页 13	0x0800 3400 - 0x0800 37FF	1K
		页 14	0x0800 3800 - 0x0800 3BFF	1K
		页 15	0x0800 3C00 - 0x0800 3FFF	1K
	…	…	…	…
	写保护区 7	页 28	0x0800 7000 - 0x0800 73FF	1K
		页 29	0x0800 7400 - 0x0800 77FF	1K
		页 30	0x0800 7800 - 0x0800 7BFF	1K
		页 31	0x0800 7C00 - 0x0800 7FFF	1K

信息存储块中，除了“系统存储器 ISP”区域出厂锁定，用户不可写入外，其他区域在一定条件下用户可进行读写操作。信息存储器可分为 IAP/Data 空间、系统存储器 ISP 和选项字节三部分，IAP/Data 空间用于存储非易失数据（EEPROM），或用作 IAP Flash，系统存储 ISP 区用于存储出厂的 ISP Bootloader，选项字节（Option byte）部分中的前 12 个字节是主存储器的写和读保护信息，剩余字节可用于存放用户特殊的数据。对于选项字节部分，用户可以通过规定的流程对其擦除、编程和读取。仅 ISP 部分由于用于固化 ISP 升级的代码，不支持用户进行擦除和编程。

表 2.2 信息块

模块	名称	地址	大小 (字节)
信息块	IAP/Data 空间	0x1FE0 0000- 0x1FE0 0BFF	3K
	系统存储 ISP	0x1FFF F400 - 0x1FFF F7FF	1K
	选项字节	0x1FFF F800 - 0x1FFF F9FF	0.5K

2.2.2 选项字节描述

在选项字节页中，内容主要有写保护使能，硬件看门狗使能等。Flash 控制器可以通过选项字节中值的设置，达到使能主存储器禁止写入功能，以避免非法写入；还可以使能硬件看门狗。相关信息存储在选项字节中，修改选项字节中内容后，需要复位或重新上电后才生效，写入时需按半字高低字节反码方式写入，如 nUser，nData 等。每次系统复位后，选项字节会重新装载选项字节信息块的数据，并做相应的判断与状态改变，这些状态保存在选项字节寄存

器（FLASH_OBR 及 FLASH_WRPR）中。在信息块中每个选择位都有对应的反码位，在加载选择位时反码位用于验证选择位是否正确，如果在加载过程中发现有差别，将产生一个选项字节错误标志（OPTERR），如果开启了对应的中断，将触发中断。

选项字节块中选项字节的组织结构如下表所示（位 15 : 8 中的值为位 7 : 0 中选项字节的反码）：

表 2.3 选项字节组织结构

地址	[15：8]	[7：0]	默认值
0x1FFF F800	nRDP	RDP	0x5AA5
0x1FFF F802	nUSER	USER	0x00FF
0x1FFF F804	nData0	Data0	0x00FF
0x1FFF F806	nData1	Data1	0x00FF
0x1FFF F808	nWRP0	WRP0	0x00FF

表 2.4 USER 位含义

	Bit	Field	Type	Default	Description	FLASH_OBR
RDP	7：0	RDP	rw	0xA5	0xA5	FLASH_OBR. Bit1
nRDP	15：8	nRDP	rw	0x5A	0x5A	
User Byte	0	WDG_SW	rw	0x01	0: 硬件看门狗 1: 软件看门狗	FLASH_OBR. Bit2
	1	nRST_STOP	rw	0x01	0: I 停机模式下，产生复位 1: 停机模式下，不产生复位	FLASH_OBR. Bit3
	3	Reserved	rw	0x01	保留为 0x01	Reserved
	4	nBOOT1	rw	0x01	0: nBOOT1=0 1: nBOOT1=1	FLASH_OBR. Bit6
	5	OBR_nRST	rw	0x01	NRST 复用 PA10 1：NRST 功能 0：GPIO 功能	FLASH_OBR. Bit7
	6	nBOOT0	rw	0x01	BOOT 选项，见芯片配置章节	FLASH_OBR. Bit8
	7	BOOT0SEL	rw	0x01	BOOT 选项，见芯片配置章节	FLASH_OBR. Bit9
DATA0 Byte	0	DATA0.Bit0	rw	0x01	用户自定义	FLASH_OBR. Bit10
	1	DATA0.Bit1	rw	0x01	用户自定义	FLASH_OBR. Bit11
	2	DATA0.Bit2	rw	0x01	用户自定义	FLASH_OBR. Bit12
	3	DATA0.Bit3	rw	0x01	用户自定义	FLASH_OBR. Bit13
	4	DATA0.Bit4	rw	0x01	用户自定义	FLASH_OBR. Bit14
	5	DATA0.Bit5	rw	0x01	用户自定义	FLASH_OBR. Bit15
	6	DATA0.Bit6	rw	0x01	用户自定义	FLASH_OBR. Bit16
	7	DATA0.Bit7	rw	0x01	用户自定义	FLASH_OBR. Bit17
DATA1 Byte	0	DATA1.Bit0	rw	0x01	用户自定义	FLASH_OBR. Bit18
	1	DATA1.Bit1	rw	0x01	用户自定义	FLASH_OBR. Bit19
	2	DATA1.Bit2	rw	0x01	用户自定义	FLASH_OBR. Bit20
	3	DATA1.Bit3	rw	0x01	用户自定义	FLASH_OBR. Bit21
	4	DATA1.Bit4	rw	0x01	用户自定义	FLASH_OBR. Bit22
	5	DATA1.Bit5	rw	0x01	用户自定义	FLASH_OBR. Bit23
	6	DATA1.Bit6	rw	0x01	用户自定义	FLASH_OBR. Bit24

	7	DATA1.Bit7	rw	0x01	用户自定义	FLASH_OBR. Bit25

注意：在写保护值中，一个比特位对应四页，即 4096 Bytes

2.2.3 IAP/Data 空间说明

在 IAP/Data 空间中，可以用来存储非易失数据（EEPROM），或用作 IAP Flash，用户需自行开发、烧录 IAP 代码。IAP/Data 空间的擦除、编程操作流程与选项字节区完全一致。IAP/Data 空间除地址与主闪存块不连续外，读取/取指行为同主闪存块完全相同，可以通过配置 Boot 选项，选择从这一区域开始 Boot 启动。

2.3 Flash 操作与流程

2.3.1 Flash 读操作

用户代码和数据存储于主存储块中，Flash 控制器可以按照 8bit/16bit/32bit 位读取数据或指令。主 Flash 模块与普通外设一样统一寻址访问。基于读保护与写保护的要求，任何对主存储块的内容的读写操作都须经过特定的判断过程，以防止非法读取与写入。

Flash 按 Flash 访问控制寄存器（FLASH_ACR）中的设定的方式，通过 AHB 总线执行取指令和取数据。结合 AHB 时钟，设定相应的访问时延，使能预取值缓冲区后，可提高 CPU 的取指令速度，从而提高 CPU 的运行速度。访问时延在 SYSCLK 低于等于 30MHz，可以设定为 0，此后每增加 30MHz，需要增加一个时延。

上电复位后，闪存控制器默认设定预取指缓冲区是关闭的。如需要关闭或重新打开预取指缓冲功能， 必须设定 SYSCLK 低于 30MHz，并且 AHB 时钟没有经过任何分频的条件下（SYSCLK 必须等于 HCLK）才可以关闭或重新打开预取指缓冲功能。

为了保护对 Flash 的正确读取，必须在 Flash 访问控制寄存器中的 LATENCY[2：0] 中指定预取指控制器的速度比，这个数值等于每次访问 Flash 后到下次访问之间所需插入的等待周期的个数。复位后，这个值默认为零，也就是没有插入等待周期的状态，相应的系统时钟也复位为使用内置时钟 HSI=8MHz。复位后如果需要修改系统时钟，必须先配置好安全的 LATENCY[2：0] 值，而当 AHB 时钟的预分频器大于 1 时，预取指缓冲区也需设定相应的访问时延。

表 2.5 时延设置关联

SYSCLK	AHB DIV	Latency
0MHz < SYSCLK <=30MHz	1	0
30MHz < SYSCLK <= 60MHz	1	1

2.3.2 Flash 编程模式和操作流程

嵌入式 Flash 支持如下三种编程方式

表 2.6 编程模式

编程模式	编程说明
在电路编程（ICP）	ICP 是指通过特定烧写器，利用 SWD 接口，改变 Flash 的内容，将用户代码烧录到 MCU 中。
在系统编程（ISP）	ISP 是指通过 ISP Firmware，结合指定的 UART 接口，改变 Flash 的内容，将用户代码烧录到 MCU 中。
在应用编程（IAP）	与 ICP 和 ISP 的方法不同的是，IAP（在应用编程） 能够使用 MCU 支持的任何通信接口（UART，I2C，SPI，CAN，USB 等）下载程序或者数据。IAP 允许用户在运行程序的过程中重写应用程序，前提是一部分应用程序必须预先用 ICP 或 ISP 的方法烧写进去。

烧写和擦除操作在整个产品工作电压范围内都可以完成，在对 Flash 空间做写操作或擦除操作时，内部振荡器（HSI）必须处于开启状态，还需确保 AHB 时钟大于等于 8MHz。

只要 CPU 不去访问 Flash 空间，进行中的 Flash 写操作不会妨碍 CPU 的运行（从 RAM 或 ISP 中运行）。在对 Flash 进行写操作或擦除操作时，对 Flash 的读访问都会遇到总线停顿，直到写操作或擦除操作完成后才会继续执行，因此在写操作或擦除 Flash 时，不可以对它取指和访问数据。

Flash 的编程操作由一系列的动作组合而成，主要包括：

- **对 Flash 操作的解锁与保护**
- **对 Flash 擦除（页擦除与整片擦除）**
- **对 Flash 编程（半字/字编程）**
- **对信息块中各空间（如选项字节）操作的解锁与保护**
- **对信息块中各空间（如选项字节）擦除**
- **对信息块中各空间（如选项字节）编程（半字/字编程）**

ISP, IAP 编程流程

图 2-1 ISP 编程流程

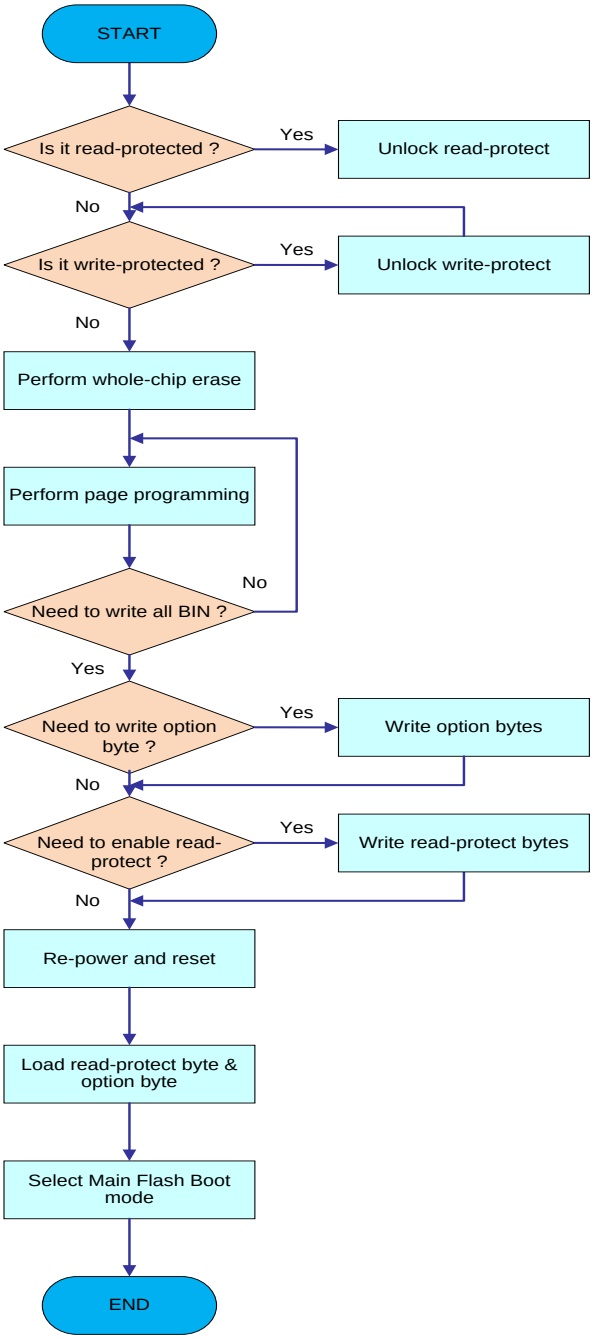
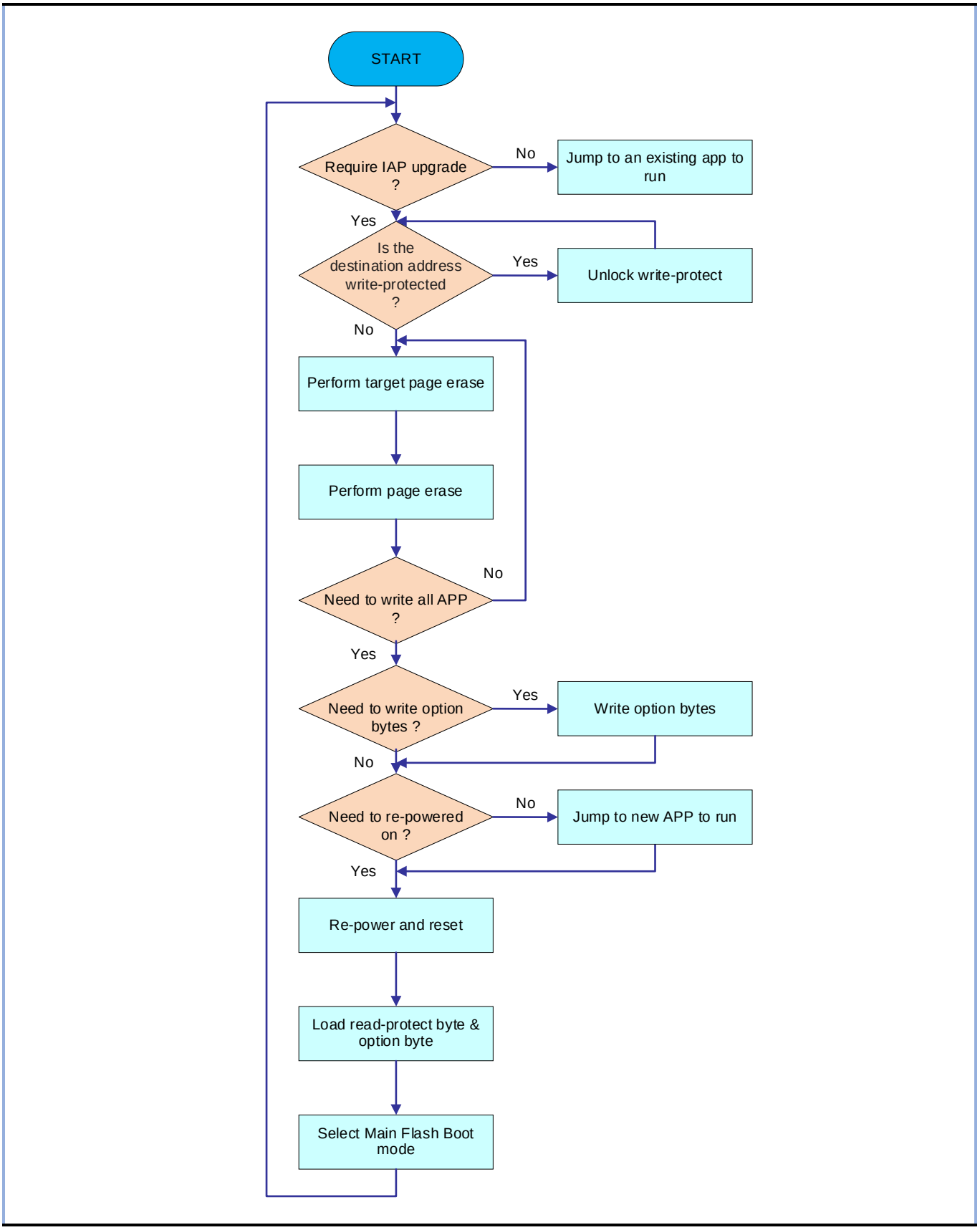


图 2-2 IAP 编程流程



2.3.3 对 Flash 块操作限制的解除与使能

嵌入式 Flash 在复位后是处于受保护状态的，可避免意外的页擦除、全片擦除和写值等破坏 Flash 存储空间的操作。复位后，FLASH_CR 寄存器进入锁定状态，FLASH_CR 的 LOCK 位被控制器模块置为 1。只有通过先后向 FLASH_KEYR 寄存器写入 0x45670123 和 0xCDEF89AB 做解锁操作后，FLASH_CR 的 LOCK 位置为 0，才能开启对 FLASH_CR 的访问权限，否则 FLASH_CR 寄存器不允许被改写。

可以通过软件设置 FLASH_CR 的 LOCK 位置为 1 再次锁定，使 Flash 存储器处于受保护状态。

解除保护操作代码：

```
#define FLASH_KEY1          ((unsigned int)0x45670123)
#define FLASH_KEY2          ((unsigned int)0xCDEF89AB)
void FLASH_Unlock()
{
   FLASH->KEYR = ((unsigned int)0x45670123);
   FLASH->KEYR = ((unsigned int)0xCDEF89AB);
}
```

不符合上述顺序的操作与写入错误的值，将会锁死 FLASH_CR ，并引发一个总线错误，直至下次复位。

使能保护操作代码：

```
#define FLASH_CR_LOCK_Pos          (7)
#define FLASH_CR_LOCK              (0x01U << FLASH_CR_LOCK_Pos)
void FLASH_Lock(void)
{
   FLASH->CR |= FLASH_CR_LOCK;
}
```

2.3.4 对选项字节区块操作限制的解除与使能

Flash 控制器在复位后，它的选项字节区块默认是处于写保护的，并且任何时候都是可读的。同样是为了避免对选项字节区做块擦除和写值等破坏性操作，复位后， FLASH_CR 寄存器进入锁定状态，FLASH_CR 的 LOCK 位被控制器模块置为 1，而 OPTWRE 位被控制器模块清除为 0；因此需先后向 FLASH_KEYR 寄存器写入 0x45670123 和 0xCDEF89AB 做解锁 FLASH 操作，FLASH_CR 的 LOCK 位置为 0 后，才做选项字节区的解锁。通过向 FLASH_OPT_KEYR 寄存器先后写入 0x45670123 和 0xCDEF89AB ，从而使硬件将 FLASH_CR 寄存器的 OPTWRE 位置 1，才能对选项字节区执行块擦除，半字/字编程操作。可将 FLASH_CR 寄存器的 OPTWRE 位置 0，从而禁止对选项字节区执行块擦除，半字/字编程操作。

表 2.7 保护设置的状态变化

设置和状态	Main Flash block	Information block	Description
上电复位 **控制器状态是** **FLASH_CR.LOCK=1** **FLASH_CR.OPTWRE=0**	保护	保护	使能对主 Flash 块的操作保护 使能对选项字节区的操作保护
设置 **FLASH_KEYR=0x45670123** **FLASH_KEYR=0xCDEF89AB** **Flash 控制器状态是** **FLASH_CR.LOCK=0** **FLASH_CR.OPTWRE=0**	解除保护	保护	解除对主闪存块的操作保护，可对主闪存块执行全片擦除，页擦除，半字/字编程还保持使能对选项字节区的操作保护，不能对选项字节区执行块擦除，半字/字编程操作
FLASH_KEYR=0x45670123 **FLASH_KEYR=0xCDEF89AB** **FLASH_OTPKEYR=0x45670123** **FLASH_OTPKEYR=0xCDEF89AB** **Flash 控制器状态变为** **FLASH_CR.LOCK=0** **FLASH_CR.OPTWRE=1**	解除保护	解除保护	解除对主闪存块的操作保护，可对主闪存块执行全片擦除，页擦除，半字/字编程解除对选项字节区的操作保护，可对选项字节区执行块擦除，半字/字编程操作
设置 FLASH_CR.OPTWRE=0 **保持 FLASH_CR.LOCK=0**	解除保护	使能保护	仍处于解除对主闪存块的操作保护，使能对选项字节区的操作保护
设置 FLASH_CR.OPTWRE=0 **设置 FLASH_CR.LOCK=1**	使能保护	使能保护	使能了对主闪存块的操作保护，使能对选项字节区的操作保护

解除保护操作代码：

```
#define FLASH_KEY1          ((unsigned int)0x45670123)
#define FLASH_KEY2          ((unsigned int)0xCDEF89AB)
void FLASH_Unlock(void)
{
   FLASH->KEYR = ((unsigned int)0x45670123);
   FLASH->KEYR = ((unsigned int)0xCDEF89AB);
}
```

使能保护操作代码：

```
#define FLASH_CR_LOCK_Pos          (7)
#define FLASH_CR_LOCK              (0x01U << FLASH_CR_LOCK_Pos)
```

```
void FLASH_Lock(void)
{
   FLASH->CR |= FLASH_CR_LOCK;
}
```

解除选项字节区保护操作代码：

```
#define FLASH_KEY1                  ((unsigned int)0x45670123)
#define FLASH_KEY2                  ((unsigned int)0xCDEF89AB)
void FLASH_OPT_Unlock (void)
{
   FLASH->OPTKEYR = FLASH_KEY1;
   FLASH->OPTKEYR = FLASH_KEY2;
}
```

对选项字节区保护使能操作代码：

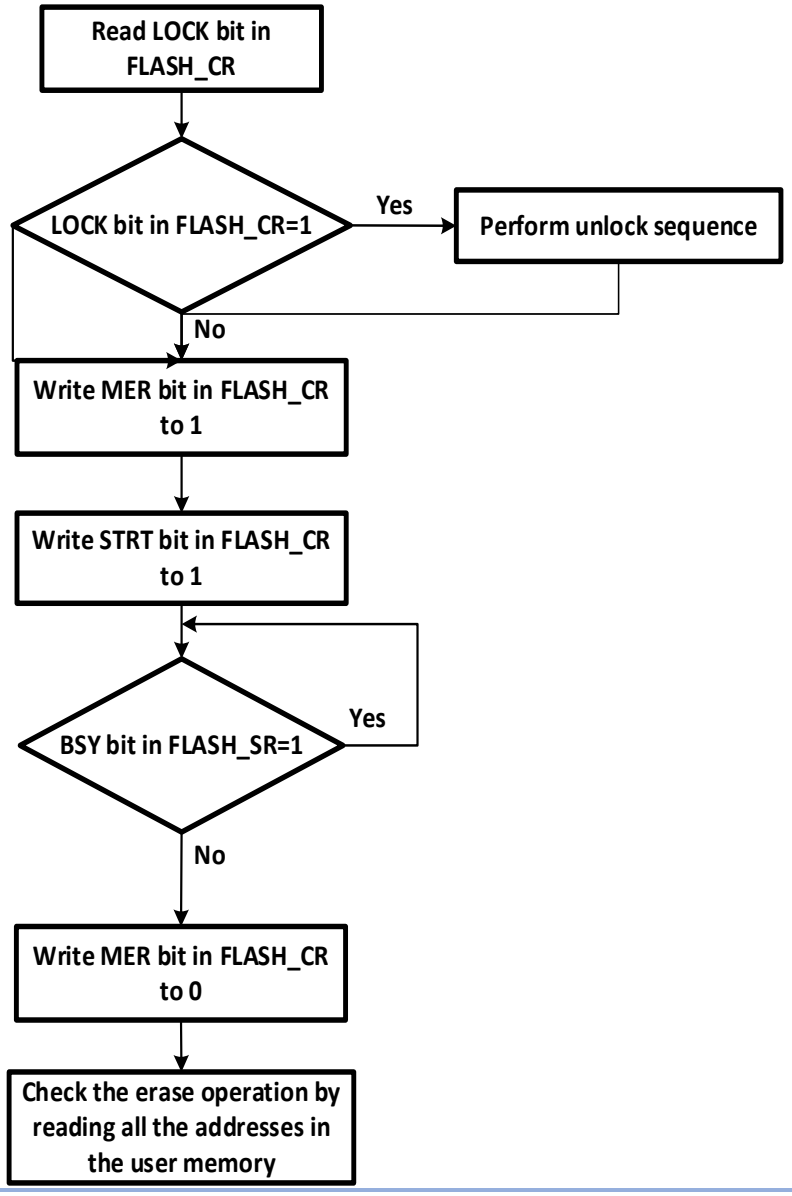
```
#define FLASH_CR_OPTWRE_Pos     (9)
#define FLASH_CR_OPTWRE         (0x01U << FLASH_CR_OPTWRE_Pos)
void FLASH_OPT_Lock(void)
{
   FLASH->CR &= ~FLASH_CR_OPTWRE;
}
```

2.3.5 主 Flash 块擦除

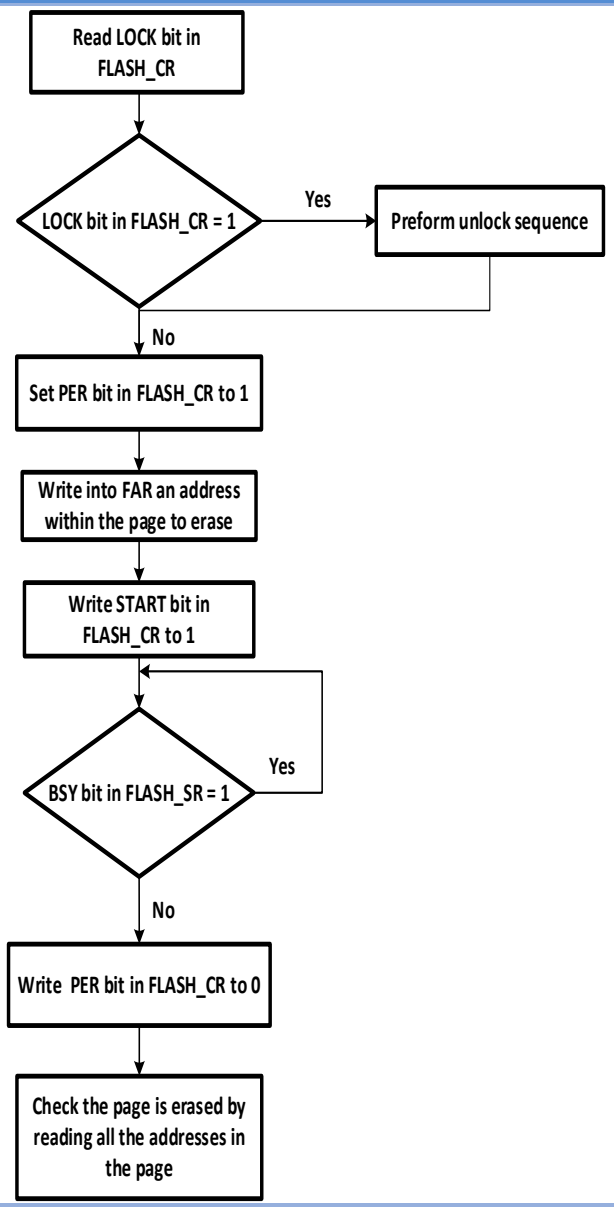
闪存控制器支持整片擦除主闪存块和以页为单位擦除主闪存中的页。

整片擦除功能将初始化主闪存块的所有内容，使所有的值为 0xFFFF ，但信息块不会受这个命令影响。

主 Flash 存储器擦除流程:

步骤	简易流程图
(1).读 FLASH_CR 的 LOCK 位，确保解除 Flash 保护 (2).否则执行 Flash Unlock (3).设置 FLASH_CR 寄存器中的 MER 位为 1，使能对主 Flash 全片擦除功能 (4).设置 FLASH_CR 寄存器中的 STRT 位为 1 (5).开始对主 Flash 全擦除 (6).检查 FLASH_SR 中的 BSY 位 (7).等待对主 Flash 全擦除的操作完成 (8).清除 FLASH_CR 寄存器中的 MER 位，使该位为 0 (9).可选做 Blank 检查，以确保擦除成功	

Flash 存储器页擦除流程**:**

步骤	简易流程图
(1)读 FLASH_CR 的 LOCK 位，确保解除 Flash 保护，否则执行 Flash Unlock (2)设置 FLASH_CR 寄存器中的 PER 位为 1，使能页擦除功能 (3)把待擦除页基地址写入 FLASH_AR 寄存器 (4)设置 FLASH_CR 寄存器中的 STRT 位为 1，开始页擦除 (5)检查 FLASH_SR 中的 BSY 位 (6)等待页擦除的操作完成 (7)清除 FLASH_CR 寄存器中的 PER 位，使该位为 0 (8)可选对这一页的内容做检查，以确保页擦除成功 (9)连续多页擦除，可以重复 2~7 操作；直到完成所有页面擦除	

2.3.6 主 Flash 快编程

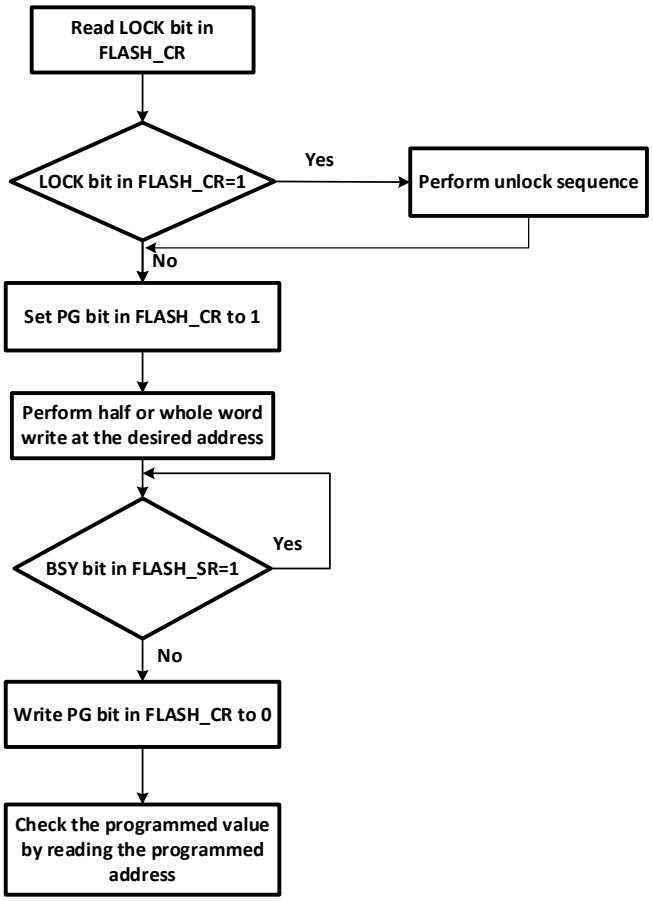
主 Flash 支持以 16 位半字/32 位字编程，用来修改主存储 Flash 块内容。如果以 8 位字节的长度编程，将引起硬件错误中断。当 FLASH_CR 中的 PG 位为 1 时，直接对相应的地址写一个半字（16 位）/字（32 位），就是一次编程操作。

主 Flash 控制器会预读待编程半字/字是否为全 1（即是否为 0xFFFF/0xFFFFFFFF），如果不是，这次编程操作会自动取消，并且在 FLASH_SR 寄存器的 PGERR 位上提示编程错误警告。

如果待编程地址所对应的写保护块在 FLASH_WRPR 中的写保护位有效，同样也不会有编程动作， 同样也会产生编程错误警告，编程动作结束后，FLASH_SR 寄存器中得 EOP 位会给出提示。

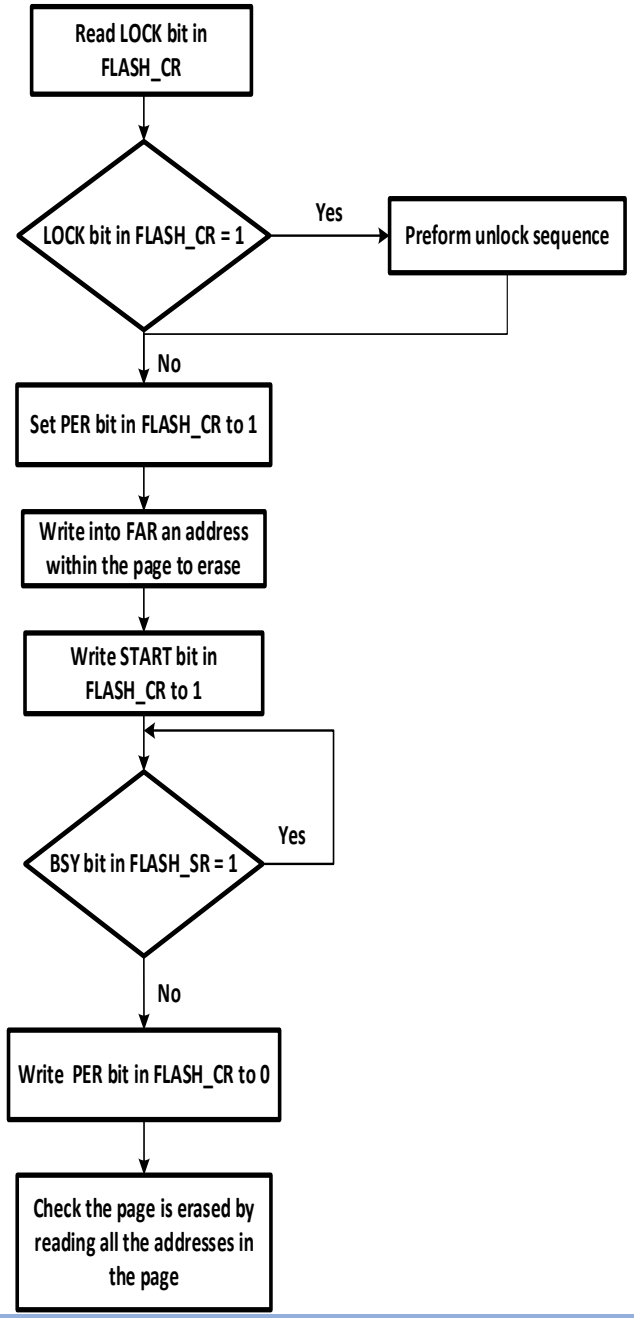
注意：当 CPU 进入省电模式时，通过 SWD 接口，对 Flash 操作将产生错误。避免在主 Flash 中运行中断程序时进行擦除或编程操作。

主 Flash 块编程操作的寄存器设置，具体步骤如下：

步骤	简易流程图
(1)读 FLASH_CR 的 LOCK 位，确保解除 Flash 保护，否则执行 Flash Unlock (2)设置 FLASH_CR 寄存器中的 PG 位为 1，使能半字或字编程功能 (3)以半字或字为单位向目标地址写入数据， 目标地址需以半字或字对齐 (4)检查 FLASH_SR 中的 BSY 位 (5)等待半字或字编程操作完成 (6)清除 FLASH_CR 寄存器中的 PG 位，使该位为 0 (7)可选读目标地址数据，以确保半字或字编程成功 (8)连续多个半字或字编程，可以重复 2~6 操作；直到完成所有目标地址的半字或字编程	

2.3.7 选项字节块擦除

选项字节区块擦除操作的寄存器设置，具体步骤如下：：

步骤	简易流程图
(1)读 FLASH_CR 的 LOCK 位，确保解除 Flash 保护，否则执行 Flash Unlock (2)读 FLASH_CR 的 OPTWRE 位，确保解除选项区块保护，否则执行选项区块 Unlock (3)把待擦除区块基地址写入 FLASH_AR 寄存器 (4)设置 FLASH_CR 寄存器中的 OPTER 位为 1，使能选项字节块擦除功能 (5)设置 FLASH_CR 寄存器中的 STRT 位为 1 (6)检查 FLASH_SR 中的 BSY 位 (7)等待选项字节块擦除操作完成 (8)清除 FLASH_CR 寄存器中的 OPTER 位，设置值为 0 (9)可选对这一区块的内容做检查，以确保对该区块擦除成功 (10)连续多块擦除，可以重复 3~8 操作；直到完成所有选项区块擦除	

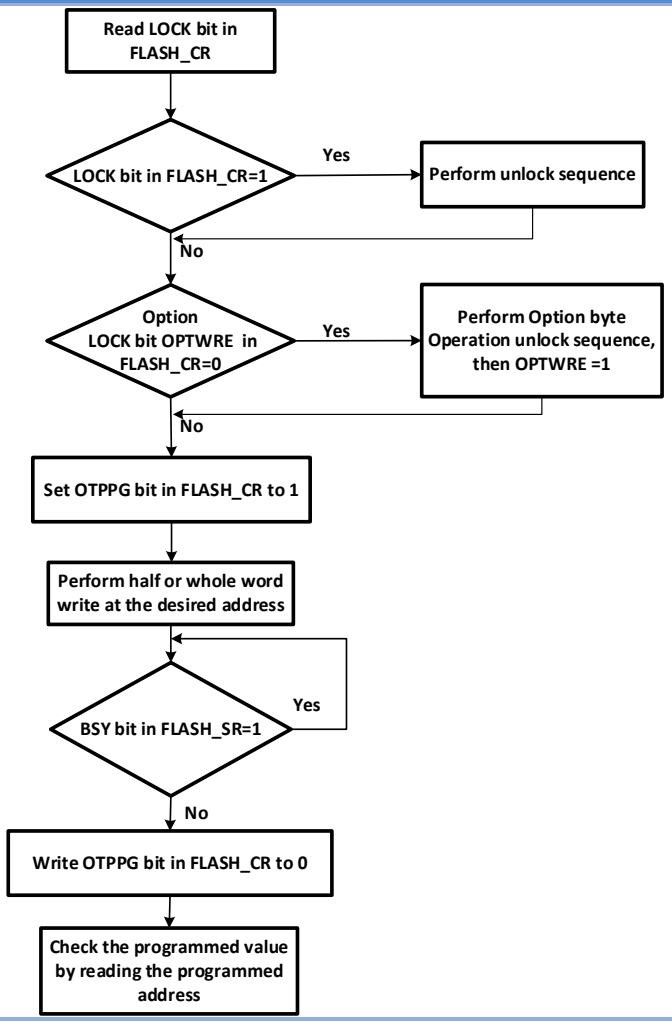
2.3.8 选项字节区块编程

选项字节区块的编程与主闪存块地址的编程不同，因其写入值复位后加载到配置选项，需要更加严格的保护。解除对闪存控制器的访问限制后，还需要对选项字节区块解除访问限制。完成该操作后，

FLASH_CR 寄存器中的 OPTWRE 位会被置 1，才能允许后续的编程操作。选项字节有效数据为低 8 位，而高 8 位为低 8 位的反码，从而组成为 16 位数据。在编程过程中，软件将高 8 位设置为低 8 位的反码，保证选项字节的写入值总是对的，然后依次写入 16 位数据。

当选项字节被改变时，需要系统上电复位使之生效。

选项字节区块半字/字编程操作的寄存器设置，具体步骤如下:

步骤	简易流程
(1)读 FLASH_CR 的 LOCK 位，确保解除 Flash 保护，否则执行 Flash Unlock (2)读 FLASH_CR 的 OPTWRE 位，确保解除选项区块保护，否则执行选项区块 Unlock (3)设置 FLASH_CR 寄存器中的 OPTPG 位为 1，使能选项字节区块半字/字编程 (4)写数据（半字/字）到目标地址，目标地址需以半字/字对齐 (5)检查 FLASH_SR 中的 BSY 位 (6)等待半字/字编程操作完成 (7)清除 FLASH_CR 寄存器中的 OPTPG 位，使该位值为 0 (8)可选读目标地址数据，以确保半字/字编程成功 (9) 连续多个半字/字编程，可以重复 3~7 操作；直到完成所有目标地址的半字/字编程	

2.3.9 Flash 存储器保护

主 Flash 块使能读写保护可以防范主 Flash 块的代码被不可信的代码读出，也可以防范在程序跑飞的时候对主 Flaash 块的意外擦除与编程。使能读保护的范围是整个主 Flash 块，而使能写保护的最小单位是一个写保护块（即 4 页）。

2.3.9.1 主 Flash 块读保护

主 Flash 块使能或解除读保护是通过从内置 SRAM 或 ICP、ISP 方式设置 RDP 半字，然后系统重新上电复位，加载了新的 RDPs 后起作用的。设置读保护，需要执行一次上电复位，而不是系统复位，才能起作用。

使能读保护

按选项字节区块半字或字编程的操作方式，按顺序写 RDP 半字到对应地址

1. 设置 FLASH AR 地址值为 0x1FFFF800，执行该选项区块擦除。
2. 按选项字节区块半字或字编程的操作方式，按顺序写 0x807F 半字到对应地址。
3. 进行上电复位以重新加载选项字节，此时读保护被使能。

当 RDP 字包含下列数值时，且被重新上电复位后主 Flash 块被置于保护状态。

表 2.8 Flash 读保护状态

使能读保护	读保护状态
擦除 1FFFF800 选项块 写 x807F 半字到对应地址 0x1FFFF800 重新上电复位，读保护被使能	保护

当读保护半字被写入相应的值以后：

1. 只允许从用户代码执行对主闪存存储器的读操作（以非调试方式从主闪存存储器启动）。
2. 读保护后，调试模式下（SRAM boot 和 debug 模式）禁止对 Flash 进行操作。
3. MCU 可以通过在主 Flash 存储器中执行的代码进行编程（实现 IAP 或数据存储等功能），但不允许在调试模式下或从内部 SRAM 启动后执行主 Flash 块写或页擦除操作（整片擦除除外）。
4. 所有通过 SWD 向内置 SRAM 装载代码并执行代码的功能依然有效，亦可以通过 SWD 从内置 SRAM 启动，这个功能可以用来解除读保护。
5. 通过从内置 SRAM 执行代码访问主 Flash 存储器的操作，通过 DMA、SWD（串行线调试）对 Flash 的访

问都将被禁止。

解除读保护

从内置 SRAM 或 ICP 方式解除读保护：

1. 设置 FLASH_AR 地址值为 0x1FFFF800，执行该选项区块擦除。
2. 按选项字节区块半字或字编程的操作方式，按流程写 0x5AA5 半字到对应地址。
3. 设置 FLASH_AR 地址值为 0x08000000，执行主 Flash 全片擦除。
4. 进行上电复位以重新加载选项字节，此时读保护被解除。

表 2.9 Flash 解除读保护状态

解除读保护状态	读保护状态
擦除 0x1FFFF800 选项块 写 0x5AA5 半字到对应地址 0x1FFFF800 对 0x08000000 的主 Flash 全片擦除 重新上电复位，读保护被解除	解除读保护

注：1.如选项字节块对应的地址值为非 0xFFFF，需先执行擦除选项字节块的动作，执行擦除选项字节块的动作不会导致自动的整片擦除操作，不会改变读保护状态。2.必需对 0x08000000 的主 Flash 全片擦除。

2.3.9.2 主 Flash 块写保护

使能写保护

写保护通过设置选项字节区块中的 WRP0 中的 WRP 位为 0，来设置写保护，系统复位后将加载新选项字节，使能写保护。如果试图写入或擦除一个受写保护的页，会引起 FLASH_SR 中的 WRPRTERR 标志位置位。

表 2.10 写保护区域

地址	[15：8]	[7：0]	默认值	注释
0x1FFF F808	nWRP0	WRP0	0xFFFF	

解除写保护

解除写保护有下述 2 种情形：

1. 情形 1：解除写保护，同时解除读保护：
   a. 使用闪存控制寄存器（FLASH_CR）的 OPTER 位擦除整个选项字节区块；写 0x5AA5 半字到对应地址 0x1FFFF800；
   b. 对 0x08000000 的主 Flash 全片擦除；
   c. 进行系统复位，重装载选项字节（包含新的 WRP 字节），写保护被解除。使用这种方法，将解除全片主闪存模块的写保护同时擦除全片主闪存块。
2. 情形 2：解除写保护，同时保持读保护有效，这种情况常见于用户自己实现在程序中编程的启动程序中：
   a. 使用闪存控制寄存器（FLASH_CR）的 OPTER 位擦除整个选项字节区块；
   b. 进行系统复位，重装载选项字节（包含新的 WRP 字节），写保护被解除。

使用这种方法，将解除整个主闪存模块的写保护，同时保持读保护有效。

2.4 寄存器

2.4.1 寄存器概览

表 2.11 FLASH 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	FLASH_ACR	闪存访问控制寄存器	0x00000038
0x04	FLASH_KEYR	FPEC 键寄存器	0x00000000
0x08	FLASH_OPTKEYR	闪存 OPTKEY 寄存器	0x00000000
0x0C	FLASH_SR	闪存状态寄存器	0x00000000
0x10	FLASH_CR	闪存控制寄存器	0x00000080
0x14	FLASH_AR	闪存地址寄存器	0x00000000
0x1C	FLASH_OBR	选项字节寄存器	0x03FFFC1C
0x20	FLASH_WRPR	写保护寄存器	0xFFFFFFFF

注意：Flash 寄存器只支持以 32 位的方式访问

2.4.2 FLASH_ACR Flash 访问控制寄存器

偏移地址:0x00

复位值:0x0000 0008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										PRFTBS	PRFTBE	Res.	LATENCY		
										r	rw		rw		

位	字段	描述
31：6	Reserved	保留，必须保持复位值
5	PRFTBS	预取缓冲区状态 0：预取缓冲区关闭 1：预取缓冲区开启
4	PRFTBE	预取缓冲区使能 0：关闭预取缓冲区 1：启用预取缓冲区
3	Reserved	保留，必须保持复位值
2：0	LATENCY	时延 这些位表示 SYSCLK（系统时钟）周期与闪存访问时间的比例。000：零等待状态，当 0 < SYSCLK ≤ 30MHz 001：一个等待状态，当 30MHz < SYSCLK ≤ 60MHz

2.4.3 FLASH_KEYR FPEC 密钥寄存器

偏移地址:0x04
复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	19	18	17	16	15
FKEYR															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FKEYR															
w															

Bit	Field	Description
31：0	FKEYR	FPEC Flash 密钥 这些位用于输入 FPEC 的解锁密钥

注：所有这些位是只写的，读出时返回 0。

2.4.4 FLASH_OPTKEYR Flash OPTKEY 寄存器

偏移地址:0x08
复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OPTKEYR															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTKEYR															
w															

位	字段	描述
31：0	OPTKEYR	选项字节密钥 这些位用于输入选项字节的密钥以解除 OPTWRE。

注：所有这些位是只写的，读出时返回 0。

2.4.5 FLASH_SR Flash 状态寄存器

偏移地址:0x0C
复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										EOP	WRPRTERR	Res.	PGERR	Res.	BSY
										rw	rw		rw		r

位	字段	描述
31:6	Reserved	保留，必须保持复位值
5	EOP	操作结束 当 Flash 操作（编程 I 擦除）完成时，硬件设置这位为“1”，写入“1”可以清除这位状态。
4	WRPRTERR	写保护错误 试图对写保护的 Flash 地址编程时，硬件设置这位为“1”，写入“1”可以清除这位状态。
3	Reserved	保留，必须保持复位值
2	PGERR	编程错误 试图对内容不是“0xFFFF”的地址编程时，硬件设置这位为“1”，写入“1”可以清除这位状态。
1	Reserved	保留，必须保持复位值
0	BSY	忙 该位指示闪存操作正在进行。在闪存操作开始时，该位被置为“1”；在操作结束或发生错误时该位被清除为“0”。

2.4.6 FLASH_CR Flash 控制寄存器

偏移地址:0x10
复位值:0x0000 0080

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						OPTWRE	Res.	LOCK	STRT	OPTER	OPTPG	Res.	MER	PER	PG
						rw		rw	rw	rw	rw		rw	rw	rw

位	字段	描述
31:10	Reserved	保留，必须保持复位值
9	OPTWRE	允许写选项字节 当该位为“1”时，允许对选项字节进行编程操作。当在 FLASH_OPTKEYR 寄存器写入正确的键序列后，该位被置为“1”。软件写 0 可清除此位。
8	Reserved	保留，必须保持复位值
7	LOCK	锁 只能写“1”。当该位为“1”时表示 FPEC 和 FLASH_CR 被锁住。在检测到正确的解锁序列后，硬件自动清除此位为“0”。 在一次不成功的解锁操作后，下次系统复位前，该位不能再被改变。
6	STRT	开始 当该位为“1”时将触发一次擦除操作。该位只可由软件置为“1”并在 BSY 变为“1”时自动清“0”。
5	OPTER	擦除选项字节 擦除选项字节
4	OPTPG	烧写选项字节 对选项字节编程。
3	Reserved	保留，必须保持复位值
2	MER	整片擦除 选择擦除所有用户页。
1	PER	页擦除 选择擦除页。
0	PG	编程 选择编程操作。

2.4.7 FLASH_AR Flash 地址寄存器

偏移地址:0x14
复位值:0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FAR															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FAR															
w															

位	字段	描述
31：0	FAR	用户 Flash 地址 当进行页擦除时选择要擦除的页。注意：当 FLASH_SR 中的 BSY 位为“1”时，不能写这个寄存器。

由硬件修改为当前最后使用的地址。页擦除操作中，必须修改这个寄存器以指定要擦除的页。

2.4.8 FLASH_OBR 选项字节寄存器

偏移地址:0x1C
复位值:0x03FF FC1C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						Data1								Data0	
						r								r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Data0						BOOT0SEL	nBOOT0	OBR_nRST	nBOOT1	Res.		nRST_STOP	WDG_SW	RDPRT	OPTERR
r						r	r	r	r	r		r	r	r	r

位	字段	描述
31：26	Reserved	保留，必须保持复位值
25：18	Data1	Data1
17：10	Data0	Data0
9	BOOT0SEL	BOOT0SEL
8	nBOOT0	nBOOT0
7	OBR_nRST	NRST 复用 PA10 1：NRST 功能 0：GPIO 功能
6	nBOOT1	nBOOT1
5	Reserved	保留，必须保持复位值
4	Reserved	保留，必须保持复位值
3	nRST_STOP	进入停机模式时的复位事件 0：当进入停机（STOP）模式时产生复位 1：进入停机（STOP）模式时不产生复位
2	WDG_SW	选择看门狗事件 0：硬件看门狗 1：软件看门狗
1	RDPRT	读保护级别状态 当设置为“1”，表示 Flash 存储器被读保护。 注：该位为只读。
0	OPTERR	选项字节错误 当该位为“1”时表示选项字节和它的反码不匹配。 注意：该位为只读。

2.4.9 FLASH_WRPR 写保护寄存器

偏移地址: 0x20
复位值: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.								WRP							
								r							

位	字段	描述
31:8	Reserved	保留，必须保持复位值
7:0	WRP	写保护（Write protect） 该寄存器包含由 OBL 加载的写保护选项字节。 0：写保护生效 1：写保护失效

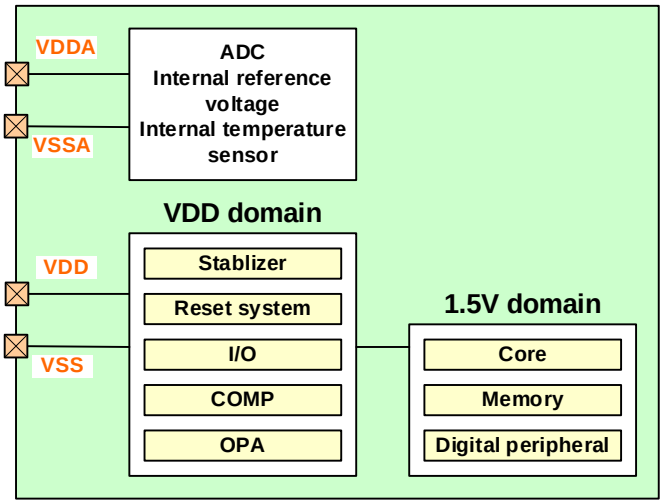
3 PWR 电源控制

电源控制(PWR)主要涉及芯片的供电系统、电源管理器和低功耗模式等功能。

3.1 供电系统

芯片的电源分配分为以下四个部分：

图 3-1 电源控制框图



- **由 VDDA 和 VSSA 提供的模拟电源，为芯片模拟模块提供电压，用于 ADC 模块、内部基准电压、内部温度传感器等。**
- **由 VDD 和 VSS 提供的数字电源，用于数字部分和 I/O 引脚工作。**
- **在供电系统中要求在相应的电源引脚上外接 10uF 和 100nF 的电容，并尽量靠近引脚摆放。**

注:

- **在有 VDDA 和 VSSA 的封装中，VDDA 和 VSSA 不可悬空，且 VDD 和 VDDA 电压差要小于 50mV 。**
- **在没有 VDDA 和 VSSA 的封装中，已经在封装内部将 VDD 和 VDDA 连接，VSSA 和 VSS 连接。**

3.1.1 模拟模块供电

模拟模块供电主要给 MCU 内部模拟电路提供电源，主要包括 ADC 模块、复位系统等，因此电源的稳定性影响模拟模块的工作的性能。

ADC 的精度有一部分取决于 ADC 模块供电的稳定性。针对有需要高精度的 ADC 的应用，为了过滤和屏蔽来自印刷电路板上的毛刺对 ADC 采样的干扰、提高 ADC 的转换精度，ADC 需要一个独立稳定的外部电源供电。

- **ADC 电源引脚是 VDDA**
- **ADC 独立电源地是 VSSA**

3.1.2 数字模块供电

VDD、VSS 是芯片数字模块供电电源端口，主要为 IO 供电以及通过稳压器为内核、内置数字外设和存储器等供电。

3.1.3 VDD 域

VDD 域主要给 PMU 的模拟部分（LDO 及电源检测）、ADC/COMP/OPA 的模拟部分供电，在上电后保持工作状态。

3.1.4 1.5V 域

1.5V 域主要给芯片的内核、内存和外设提供供电，在上电后默认是开启状态，在进入低功耗模式时，芯片会硬件选择进入稳压器的低功耗模式，在唤醒后芯片会自动切换进入稳压器的正常功耗模式。主要有以下几种工作状态：

运行模式: 1.5V 域以正常的功耗模式运行，内存、外设都正常工作。

睡眠模式: 1.5V 域以正常的功耗模式工作，CPU 进入睡眠模式，内存、外设都以正常的功耗模式工作。

停机模式: 1.5V1.5V 域以低功耗模式工作，只保持寄存器和 RAM 的内容。

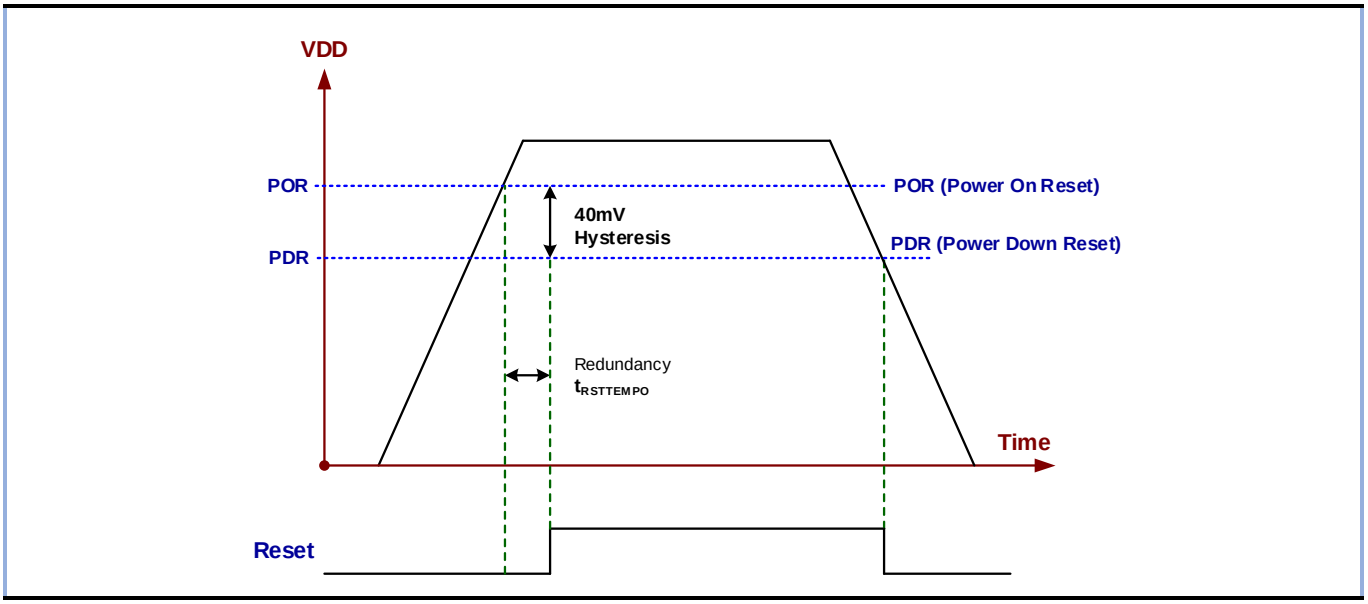
3.2 电源管理器

3.2.1 POR 上电复位和 PDR 掉电复位

芯片有一个完整的上电复位（POR）和掉电复位（PDR）电路。当供电电压达到芯片最低的工作电压后系统能正常工作，当供电电压低于芯片最低的工作电压时，系统处于非工作状态。在对芯片进行上电或者掉电操作时，上电操作的供电电压达到芯片最低的工作电压时，芯片产生的上电复位会被释放；芯片在掉电操作时，电压低于最低工作电压时，芯片会产生掉电复位。

当 VDD 低于指定的 POR/PDR 限位电压时，系统保持为复位状态，NRST 复位引脚处于低电平，关于复位持续时间（$t_{RSTTEMPO}$）等上电复位和掉电复位的细节请参考数据手册的电气特性部分。

图 3-2 上电复位和掉电复位波形图



3.2.2 PVD 可编程电压监测器

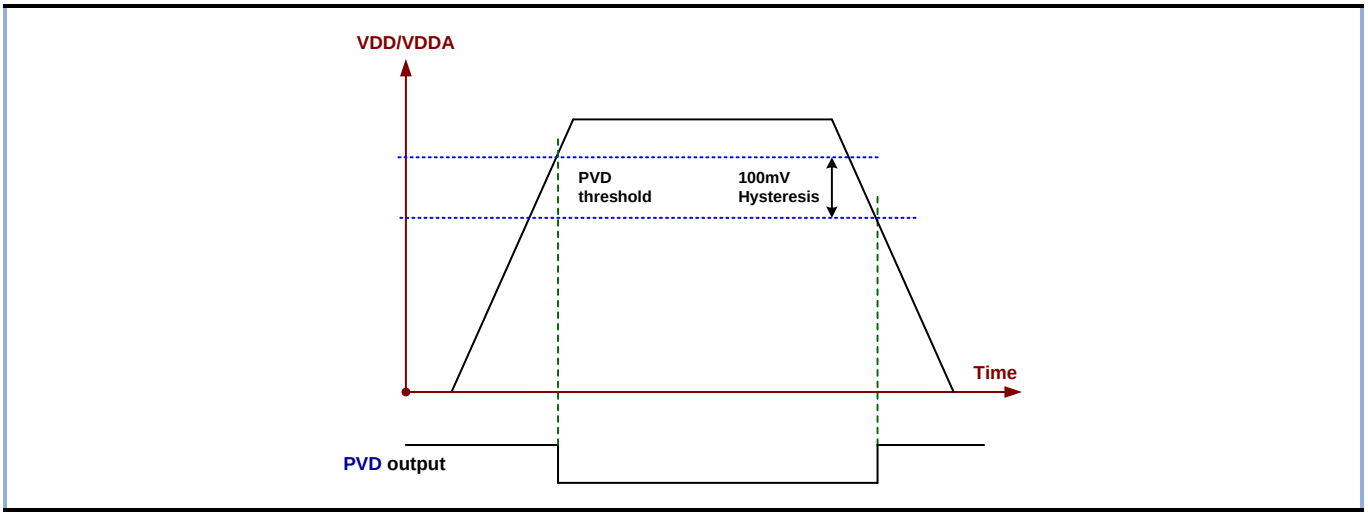
可编程电压监测器(PVD)可以用来监视芯片的供电电压，在供电电压下降到给定的阈值以下时，产生一个中断，软件可以做紧急处理。当供电电压又恢复到给定的阈值以上时，也会产生一个中断，软件处理供电恢复。供电下降的阈值与供电上升的阈值有一个固定的差值，这就是 PVD 迟滞电压，通过列出的 PVD 阈值数据可以看到这个差别。引入这个差值的目的是为了防止电压在阈值上下小幅抖动，而频繁地产生中断。

用户可以通过软件设置电源控制寄存器 PWR_CR 中的 PLS 位的阈值电压与芯片供电电压进行比较， 用来监控电源。

通过设置电源控制寄存器 PWR_CR 中的 PVDE 位来使能 PVD。电源控制/状态寄存器 PWR_CSR 中的 PVDO 标志用来表明 VDD 是高于还是低于 PWR_CR 中的 PLS 位选择的阈值电压。

PVD 中断对应到外部中断 EXTI 16，如果用户有配置外部中断 EXTI 16，该事件就会产生中断，进入相应中断服务函数。当 VDD 下降到 PVD 阈值以下或当 VDD 升到 PVD 阈值以上时，根据设置的外部中断 EXTI 16 的上升/下降边沿触发，就会产生 PVD 中断(也可以通过软件配置产生 PVD 复位)。用户可以在中断中做一些对应的操作，例如：当条件触发且掉电的速率慢于中断中处理程序的执行时间时，如果系统需要进入特别保护状态，那么可以通过执行紧急关闭任务，以保存系统一些重要数据，同时也对外设进行相应的保护等操作。

图 3-3 PVD 阀值波形图



3.3 功耗控制

3.3.1 功耗控制概述

为了延长电池供电类产品寿命，在 MCU 不需要工作时，可以利用 MCU 提供的多种低功耗模式来节省功耗；当需要 MCU 重新开始工作时，可以通过多种唤醒源唤醒 MCU，从而达到节省芯片电流消耗的目的。

芯片有二种低功耗模式，这些模式电源消耗不同、唤醒时间不同、唤醒源不同，用户可以根据应用需求，选择最佳的低功耗模式。

二种低功耗模式为：

睡眠模式：CPU 停止，所有芯片外设包括 CPU 的外设，如 NVIC、SysTick 等仍在运行。

停机模式：1.5V 域以低功耗模式工作，CPU 及所有外设时钟都停止，只保持寄存器和 RAM 的内容。

此外，在运行模式下，可以通过以下方式中的一种降低功耗：

- **降低系统时钟频率：在满足应用需求的同时可以选择低速时钟频率或采用高速时钟和低速时钟循环切换的方式来节省功耗。**
- **关闭 APB 和 AHB 总线上未被使用的外设时钟：用户只使能应用需要的时钟，其他多余的时钟都选择关闭。**
- **选择低电压供电：供电电压越高芯片的耗电越大，所以应用中在芯片安全的供电电压范围内可以选择合适的供电电压。**

表 3.1 低功耗模式

模式	进入方式	唤醒方式	对 1.5V 域时钟的影响	对 VDD 域时钟的影响	电压稳压器	对数据和寄存器的影响	注意事项
睡眠模式	WFI (等待中断)	任一中断	CPU 时钟关, 对其他时钟和 ADC 时钟无影响	N/A	On		外设时钟继 续 维持，寄存器和 SRAM 的内容保持
	WFE (等待事件)	唤醒事件					
停机模式	清 LPDS 位;置 SLEEPDEEP 位;WFI 或 WFE;	任意外部中断 (在外部中断寄存器中设置)或事件，IWDG 中断(非复位)唤醒	所有使用 1.5V 域的时钟都已关闭	PLL, HIS 和 HSE 的振荡器关闭	On	寄存器和 SRAM 的内容保持	进入低功耗模式前不使用的 GPIO 应该设置模拟输入状态

3.3.2 运行模式降低系统时钟

在满足应用需求的同时可以选择低速时钟频率或采用高速时钟和低速时钟循环切换的方式来节省功耗。

芯片的系统时钟可以灵活配置，用户可以选择不同的时钟源作为系统时钟；也可以通过配置不同时钟分频器来降低系统时钟（SYSCLK、HCLK、PCLK1）的频率。

进入睡眠模式前，降低外设的时钟频率可以有效节省睡眠模式下的功耗。

3.3.3 外部时钟控制

在芯片执行程序过程中，可以通过关闭外设时钟来降低功耗。

使用睡眠模式时，在执行 WFI 或 WFE 指令前可以关闭外设的时钟，有效地降低睡眠模式下外设的电流消耗。

外设的时钟主要挂在 AHB 外设时钟使能寄存器(RCC_AHBENR)、APB1 外设时钟使能寄存器(RCC_APB1ENR)总线上，用户可以单独配置寄存器外设控制位关闭外设时钟。

3.3.4 睡眠模式

3.3.4.1 进入睡眠模式

通过执行 WFI(Wait For Interrupt)/WFE(Wait for Event)指令，可以请求 MCU 进入睡眠模式。根据 CPU 系统控制寄存器（SCB->SCR）中的 SLEEPONEXIT 位的值，有两种可用于选择进入睡眠模式的机制：

SLEEPNOW: 如果 SLEEPONEXIT 位被清除，当 WFI 或 WFE 被执行时，MCU 立即进入睡眠模式。

SLEEPONEXIT: 如果 SLEEPONEXIT 位被置位，系统从最低优先级的中断处理程序中退出后 MCU 立即进入睡眠模式。

在睡眠模式下，所有的 I/O 引脚都保持在运行模式时的状态。

3.3.4.2 退出睡眠模式

中断或事件发生后，睡眠模式立即被唤醒。

表 3.2 SLEEPNOW 模式

SLEEP NOW 模式	说明
进入	在以下条件下执行 WFI(Wait for Interrupt)或 WFE(Wait for Event)指令： SLEEPDEEP = 0 SLEEPONEXIT = 0
退出	如果执行 WFI 进入睡眠模式：中断（参考中断向量表） 如果执行 WFE 进入睡眠模式：唤醒事件（参考唤醒事件管理）
唤醒延时	立即唤醒

表 3.3 SLEEPONEXIT 模式

SLEEP ON EXIT mode	Description
进入	在以下条件下执行 WFI（Wait for Interrupt）指令： SLEEPDEEP = 0 SLEEPONEXIT = 1
退出	中断（参考中断向量表）
唤醒延时	立即唤醒

3.3.5 停机模式

CPU 深度睡眠模式+外设的时钟控制组成了停机模式。停机模式下，CPU 进入深度睡眠模式，1.5V 域的所有时钟都被停止， HSI 被禁止，SRAM 和寄存器内容被保留下来。

在停机模式下，所有的 I/O 引脚都保持在运行模式时的状态。

系统时钟切换成 LSI 的话，进入停机模式前，需将 RCC_CFGR.HPRE 配置为 4’b1010，AHB 时钟是系统时钟的 8 分频。

3.3.5.1 进入停机模式

通过对独立的控制位进行编程，停机模式根据唤醒方式的不同有两种进入方式：

- **等待外部中断线 WFI 方式进入停机模式：CPU 系统控制寄存器（SCR）的 SLEEPDEEP=1。当 WFI 被执行时，MCU 立即进入停机模式。**
- **等待外部事件 WFE 方式进入停机模式：CPU 系统控制寄存器（SCR）的 SLEEPDEEP=1。当 WFE 被执行时，MCU 立即进入停机模式。**

进入停机模式时可选择以下功能：

- **独立看门狗 （IWDG）：可通过写入独立看门狗的键寄存器或硬件选择来启动独立看门狗，独立看门狗可以选择中断或者复位方式唤醒芯片，中断方式唤醒芯片后 MCU 继续执行进入低功耗前的程序， 复位方式唤醒后 MCU 执行复位；用户可以选择关闭 LSI 时钟源从而关闭独立看门狗。**
- **内部低速振荡器 （LSI 振荡器）：通过 RCC 控制/状态寄存器（RCC_CSR）的 LSION 位来设置。**

在停机模式下，如果在进入该模式前 ADC 没有被关闭，那么 ADC 仍然消耗电流。通过设置寄存器 ADC_ADCFG 的 ADEN 位为 0 可关闭这个外设。其它没有使用的 GPIO 需要设置模拟输入模式，否则有电流消耗。

3.3.5.2 退出停机模式

当停机模式被中断或事件唤醒且退出后，系统时钟源硬件自动选择为 HSI 振荡器，如果选择其它时钟源作为系统时钟需用户重新配置。

当电压稳压器处于运行模式下，系统从停机模式退出时，将会有一段额外的启动延时。

表 3.4 停机模式

停机模式	说明

进入	在以下条件下执行 WFI（Wait for Interrupt） 或 WFE（Wait for Event） 指令： 置位 CPU 系统控制寄存器中的 SLEEPDEEP 位； 系统时钟切换至 LSI 或 HSI； 注：为了进入停机模式，所有的外部中断的请求位（中断事件挂起寄存器 EXTI_PR）标志都必须被清除，否则停机模式的进入流程将会被跳过，程序继续运行。
退出	在以下条件下执行 WFI（Wait for Interrupt） 指令： 任一外部中断线被设置为中断模式 （相应的外部中断向量在 NVIC 中必须使能），参见中断向量表 Wait for Event； 在以下条件下执行 WFE（Wait for Event） 指令： 任一外部中断线被设置为事件模式，例如看门狗中断；
唤醒延时	LSI 或 HSI 的唤醒时间和电压稳压器唤醒产生的额外时间
注意事项	在进入停机模式时需将不使用的 GPIO 设置成模拟输入模式

3.4 寄存器

表 3.5 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	PWR_CR	电源控制寄存器	0x00000600
0x04	PWR_CSR	电源控制状态寄存器	0x00000000
0x24	PWR_CFGR	电源配置寄存器	0x00000160
0x30	PWR_MEMCR	电源存储控制寄存器	0x00000020

3.4.1 PWR_CR 电源控制寄存器

地址偏移: 0x00
复位值: 0x00000600

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res			PLS				Res				PVDE	Res.			
			rw								rw				

位	字段	描述
31:13	Reserved	保留,始终读为 0
12:9	PLS	PVD 电平选择 这些位用于选择电源电压监测器的电压阀值： 0000: 1.8V 0100: 3.0V 1000: 4.2V 0001: 2.1V 0101: 3.3V 1001: 4.5V 0010: 2.4V 0110: 3.6V 1010: 4.8V 0011: 2.7V 0111: 3.9V 其它:保留 注：详细说明参见数据手册中的电气特性部分.
8:5	Reserved	保留,始终读为 0
4	PVDE	电源电压监测器使能 1 = 开启 PVD 0 = 禁止 PVD
3:0	Reserved	保留,始终读为 0

3.4.2 PWR_CSR 电源控制/状态寄存器

地址偏移: 0x04
复位值: 0x00000000 (从待机模式唤醒时不被清除)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res													PVDO	Res.	
													r		

位	字段	描述
31:3	Reserved	保留,始终读为 0
2	PVDO	PVD 输出 当 PVD 被 PVDE 位使能后该位才有效。 1 = VDD/VDDA 低于由 PLS[3：0]选定的 PVD 阀值 0 = VDD/VDDA 高于由 PLS[3：0]选定的 PVD 阀值
1:0	Reserved	保留,始终读为 0

3.4.3 PWR_CFGR 电源配置寄存器

地址偏移: 0x24
复位值: 0x00000160

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res						LSICAL					LSICALSEL				
						rw					w				

位	字段	描述
31:10	Reserved	保留,始终读为 0
9:5	LSICAL	内部低速时钟校准位 在系统启动时，这些位被自动初始化为出厂校准值，用户可以写入其他校准值， 但读出始终为出厂校准值。如果 LSICALSEL=0x1F，写入的值可以重新校正 LSI 频率，否则写入的值不起作用
4:0	LSICALSEL	内部低速时钟校准值选择方式 初值为 0，当写入不同值时： 写入 1F：选择寄存器 LSICAL 的值，写入 1F 后仍读出为 0。 写入其他：选择出厂校准值

3.4.4 PWR_MEMCR 电源存储器控制寄存器

地址偏移: 0x30
复位值: 0x00000020

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res									FDP_EN	FWUP_EN	MEM_LOCK				
									rw	rw	w				

位	字段	描述
31:7	Reserved	保留,始终读为 0
6	FDP_EN	Flash DeepStandby 在 STOP 模式下使能 0:芯片进入 STOP 模式时 Flash 保持 Standby 模式 1:芯片进入 STOP 模式时 Flash 进入 DeepStandby 模式
5	FWUP_EN	Flash 快速唤醒使能 0:不使用 Flash 快速唤醒 1:使用 Flash 快速唤醒
4:0	MEM_LOCK	PWR_MEMCR 配置锁 对该寄存器其他位进行配置时，必须解锁 MEM_LOCK=0x15 时，可以配置其他控制位； 否则，其他位无法被更改

4 RCC 时钟和复位

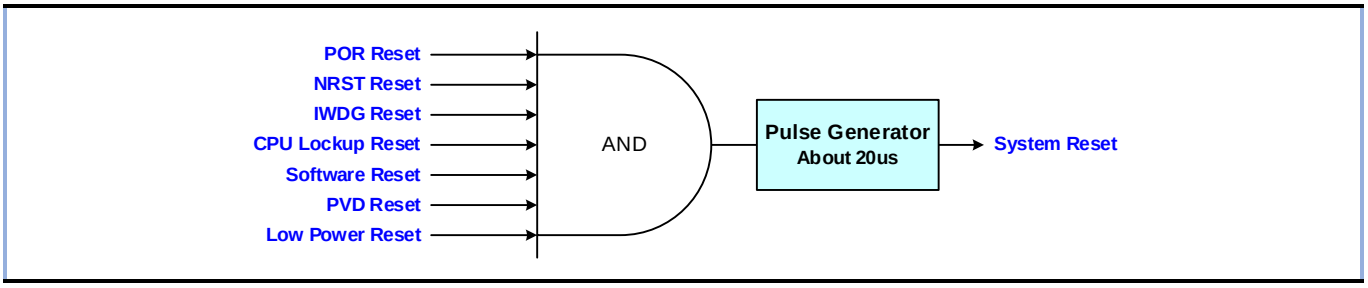
4.1 复位单元

4.1.1 简介

系统共有两大类复位：电源复位、系统复位。

4.1.2 功能框图

图 4-1 复位功能框图



4.1.3 主要特性

- 复位事件判定：通过控制状态寄存器（**RCC_CSR**）中的复位标志位来进行判断。
- 电源复位：复位所有寄存器。
- 系统复位：除了时钟控制寄存器（**RCC_CSR**）中的复位标志以及内部低速振荡器使能标志、电源控制寄存器（**PWR_CSR**）中的唤醒标志、**DBG** 控制寄存器（**DBG_CR**）不受系统复位影响，其余寄存器都将被系统复位。

4.1.4 功能描述

4.1.4.1 电源复位(POR Reset)

电源复位有以下方式：

- 上电复位
- 掉电复位

4.1.4.2 系统复位

系统复位有以下几种方式：

- 外部复位（**NRST Reset**）
- 独立看门狗复位（**IWDG Reset**）
- 软件复位（**Software Reset**）
- **CPU** 死锁复位（**CPU Lockup Reset**）
- **PVD** 复位（**PVD Reset**）
- 低功耗复位（**Low Power Reset**）

外部复位(NRST reset):

- 当通过 **NRST Pin** 输入低电平时，将会发生外部复位。

独立看门狗复位(IWDG reset):

- 计数器开始从其复位值 **0xFFF** 开始递减，当递减到达 **0x0000** 时，将会发生独立看门狗复位。
- 比较/输出如果程序异常，无法正常喂狗，将会发生独立看门狗复位。
- 具体请参考独立看门狗章节

软件复位:

- 可以通过将 **SCB_AIRCR[SYSRESETREQ]**置 **1**，将会发生软件复位

CPU 死锁复位:

- 配置控制状态寄存器（**RCC_CSR**）的 **LOCKUPEN** 位为 **1**，**CPU** 死锁复位使能；
- 当 **CPU** 进入锁定状态将会发生 **CPU** 死锁复位。

PVD 复位:

- 配置控制状态寄存器（**RCC_CSR**）的 **PVDRSTEN** 位为 **1**，**PVD** 复位使能；
- 配置电源控制寄存器（**PWR_CR**）的 **PVDE** 位为 **1**，使能 **PVD**；
- 配置电源控制寄存器（**PWR_CR**）的 **PLS** 位进行 **PVD** 阈值选择；

- **检测 VDD 电源，当 VDD 电源低于选择的阈值电压时将会发生 PVD 复位。**

低功耗复位:

- **为防止应用程序误进入低功耗模式，可以通过配置选项字节空间 nRST_STOP 位为 0，在误进入低功耗模式前进行系统复位。**
- **通过配置选项字节空间 nRST_STOP 位为 0，系统将被复位，而不是进入停机模式。**
- **具体请参考嵌入式闪存章节**

4.2 时钟单元

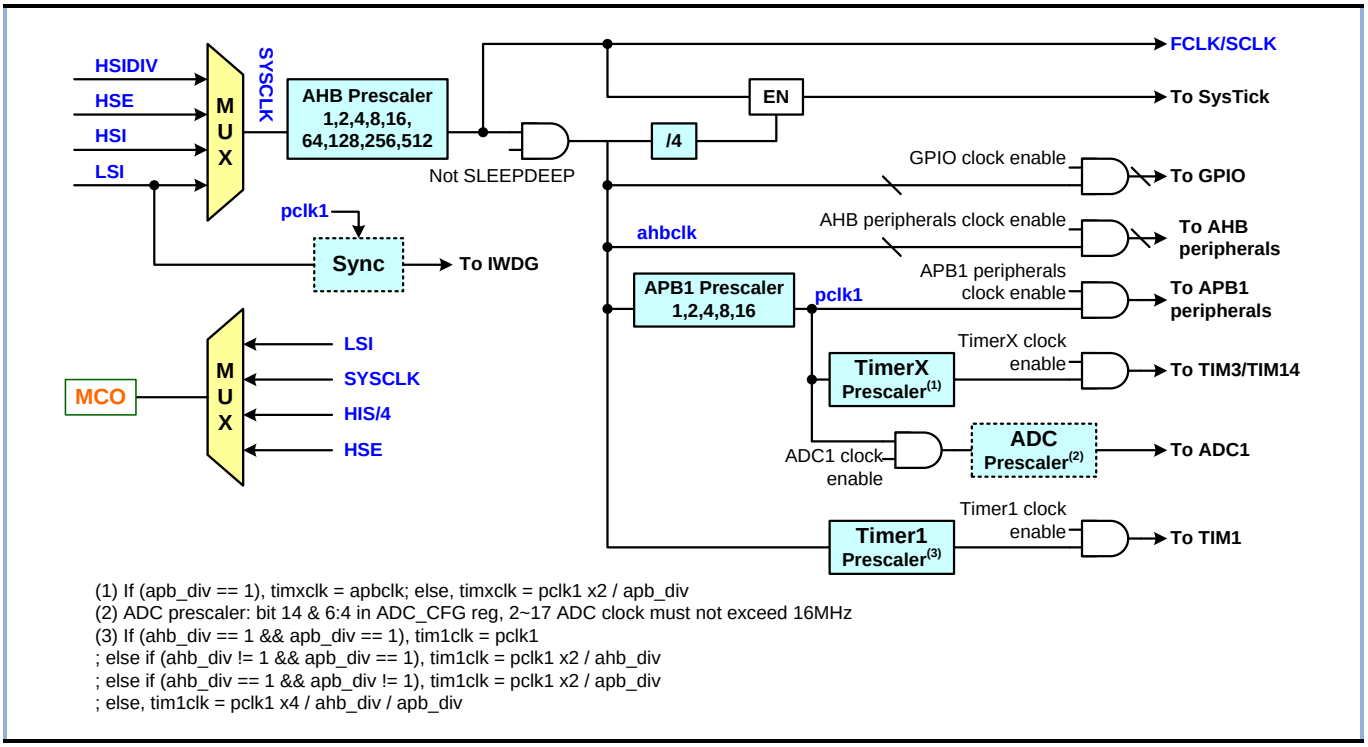
4.2.1 简介

两个可配置的的独立系统时钟源：

- **内部高速时钟（HSI）**
- **内部低速时钟（LSI）**

4.2.2 功能框图

图 4-2 时钟树



4.2.3 主要特性

通过时钟配置寄存器（RCC_CFGR）的预分频控制位来分别配置 AHB、APB1 总线的时钟频率。AHB 和 APB1 总线时钟的最大频率是 60MHz。

4.2.4 功能描述

4.2.4.1 内部高速时钟(HSI)

HSI 时钟信号由内部 60MHz 振荡器产生，HSI 时钟源在芯片上电后默认启用。

使能 HSI 配置步骤：

- **配置时钟控制寄存器（RCC_CR）中的 HSION 位为 1，使能 HSI；**
- **等待时钟控制寄存器（RCC_CR）中的 HSIRDY 位被置位为 1，表示 HSI 稳定，可输出有效时钟，此时才可被选择使用作为系统时钟或外设时钟源。**

注意:

- **一旦 HSI 启用，HSI 相关配置就不能更改。如需更改配置，必须先禁止 HSI。**

4.2.4.2 内部低速时钟(LSI)

LSI 作为一个低功耗时钟源，为独立看门狗提供时钟源。时钟中心频率在 40kHz 左右。详情请参阅数据手册中有关电气特性部分。

使能 LSI 配置步骤：

- **配置控制状态寄存器（RCC_CSR）的 LSION 位置位为 1，使能 LSI；**

- **等待控制状态寄存器（RCC_CSR）中的 LSIRDY 位被置位为 1，表示 LSI 稳定，可输出有效时钟。**

注意：

- **一旦 LSI 启用，LSI 相关配置就不能更改。如需更改配置，必须先禁止 LSI。**

4.2.4.3 中断

表 4.1 RCC 全局中断

中断事件	事件标志位	使能控制位	标志清除位
RCC_HSIRDY	HSIRDYF	HSIRDYIE	HSIRDYC
RCC_LSIRDY	LSIRDYF	LSIRDYIE	LSIRDYC

注：如上标志位/控制位/清除位都可通过时钟中断寄存器（RCC_CIR）进行配置。

4.2.4.4 系统时钟选择 (SWS)

两个系统时钟源：

- **内部高速时钟（HSI 上电后默认）**
- **内部低速时钟（LSI）**

系统时钟配置步骤：

- **使能需要的系统时钟源（HSI，LSI），每个时钟使能方式不同，具体方式请查看（HSI，LSI 章节）；**
- **等待被选择的时钟源 RDY 信号被置位为 1，表示系统时钟源稳定（当目标时钟源稳定后，系统时钟才可以切换）；**
- **通过配置时钟配置寄存器（RCC_CFGR）的 SW 位来选择系统时钟；**
- **通过读取时钟配置寄存器（RCC_CFGR）的 SWS 位，判断当前系统时钟的时钟源。**

注意：

- **在选用 LSI 作为系统时钟时，如需进入 STOP 模式，则需要在进入 STOP 模式之前配置 RCC_CFGR.HPRE 为 8 分频。系统在唤醒之后会自动切换 HSI 作为系统时钟**

4.2.4.5 外设复位

可以通过 APB1 外设复位寄存器（RCC_APB1RSTR）和 AHB 外设复位寄存器（RCC_AHBRSTR）来实现相应外设的软件复位。

4.2.4.6 微控制器时钟输出(MCO)

微控制器时钟输出（MCO）允许时钟输出到外部 MCO 引脚上。相应 GPIO 端口的配置寄存器必须被配置为复用输出功能。可以选择以下五个时钟信号中的一个作为 MCO 输出时钟：

表 4.2 MCO 与时钟源对应关系

时钟配置寄存器（RCC_CFGR）的 MCO 位	时钟源
00x	没有时钟输出
010	LSI
100	SYSCLK/8
110	HSID8

4.2.4.7 独立看门狗时钟

硬件启动独立看门狗，LSI 振荡器将被自动开启，并且不能被关闭；

软件启动独立看门狗，则 LSI 振荡器需通过软件使能开启，在 LSI 振荡器稳定输出后，时钟供应给 IWDG，LSI 可以被软件关闭。

4.3 寄存器

4.3.1 寄存器概览

表 4.3 RCC 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	RCC_CR	RCC 控制寄存器	0x0000_0001
0x04	RCC_CFGR	RCC 配置寄存器	0x0000_00A0
0x08	RCC_CIR	RCC 时钟中断寄存器	0x0000_0000
0x10	RCC_AHBRSTR	RCC AHB 外设复位寄存器	0x0000_0000
0x18	RCC_APB1RSTR	RCC APB1 外设复位寄存器	0x0000_0000
0x20	RCC_AHBENR	RCC AHB 外设时钟使能寄存器	0x0000_0014
0x28	RCC_APB1ENR	RCC APB1 外设时钟使能寄存器	0x8800_0000
0x38	RCC_CSR	RCC 控制状态寄存器	0x0800_0000

4.3.2 RCC_CR 时钟控制寄存器

地址偏移: 0x00
复位值: 0x0000 0001
访问：无等待状态，字，半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.														HSIRDY	HSION
														r	rw

位	字段	描述
31:2	Reserved	保留,必须保持复位值
1	HSIRDY	内部高速时钟稳定标志 由硬件置“1”，表示内部时钟已经稳定。 在 HSION 位被清除后，HSIRDY 在 3 个 AHB 时钟周期后变“0”。 0：内部高速时钟未稳定 1：内部高速时钟已稳定
0	HSION	内部高速时钟使能 通过软件置“1”或清“0”。 当退出停机模式时，此位由硬件置“1”，来迫使内部振荡器使能。当系统时钟已经或将要使用 HSI 作为时钟源时，则禁止重置此位。 0：禁止内部高速时钟 1：使能内部高速时钟

4.3.3 RCC_CFGR 时钟配置寄存器

地址偏移: 0x04
复位值: 0x0000 00A0
访问：无等待状态，字，半字和字节访问
只有当访问发生在时钟切换时，才会插入 1 或 2 个等待周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.					MCO			Res.							
					rw										
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.					PPRE1			HPRE				SWS		SW	
					rw			rw				r		rw	

位	字段	描述
31:27	Reserved	保留,必须保持复位值
26:24	MCO	微控制器时钟输出 由软件置“1”或清“0” 010：LSI 时钟输出 100：SYSCLK 时钟 8 分频输出 110：HSI 时钟 8 分频输出 其他：没有时钟输出 注意： 该时钟输出在启动和切换 MCO 时钟源时可能会被停止。 系统时钟通过 MCO 管脚输出时，请保证输出时钟频率不超过 50MHz。
23:11	Reserved	保留,必须保持复位值

10:8	PPRE1	PPRE1：APB1 预分频系数 通过软件设置来控制 APB1 时钟（PCLK1）预分频系数。 0xx：HCLK 不分频 100：HCLK 2 分频 101：HCLK 4 分频 110：HCLK 8 分频 111：HCLK 16 分频
7:4	HPRE	AHB 预分频系数 通过软件设置来控制 AHB 时钟的预分频系数。 0xxx：SYSCLK 不分频 1000：SYSCLK 2 分频 1001：SYSCLK 4 分频 1010：SYSCLK 8 分频 1011：SYSCLK 16 分频 注： 当 AHB 时钟的预分频系数大于 1 时，必须开启预取缓冲器，详见 Flash 访问控制寄存器章节。
3:2	SWS	系统时钟选择状态 00：选择 HSI 输出用作系统时钟 11：选择 LSI 输出用作系统时钟
1:0	SW	系统时钟选择 通过软件配置来选择系统时钟源 当从停止模式中返回时，硬件会强制选择 HSI 作为系统时钟。 00：选择 HSI 输出用作系统时钟 11：选择 LSI 输出用作系统时钟

4.3.4 RCC_CIR 时钟中断寄存器

地址偏移: 0x08
复位值: 0x0000 0000
访问：无等待周期，字，半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.													HSIRDYC w1c	Res.	LSIRDYC w1c
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.					HSIRDYIE rw	Res.	LSIRDYIE rw	Res.					HSIRDYF r	Res.	LSIRDYF r

位	字段	描述
31:19	Reserved	保留,必须保持复位值
18	HSIRDYC	清除 HSI 稳定中断 通过软件置“1”来清除 HSI 稳定中断标志位 HSIRDYF。 0：无效 1：清除 HSI 稳定中断标志位 HSIRDYF
17	Reserved	保留,必须保持复位值
16	LSIRDYC	清除 LSI 稳定中断 通过软件置“1”来清除 LSI 稳定中断标志位 LSIRDYF。 0：无效 1：清除 LSI 稳定中断标志位 LSIRDYF
15:11	Reserved	保留,必须保持复位值
10	HSIRDYIE	HSI 稳定中断使能 通过软件置“1”来使能或清“0”来禁止内部振荡器稳定中断。 0：禁止 HSI 稳定中断 1：使能 HSI 稳定中断
9	Reserved	保留,必须保持复位值
8	LSIRDYIE	LSI 稳定中断使能 通过软件置“1”来使能或清“0”来禁止内部 40KHz 振荡器稳定中断。 0：禁止 LSI 稳定中断 1：使能 LSI 稳定中断
7:3	Reserved	保留,必须保持复位值

2	HSIRDYF	HSI 稳定中断标志 在内部高速时钟稳定时，由硬件置“1”。 通过软件将 HSIRDYC 位置“1”来清除。 0：无内部 HSI 振荡器产生的时钟稳定中断 1：内部 HSI 振荡器导致时钟稳定中断
1	Reserved	保留,必须保持复位值
0	LSIRDYF	LSI 稳定中断标志 在内部低速时钟稳定时，由硬件置“1”。通过软件将 LSIRDYC 位置“1”来清除。 0：无内部 40KHz 振荡器产生的时钟稳定中断 1：内部 40KHz 振荡器导致时钟稳定中断

4.3.5 RCC_AHBRSTR AHB 外设复位寄存器

地址偏移: 0x10
复位值: 0x0000 0000
访问：无等待状态，字，半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.					HWDIV	Res.							GPIOB	GPIOA	Res.
					rw								rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.															DMA
															rw

位	字段	描述
31:27	Reserved	保留,必须保持复位值
26	DIVIDER	除法器复位 由软件置“1”或清“0” 0：无效 1：复位
25:19	Reserved	保留,必须保持复位值
18	GPIOB	GPIOB 复位 由软件置“1”或清“0” 0：无效 1：复位
17	GPIOA	GPIOA 复位 由软件置“1”或清“0” 0：无效 1：复位
16:1	Reserved	保留,必须保持复位值
0	DMA	DMA 复位 由软件置“1”或清“0”。 0：无效 1：复位

4.3.6 RCC_APB1RSTR APB1 外设复位寄存器

地址偏移: 0x18
复位值: 0x0000 0000
访问：无等待状态，字，半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	SYSCFG	DBG	PWR	Res.	OPA2	OPA1	Res.	COMP.	Res.						USART1
	rw	rw	rw		rw	rw		rw							rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.		ADC1	Res.			TIM14	TIM13	Res.		TIM6	Res.			TIM2	TIM1
		rw				rw	rw			rw				rw	rw

位	字段	描述
31	Reserved	保留,必须保持复位值
30	SYSCFG	SYSCFG 复位 由软件置“1”或清“0” 0：无效 1：复位
29	DBG	DBG 复位 由软件置“1”或清“0” 0：无效 1：复位
28	PWR	PWR 复位 由软件置“1”或清“0” 0：无效 1：复位
27	Reserved	保留,必须保持复位值
26	OPA2	OPA2 复位 由软件置“1”或清“0” 0：无效 1：复位
25	OPA1	OPA1 复位 由软件置“1”或清“0” 0：无效 1：复位
24	Reserved	保留,必须保持复位值
23	COMP	COMP 复位 由软件置“1”或清“0” 0：无效 1：复位
22:17	Reserved	保留,必须保持复位值
16	USART1	USART1 复位 由软件置“1”或清“0” 0：无效 1：复位
15:14	Reserved	保留,必须保持复位值
13	ADC1	ADC1 复位 由软件置“1”或清“0” 0：无效 1：复位
12:10	Reserved	保留,必须保持复位值.
9	TIM14	TIM14 定时器复位 由软件置“1”或清“0” 0：无效 1：复位
8	TIM13	TIM13 定时器复位 由软件置“1”或清“0” 0：无效 1：复位
7:6	Reserved	保留,必须保持复位值
5	TIM6	TIM6 定时器复位 由软件置“1”或清“0” 0：无效 1：复位
4:2	Reserved	保留,必须保持复位值
1	TIM2	TIM2 定时器复位 由软件置“1”或清“0” 0：无效 1：复位
0	TIM1	TIM1 定时器复位 由软件置“1”或清“0” 0：无效 1：复位

4.3.7 RCC_AHBENR AHB 外设时钟使能寄存器

地址偏移: 0x20
复位值: 0x0000 0014
访问：无等待状态，字，半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.					HWDIV	Res.							GPIOB	GPIOA	Res.
					rw								rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.											FLASH	Res.	SRAM	Res.	DMA
											rw		rw		rw

位	字段	描述
31:27	Reserved	保留,必须保持复位值
26	HWDIV	HWDIV 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
25:19	Reserved	保留,必须保持复位值
18	GPIOB	GPIOB 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
17	GPIOA	GPIOA 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
16:5	Reserved	保留,必须保持复位值
4	Flash	FLASH 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
3	Reserved	保留,必须保持复位值
2	SRAM	SRAM 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
1	Reserved	保留,必须保持复位值
0	DMA	DMA 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启

4.3.8 RCC_APB1ENR APB1 外设时钟使能寄存器

地址偏移: 0x28
复位值: 0x8800 0000
访问：无等待状态，字，半字和字节访问
注：当外设时钟关闭时，软件不能读出外设寄存器的数值

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EXTI	SYSCFG	DBG	PWR	IWDG	OPA2	OPA1	Res.	COMP.	Res.						USART1
rw	rw	rw	rw	rw	rw	rw		rw							rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.		ADC1	Res.			TIM14	TIM13	Res.		TIM6	Res.			TIM2	TIM1
		rw				rw	rw			rw				rw	rw

位	字段	描述
31	EXTI	EXTI 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
30	SYSCFG	SYSCFG 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
29	DBG	DBG 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
28	PWR	Power 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
27	IWDG	IWDG 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
26	OPA2	OPA2 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
25	OPA1	OPA1 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
24	Reserved	保留,必须保持复位值
23	COMP	COMP 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
22:17	Reserved	保留,必须保持复位值
16	USART1	USART1 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
15:14	Reserved	保留,必须保持复位值
13	ADC1	ADC1 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
12:10	Reserved	保留,必须保持复位值.
9	TIM14	TIM14 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
8	TIM13	TIM13 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
7:6	Reserved	保留,必须保持复位值
5	TIM6	TIM6 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
4:2	Reserved	保留,必须保持复位值

位	字段	描述
1	TIM2	TIM2 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启
0	TIM1	TIM1 时钟使能 由软件置“1”或清“0” 0：时钟关闭 1：时钟开启

4.3.9 RCC_CSR 控制状态寄存器

地址偏移: 0x38
复位值: 0x0800 0000
访问：0-3 等待周期，字，半字和字节访问
当连续对该寄存器进行访问时，将插入等待状态。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPWRRSTF	Res.	IWDGRSTF	SFTRSTF	PORRSTF	PINRSTF	Res.	RMVF	LOCKUPF	PVDRSTF	Res.					
r		r	r	r	r		w1c	r	r						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.								LOCKUPEN	PVDRSTEN	Res.				LSIRDY	LSION
								rw	rw					r	rw

位	字段	描述
31	LPWRRSTF	低功耗复位标志 在低功耗复位发生时由硬件置“1”，且只能由电源复位清除或由软件通过写 RMVF 位清除。 0：无低功耗复位 1：发生低功耗复位
30	Reserved	保留,必须保持复位值
29	IWDGRSTF	独立看门狗复位标志 在独立看门狗复位发生时由硬件置“1”，且只能由电源复位清除或由软件通过写 RMVF 位清除。 0：无独立看门狗复位发生 1：发生独立看门狗复位
28	SFTRSTF	软件复位标志 在软件复位发生时由硬件置“1”，且只能由电源复位清除或由软件通过写 RMVF 位清除。 0：无软件复位发生 1：发生软件复位
27	PORRSTF	上电(POR)/掉电(PDR)复位标志 在上电/掉电复位发生时由硬件置“1”，且只能由电源复位清除或由软件通过写 RMVF 位清除。 0：无上电/掉电复位发生 1：发生上电/掉电复位
26	PINRSTF	NRST 管脚复位标志 在 NRST 管脚复位发生时由硬件置“1”，且只能由电源复位清除或由软件通过写 RMVF 位清除。 0：无 NRST 管脚复位发生 1：发生 NRST 管脚复位
25	Reserved	保留,必须保持复位值
24	RMVF	清除复位标志 由软件置“1”来清除复位标志。 0：无效 1：清除复位标志
23	LOCKUPF	CPU 死锁复位标志 在 CPU 死锁复位发生时由硬件置“1”，且只能由电源复位清除或由软件通过写 RMVF 位清除。 0：无 CPU 死锁复位发生 1：发生 CPU 死锁复位

位	字段	描述
22	PVDRSTF	PVD 复位标志 在 PVD 复位发生时由硬件置“1”，且只能由电源复位清除或由软件通过写 RMVF 位清除。 0：无 PVD 复位发生 1：发生 PVD 复位
21:8	Reserved	保留,必须保持复位值
7	LOCKUPEN	CPU 死锁复位使能 0：禁止 CPU 死锁复位 1：使能 CPU 死锁复位
6	PVDRSTEN	PVD 复位使能 0：禁止 PVD 产生复位 1：使能 PVD 产生复位
5:2	Reserved	保留,必须保持复位值
1	LSIRDY	内部低速时钟稳定标志 由硬件置“1”或清“0”来指示内部 40KHz 振荡器是否稳定。 在 LSION 清“0”后，3 个 AHB 时钟后 LSIRDY 被清“0”。 0：内部 40KHz 振荡器时钟未稳定 1：内部 40KHz 振荡器时钟稳定
0	LSION	内部低速振荡器使能 通过软件置“1”或清“0”，或由电源复位清除。 0：禁止内部 40KHz 振荡器 1：使能内部 40KHz 振荡器

5 SYSCFG 系统控制器

5.1 简介

该芯片具有一组系统配置寄存器。这些寄存器的主要功能如下：

- 管理连接到 GPIO 口的外部中断（引脚配置）
- 重映射存储器到代码起始区域
- 部分外设的系统级配置

5.2 寄存器

5.2.1 寄存器概览

表 5.1 SYSCFG 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	SYSCFG_CFGR	SYSCFG 配置寄存器	0x0000000X
0x08	SYSCFG_EXTICR1	SYSCFG 外部中断配置寄存器 1	0x00000000
0x0C	SYSCFG_EXTICR2	SYSCFG 外部中断配置寄存器 2	0x00000000
0x10	SYSCFG_EXTICR3	SYSCFG 外部中断配置寄存器 3	0x00000000
0x14	SYSCFG_EXTICR4	SYSCFG 外部中断配置寄存器 4	0x00000000

5.2.2 SYSCFG_CFGR 配置寄存器

该寄存器具有 3 位控制位 MEM_MODE，可以用来配置不同存储器到起始地址 0x00000000 的映射。软件配置这 3 个控制位可用来屏蔽 BOOT 的选择。复位后，此控制位值由实际的 BOOT PIN 配置决定。

偏移地址: 0x00

复位值: 0x0000 000X

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.					USART1_RX_DMA_RMP	USART1_TX_DMA_RMP	ADC1_DMA_RMP	Res.					MEM_MODE		
					rw	rw	rw						rw		

位	字段	描述
31:11	Reserved	保留，必须保持复位值
10	USART1_RX_DMA_RMP	USART1 RX DMA 重映射 0:UART1 RX DMA 功能映射到 DMA 通道 2 1:UART1 RX DMA 功能映射到 DMA 通道 1
9	USART1_TX_DMA_RMP	USART1 TX DMA 重映射 0:UART1 TX DMA 功能映射到 DMA 通道 1 1:UART1 TX DMA 功能映射到 DMA 通道 2
8	ADC1_DMA_RMP	ADC1 DMA 重映射 0: ADC1 DMA 功能映射到 DMA 通道 1 1: ADC1 DMA 功能映射到 DMA 通道 2
7:3	Reserved	保留，必须保持复位值
2:0	MEM_MODE	存储器选择位 控制存储器内部映射到地址 0x0000 0000。 由软件设置和清除这些位。当复位后这些位值由 BOOT0 的引脚配置值和 BOOTSEL/nBOOT1/nBOOT0 位的值决定。 0x0：主 Flash 存储器映射到 0x0000 0000 001：系统 Flash 映射到 0x0000 0000 011：嵌入式 RAM 映射到 0x0000 0000 1x1：IAP/Data 存储器映射到 0x0000 0000 其它：保留，主 Flash 存储器映射到 0x0000 0000

5.2.3 SYSCFG_EXTICR1 外部中断配置寄存器 1

偏移地址: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI3				EXTI2				EXTI1				EXTI0			
rw				rw				rw				rw			

位	字段	描述
31:16	Reserved	保留，必须保持复位值
15:0	EXTIx	EXTIx 配置（x=0 …3） 选择 EXTIx 外部中断的输入源。 0000: PA[x]引脚 0001: PB[x]引脚

5.2.4 SYSCFG_EXTICR2 外部中断配置寄存器 2

偏移地址: 0x0C
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI7				EXTI6				EXTI5				EXTI4			
rw				rw				rw				rw			

位	字段	描述
31:16	Reserved	保留，必须保持复位值
15:0	EXTIx	EXTIx 配置（x=4…7） 选择 EXTIx 外部中断的输入源。 0000: PA[x]引脚 0001: PB[x]引脚

5.2.5 SYSCFG_EXTICR3 外部中断配置寄存器 3

偏移地址: 0x10
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI11				EXTI10				EXTI9				EXTI8			
rw				rw				rw				rw			

位	字段	描述
31:16	Reserved	保留，必须保持复位值
15:0	EXTIx	EXTIx 配置（x=8…11） 选择 EXTIx 外部中断的输入源。 0000: PA[x]引脚 0001: PB[x]引脚

5.2.6 SYSCFG_EXTICR4 外部中断配置寄存器 4

偏移地址: 0x014
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI15				EXTI14				EXTI13				EXTI12			
rw				rw				rw				rw			

位	字段	描述
31:16	Reserved	保留，必须保持复位值
15:0	EXTIx	EXTIx 配置（x=12…15） 选择 EXTIx 外部中断的输入源。 0000: PA[x]引脚 0001: PB[x]引脚

6 HWDIV 硬件除法器

6.1 简介

硬件除法器能自动执行有符号或者无符号的 32 位整数除法运算。

6.2 主要特征

- **32 位除数和被除数，输出 32 位的商和余数**
- **8 个 HCLK 周期完成一次除法运算**
- **如果除数为零，会产生溢出中断标志位**
- **写除数寄存器自动执行除法运算**
- **读商和余数寄存器时硬件自动等待运算结束**
- **有符号或者无符号整数除法运算**
-

6.3 功能描述

硬件除法单元包括 4 个 32 位数据寄存器，分别为被除数，除数，商和余数，可以做有符号或者无符号的 32 位除法运算。通过硬件除法控制寄存器 HWDIV_CR 的 USIGN 位可以选择是有符号除法还是无符号除法。

每次写除数寄存器，会自动触发除法运算，在运算结束后，结果会写入到商和余数寄存器里。如果在运算结束前读商寄存器、余数寄存器或者状态寄存器，读操作会保持，直到当前运算结束才返回运算结 果。如果除数为零，会产生溢出中断标志位。

每次必须先初始化除数与被除数寄存器，才能读取商、余数、状态寄存器的值。

6.4 寄存器

6.4.1 寄存器概览

表 6.1 HWDIV 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	HWDIV_DVDR	被除数寄存器	0x00000000
0x04	HWDIV_DVSR	除数寄存器	0x00000001
0x08	HWDIV_QUOTR	商寄存器	0x00000000
0x0C	HWDIV_RMDR	余数寄存器	0x00000000
0x10	HWDIV_SR	状态寄存器	0x00000000
0x14	HWDIV_CR	控制寄存器	0x00000001

6.4.2 HWDIV_DVDR 被除数寄存器

地址偏移: 0x00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DIVIDEND															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIVIDEND															
rw															

位	字段	描述
31:0	DIVIDEND	被除数数据

6.4.3 HWDIV_DVSR 除数寄存器

地址偏移: 0x04

复位值: 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DIVISOR															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIVISOR															

rw

位	字段	描述
31:0	DIVISOR	每次写除数寄存器(除数数据)，自动触发除法运算。

6.4.4 HWDIV_QUOTR 商寄存器

地址偏移: 0x08
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
QUOTIENT															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
QUOTIENT															
r															

位	字段	描述
31:0	QUOTIENT	商

6.4.5 HWDIV_RMDR 余数寄存器

地址偏移: 0x0C
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REMAINDER															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REMAINDER															
r															

位	字段	描述
31:0	REMAINDER	余数

6.4.6 HWDIV_SR 状态寄存器

地址偏移: 0x10
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.															OVF
															r

位	字段	描述
31:0	Reserved	保留,始终读为 0
0	OVF	溢出状态标志位在下次除法操作前由软件写 1 清除 1：当前操作除数为零。 0：当前操作除数不为零。

6.4.7 HWDIV_CR 控制寄存器

地址偏移: 0x14
复位值: 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.														OVFE	USIGN

	rw	rw

位	字段	描述
31:2	Reserved	保留,始终读为 0
1	OVFE	除零溢出中断使能 1：除零溢出中断使能 0：除零溢出中断不使能
0	USIGN	无符号除法使能 1：无符号除法 0：有符号除法

7 EXTI 中断和事件

7.1 简介

嵌套向量中断控制器（NVIC）连接处理器核，管理低延迟的异常和中断处理。NVIC 内部包含 2 位的中断优先级配置位，从而可提供 4 个中断优先级等级，其它更多的异常与 NVIC 编程的细节请参考 Cortex-Mx 技术参考手册。

EXTI 模块包括边沿检测电路，能够产生中断请求或者唤醒事件，边沿检测支持上升沿、下降沿、任意边沿配置。每一个边沿检测电路支持独立的使能与屏蔽。

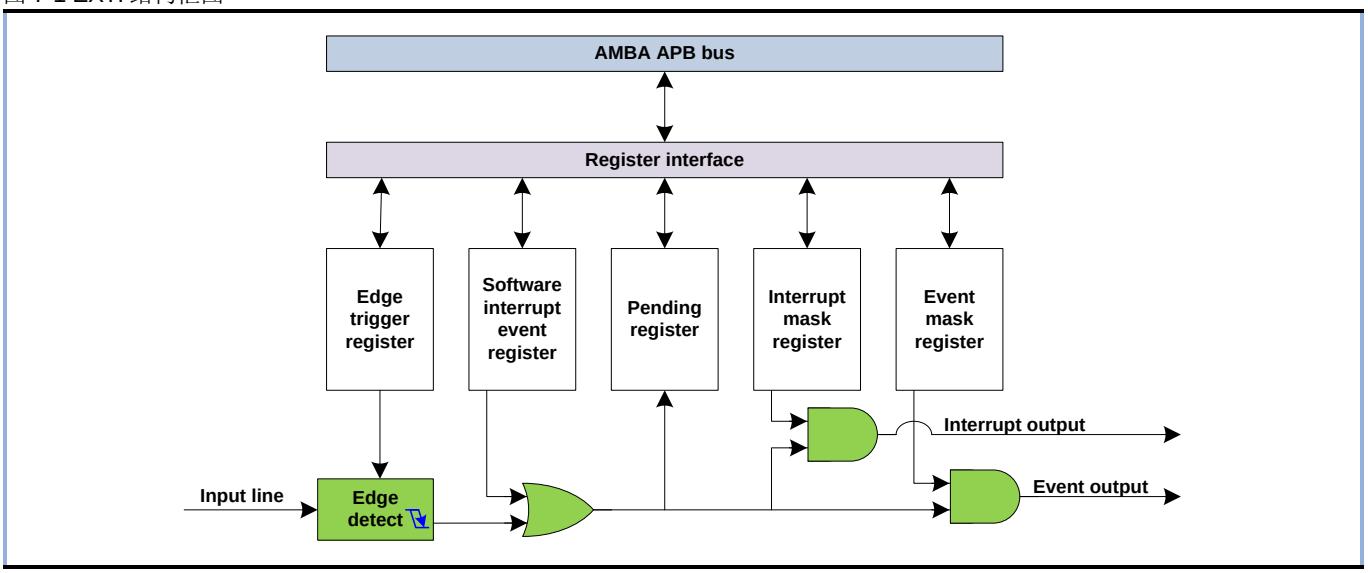
7.2 主要特征

- 独立触发与屏蔽每个中断
- 软件配置中断/事件输出
- 产生唤醒事件唤醒低功耗模式
- 挂起寄存器保存对应每条中断线的状态
- 所有 GPIO 支持配置为 EXTI 的触发源
- 支持上升沿触发，下降沿触发和任意边沿触发

7.3 功能描述

7.3.1 功能框图

图 7-1 EXTI 结构框图



7.3.2 中断和异常向量

在 Handler 模式下，Cortex-Mx 处理器与内嵌中断向量控制（NVIC）对所有的异常进行优先级区分处理。当异常发生时，系统会将当前处理的工作压栈，执行完中断服务程序后出栈。取向量与当前工作的压栈并行进行的，提高了中断的效率，下表分别列出了异常类型与中断向量。

表 7.1 异常向量

位置	优先级	优先级类型	名称	说明	地址
				保留	0x0000 0000
	-3	固定	复位	复位	0x0000 0004
	-2	固定	NMI	不可屏蔽中断	0x0000 0008
	-1	固定	硬件失效	所有类型的失效	0x0000 000C

表 7.2 中断向量

位置	优先级	优先级类型	名称	说明	地址
	3	可设置	SVCall	通过 SWI 指令的系统服务调用	0x0000 002C
				保留	0x0000 0030
				保留	0x0000 0034
	6	可设置	PendSV	可挂起的系统服务	0x0000 0038
	7	可设置	SysTick	系统嘀嗒定时器	0x0000 003C
0	8	可设置	IWDG	通过 SWI 指令的系统服务调用	0x0000_0040

位置	优先级	优先级类型	名称	说明	地址
1	9	可设置	PVD	保留	0x0000_0044
2	10	可设置	Reserved	保留	0x0000_0048
3	11	可设置	FLASH	可挂起的系统服务	0x0000_004C
4	12	可设置	RCC	系统嘀嗒定时器	0x0000_0050
5	13	可设置	EXTI0_1	连到 EXTI 24 的独立看门狗中断	0x0000_0054
6	14	可设置	EXTI2_3	连到 EXTI 16 的电源电压检测(PVD)中断	0x0000_0058
7	15	可设置	EXTI4_15	保留	0x0000_005C
8	16	可设置	HWDIV	闪存全局中断	0x0000_0060
9	17	可设置	DMA channel1	RCC 全局中断	0x0000_0064
10	18	可设置	DMA channel2	EXTI 线[1:0]中断	0x0000_0068
11	19	可设置	Reserved	EXTI 线[3:2]中断	0x0000_006C
12	20	可设置	ADC	EXTI 线[15:4]中断	0x0000_0070
13	21	可设置	TIM1_BRK_UP_TRG_COM	Hard_Divider 中断	0x0000_0074
14	22	可设置	TIM1_CC	DMA 通道 1 全局中断	0x0000_0078
15	23	可设置	TIM2	DMA 通道 2 全局中断	0x0000_007C
16	24	可设置	TIM6	保留	0x0000_0080
17	25	可设置	Reserved	ADC 全局中断	0x0000_0084
18	26	可设置	Reserved	TIM1 刹车、更新、触发、COM 中断	0x0000_0088
19	27	可设置	Reserved	TIM1 捕捉比较中断	0x0000_008C
20	28	可设置	TIM13	TIM2 全局中断	0x0000_0090
21	29	可设置	TIM14	TIM6 全局中断	0x0000_0094
22	30	可设置	Reserved	保留	0x0000_0098
23	31	可设置	Reserved	保留	0x0000_009C
24	32	可设置	COMP1/2	连到 EXTI19/20 的比较器 1/2 输出	0x0000_00A0
25	33	可设置	Reserved	保留	0x0000_00A4
26	34	可设置	Reserved	保留	0x0000_00A8
27	35	可设置	USART1	USART1 全局中断	0x0000_00AC
28	36	可设置	Reserved	保留	0x0000_00B0
29	37	可设置	Reserved	保留	0x0000_00B4
30	38	可设置	Reserved	保留	0x0000_00B8
31	39	可设置	Reserved	保留	0x0000_00BC

7.3.3 唤醒事件管理

EXTI 模块支持产生中断或者事件用于将系统从低功耗模式下唤醒，用户执行 WFE 指令进入相应的低功耗模式后，可以通过配置 EXTI 线产生事件输出唤醒系统，用户执行 WFI 进入低功耗模式后，可以通过配置 EXTI 线产生中断输出唤醒系统，具体详细配置参考电源控制章节。

7.3.4 中断功能描述

要使能中断功能，产生中断，首先配置边沿检测触发寄存器为需要的触发类型，打开相应的中断屏蔽寄存器对应的位允许中断请求。在对应的外部中断线检测到配置的触发条件时，产生一个中断请求，挂起寄存器对应位置 1，通过对挂起寄存器对应的位写 1，将清除中断。

配置产生事件，首先配置边沿检测触发寄存器为需要的触发类型，打开相应的事件屏蔽寄存器对应的位允许事件请求。在对应的外部中断线检测到配置的触发条件时，产生一个事件请求。

7.3.5 硬件中断输出

配置硬件中断源的具体步骤如下：

- **打开对应中断线的屏蔽位（EXTI_IMR），使能中断。**
- **配置对应中断线的触发寄存器位（EXTI_RTSR/EXTI_FTSR）。**
- **打开对应连接到 NVIC 的中断通道，使得中断请求能够传递到 CPU，被正确的响应。**

当配置 EXTIx（x=31~0）线产生中断输出后，EXTI_PR 寄存器的对应位会置 1，需要清除 EXTI_PR 寄存器的对应挂起位才能再次检测 EXTIx（x=31~0）线的翻转并产生中断。

清除 EXTI_PR 寄存器挂起位有以下三种方式：

- **EXTI_PR 寄存器的挂起位写 1。**
- **当配置上升沿触发选择寄存器（EXTI_RTSR）时，将 0 写入相应的位将清除挂起位。当配置下降沿触发选择寄存器（EXTI_FTSR）时，在相应的位上写 0 将清除挂起位。**
- **通过改变 EXTI 线的边沿检测极性清除。**

7.3.6 硬件事件输出

配置硬件事件源的具体步骤如下：

- **打开对应事件线的屏蔽位（EXTI_EMR）。**
- **配置对应事件线的触发寄存器位（EXTI_RTSR/EXTI_FTSR）。**

7.3.7 软件中断和事件输出

支持通过软件的方式配置产生中断与事件，具体步骤如下：

- **使能事件或中断使能位(EXTI_IMR, EXTI_EMR)**
- **配置软件中断事件寄存器对应位为 1(EXTI_SWIER)**

7.3.8 外部中断映射

所有的 GPIO 均可用做 EXTI 的触发源，用于产生中断或事件请求，通过配置 SYSCFG_EXTICRx 寄存器，同时支持内部模块（包括 PVD、RTC、USB、比较器、IWDG）触发。

具体存在的连接关系如下表所示：

表 7.3 EXTI 触发源

外部中断线	IO 映射	控制位
EXTI0	PA0;PB0	SYSCFG_EXTICR1 寄存器的 EXTI0
EXTI1	PA1;PB1	SYSCFG_EXTICR1 寄存器的 EXTI1
EXTI2	PA2;PB2	SYSCFG_EXTICR1 寄存器的 EXTI2
EXTI3	PA3;PB3	SYSCFG_EXTICR1 寄存器的 EXTI3
EXTI4	PA4;PB4	SYSCFG_EXTICR2 寄存器的 EXTI4
EXTI5	PA5;PB5	SYSCFG_EXTICR2 寄存器的 EXTI5
EXTI6	PA6;PB6	SYSCFG_EXTICR2 寄存器的 EXTI6
EXTI7	PA7;PB7	SYSCFG_EXTICR2 寄存器的 EXTI7
EXTI8	PA8;PB8	SYSCFG_EXTICR3 寄存器的 EXTI8
EXTI9	PA9;PB9	SYSCFG_EXTICR3 寄存器的 EXTI9
EXTI10	PA10	SYSCFG_EXTICR3 寄存器的 EXTI10
EXTI11	PA11	SYSCFG_EXTICR3 寄存器的 EXTI11
EXTI12	PA12	SYSCFG_EXTICR4 寄存器的 EXTI12
EXTI13	PA13	SYSCFG_EXTICR4 寄存器的 EXTI13
EXTI14	PA14	SYSCFG_EXTICR4 寄存器的 EXTI14
EXTI15	PA15	SYSCFG_EXTICR4 寄存器的 EXTI15

其他的外部中断/事件控制器的连接如下：

- **EXTI16 连接到 PVD 输出**
- **EXTI19 连接到比较器 1 输出**
- **EXTI20 连接到比较器 2 输出**
- **EXTI24 连接到 IWDG 中断**

7.4 寄存器

7.4.1 寄存器概览

表 7.4 EXTI 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	EXTI_IMR	中断屏蔽寄存器	0x00000000
0x04	EXTI_EMR	事件屏蔽寄存器	0x00000000
0x08	EXTI_RTSR	上升沿触发选择寄存器	0x00000000
0x0C	EXTI_FTSR	下降沿触发选择寄存器	0x00000000
0x10	EXTI_SWIER	软件中断事件寄存器	0x00000000

Offset	Acronym	Register Name	Reset
0x14	EXTI_PR	挂起寄存器	0x00000000

7.4.2 EXTI_IMR 中断屏蔽寄存器

地址偏移: 0x0
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.							IMRx(x=24~16)								
							rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMRx(x=15~0)															
rw															

位	字段	描述
31:25	Reserved	保留,必须保持复位值.
24:0	IMRx	线 x 中断使能位 1：配置该位为 1，使能线 x 对应的中断 0：配置该位为 0，禁止线 x 对应的中断

7.4.3 EXTI_EMR 事件屏蔽寄存器

地址偏移: 0x04
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.							EMRx(x=24~16)								
							rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EMRx(x=15~0)															
rw															

位	字段	描述
31:25	Reserved	保留,必须保持复位值.
24:0	EMRx	线 x 事件使能位 1：配置该位为 1，使能线 x 对应的事件 0：配置该位为 0，禁止线 x 对应的事件

7.4.4 EXTI_RTSR 上升沿触发选择寄存器

地址偏移: 0x08
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.							TRx(x=24~16)								
							rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRx(x=15~0)															
rw															

位	字段	描述
31:25	Reserved	保留,必须保持复位值.
24:0	TRx	线 x 对应中断或事件的触发极性 1：配置该位为 1，使能线 x 对应的上升沿触发中断或事件 0：配置该位为 0，禁止线 x 对应的上升沿触发中断或事件

7.4.5 EXTI_FTSR 下降沿触发选择寄存器

地址偏移: 0x0C
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.							TRx(x=24~16)								
							rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRx(x=15~0)															
rw															

位	字段	描述
31:25	Reserved	保留,必须保持复位值.
24:0	TRx	线 x 对应中断或事件的触发极性 1：配置该位为 1，使能线 x 对应的下降沿触发中断或事件 0：配置该位为 0，禁止线 x 对应的下降沿触发中断或事件

7.4.6 EXTI_SWIER 软件中断事件寄存器

地址偏移: 0x10
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.							SWIERx(x=24~16)								
							rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWIERx(x=15~0)															
rw															

位	字段	描述
31:25	Reserved	保留,必须保持复位值.
24:0	SWIERx	线 x 上的软件配置中断或事件使能 写 1 将设置 EXTI_PR 寄存器中相应的挂起位，同时配置 EXTI_IMR 或 EXTI_EMR 中对应位为 1，能够产生中断或事件。
		注：向 EXTI PR 寄存器的对应位写 1，可以清除该位

7.4.7 EXTI_PR 软件中断事件挂起寄存器

地址偏移: 0x14
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.							PRx(x=24~16)								
							rc_w1								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRx(x=15~0)															
rc_w1															

位	字段	描述
31:25	Reserved	保留,必须保持复位值.
24:0	PRx	线 x 触发挂起位 1：发生了选择的触发请求 0：没有发生触发请求 外部中断线上出现选择的边沿事件时，该位被置 1，写 1 清除该位，也可以通过改变边沿检测的极性清除。

8 DMA 直接存储器访问控制器

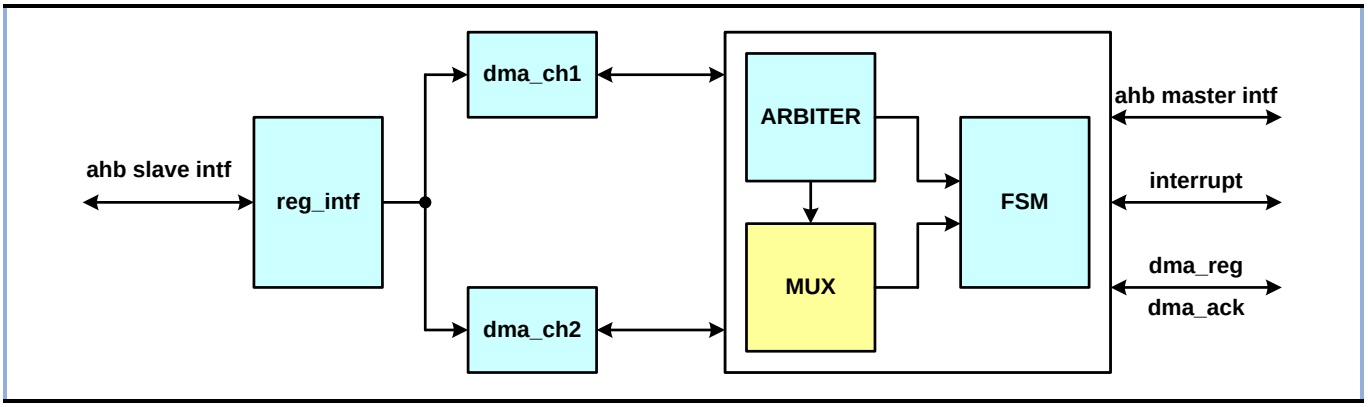
8.1 简介

DMA 控制器通过共享系统总线，实现无需 CPU 参与的快速自动数据传输。

DMA 控制器有 2 个通道，多个外设 DMA 请求发送到对应通道上处理。

8.2 DMA 功能框图

图 8-1 DMA 功能框图



8.3 主要特性

- 2 个独立的通道，可通过寄存器配置相关功能。
- 硬件发出的 DMA 请求与对应专用 DMA 通道直连。通过软件配置寄存器的方式也可以触发 DMA 通道请求。
- 可以通过软件的方式配置寄存器决定 2 个通道请求之间的处理优先级（共有四级：很高、高、中等和低），若优先级相同，则由硬件自动决定，处理顺序（低编号通道请求优先处理）。
- 数据源头与目的地的传输宽度可独立配置为字节、半字、全字。
- 按照数据源的宽度配置进行打包，并在目的地按照目的地的宽度配置进行拆包。要求源和目标地址必须根据各自配置的数据传输宽度对齐。
- 支持循环缓冲器控制。
- 每个通道支持 DMA 半传输， DMA 传输完成和 DMA 传输出错 3 种事件标志。各通道单独的中断请求由这 3 种事件标志逻辑或起来。
- 支持存储器对存储器传输。
- 支持数据传输方向为外设到存储器，存储器到外设。
- 数据访问的源和目标可以是：SRAM、APB1、APB2 和 AHB 总线上的外设。
- 数据的传输数量可以通过软件配置对应寄存器，最大值为 65535。

8.4 中断

DMA 半传输，DMA 传输完成和 DMA 传输出错为每个 DMA 通道都会产生的 3 种事件标志。各通道单独的中断请求由这 3 种事件标志逻辑或起来。

可以配置寄存器的对应位来使能这些中断，以满足程序的不同需求。

表 8.1 DMA 中断请求

中断事件	事件标志位	使能控制位
半传输	HTIF	HTIE
传输结束	TCIF	TCIE
传输出错	TEIF	TEIE

8.5 DMA

8.5.1 DMA 请求映射

来自外设的多个传输请求通过 DMAMAP 进入 DMA 控制器。为了避免冲突，在一个通道上一次只能启用一个外设 DMA 请求。有关详细信息，请参阅下图 DMA 请求映射。

外设传输请求应该通过在相应外设的控制寄存器中编程 DMA 使能位来独立地控制。

表 8.2 DMA 通道的 DMA 请求列表

外设	DMA 通道 1	DMA 通道 2
ADC	ADC(1)	ADC(2)
USART	USART_TX(1) USART_RX(2)	USART_RX(1) USART_TX(2)
TIM1	TIM1_CH2 TIM1_CH4 TIM1_TRIG TIM1_COM	TIM1_CH1 TIM1_CH3 TIM1_UP TIM1_CH5
TIM2	TIM2_CH3 TIM2_UP	TIM2_CH1 TIM2_CH2 TIM2_CH4
TIM6	-	TIM6_UP
TIM13	-	TIM13_CH1 TIM13_UP
TIM14	TIM14_CH1 TIM14_UP	-

注 1：如果 SYSCFG_CFGR 寄存器的对应映射位被复位，DMA 请求被映射在这个 DMA 通道。
注 2：如果 SYSCFG_CFGR 寄存器的对应映射位被置位，DMA 请求被映射在这个 DMA 通道。

8.6 功能描述

DMA 与 CPU 都是通过系统总线实现对存储器或外设数据的访问。当 CPU 和 DMA 访问冲突时，DMA 请求可能会占用系统总线，此时 CPU 只能等待 DMA 传输完成释放总线。为了防止总线一直被 DMA 占用导致 CPU 无法工作，总线仲裁器会执行相关的循环调度，以此保证 CPU 至少可以获得一半的系统总线控制权。

8.6.1 DMA 处理

外设产生一个相关事件后，会将 DMA 请求信号发送到 DMA 控制器对应通道。按照软件配置的 DMA 通道优先级，或者硬件默认规则，DMA 控制器依次处理这些请求。DMA 响应外设请求，通过总线访问外设的同时，DMA 控制器会发送给外设一个应答信号，告知外设本次请求已响应。外设得到 DMA 的应答信号后，会立即释放掉本次请求。DMA 侦测到外设请求消失后，对应的应答信号也会随之释放掉，本次 DMA 传输完成。

综上，每个 DMA 传送由 3 个操作组成：

- **加载源地址数据，地址由软件配置。**
- **存储数据到目的地址，地址由软件配置。**
- **执行一次 DMA 传输，计数器 DMA_CNDTRx 从配置的传输数量开始递减，表示剩余还有多少次**

每次传输的操作顺序如下所示:

- **开启 DMA 使能**
- **开启外设 DMA 请求**
- **当传输完成时关闭外设 DMA 请求**
- **重复步骤 1-3**

8.6.2 仲裁器

仲裁器决定 DMA 控制器优先解决哪个 DMA 请求。优先级分软硬件 2 种逻辑控制：

- **软件：4 个等级优先级，每个通道的优先级可在 DMA_CCRx 寄存器配置：**
  - 最高优先级
  - 高优先级
  - 中等优先级
  - 低优先级
- **硬件：优先处理软件优先级高的请求。如果请求具有相同的软件优先级级别，则默认情况下，数字较低的通道将比数字较高的通道优先获得优先级。**

8.6.3 DMA 通道

外设寄存器与存储器的固定地址通过 DMA 通道进行 DMA 传输。数据的传输数量可以通过软件配置对应寄存器，最大值为 65535。从配置的传输数量开始，每次传输后 DMA_CNDTRx 都会递减，指示剩余还需多少次 DMA 传输。

8.6.3.1 可编程数据宽度

配置 DMA_CCRx 寄存器中的 PSIZE 和 MSIZE 位，可以控制外设和存储器对应的传输数据宽度。

8.6.3.2 指针增量

配置 DMA_CCRx 寄存器中 PINC 和 MINC 标志位，外设与存储器的访问地址可以按照步长累加，不需要每次都去设置访问地址。

清零增量模式寄存器则每次 DMA 传输固定访问同一个地址。

配置为增量模式时，下一个要传输的地址将是前一个地址加上步长，步长取决与所选的数据宽度 1（8 位）、2（16 位）或 4（32 位）。首个传输的地址存放在 DMA_CPARx / DMA_CMARx 寄存器中。

通道配置为非循环模式，DMA_CNDTRx 递减为 0 后，不会继续进行 DMA 传输。

8.6.3.3 通道配置

以下为 DMA 通道 x 的配置流程（x 表示通道编号）：

- **操作 DMA_CPARx 寄存器，配置外设寄存器的地址。DMA 传输时该外设地址为源或目标地址取决于 DMA 传输方向。**
- **操作 DMA_CMARx 寄存器，配置数据存储器的地址。DMA 传输时需要从该存储器地址加载或者存储数据取决于 DMA 传输方向。**
- **操作 DMA_CNDTRx，配置 DMA 传输数量。DMA 传输完成一次，该值减 1，且在 DMA 传输期间该寄存器不可被软件写操作。**
- **操作 DMA_CCRx 寄存器的 PL[1:0] 位，配置通道的优先级。**
- **操作 DMA_CCRx 寄存器，配置数据传输方向、循环模式、外设和存储器的增量模式、外设和存储器的数据宽度、中断产生种类。**
- **操作 DMA_CCRx 寄存器的 ENABLE 位，使能这个通道。该通道使能后，就可以进行正常的 DMA 工作，响应外设请求，进行 DMA 传输。**

半传输标志（HTIF）被硬件置‘1’，表示当前 DMA 传输数量为配置传输数量的一半。若想产生中断， 则需使能半传输中断位（HTIE）。

传输完成标志（TCIF）被硬件置‘1’，表示当前 DMA 配置的传输数据已全部传输完毕。若想产生中断，则需使能传输完成中断位（TCIE）。

8.6.3.4 循环模式

如果需要循环读写缓冲区或者是进行连续的数据传输（如 ADC 的扫描模式），可以进入循环模式。置‘1’DMA_CCRx 寄存器中的 CIRC 位，使能循环模式。在循环模式下，DMA_CNDTRx 被递减为 0 时，会自动重新加载先前配置的数值，随后重新进行递减操作，DMA 会继续传输数据。

8.6.3.5 存储器到存储器模式

DMA 支持存储器到存储器的访问，不需要外设的参与。置‘1’DMA_CCRx 寄存器中的 MEM2MEM 位，同时置‘1’DMA_CCRx 寄存器中的通道使能位，即可开始 DMA 传输。若 DMA_CNDTRx 递减为 0，则 DMA 传输结束。

存储器到存储器的访问不支持循环模式。

8.6.4 可编程的数据传输宽度，对齐方式和数据大小端

当 PSIZE 和 MSIZE 不相同时，DMA 模块按照下表进行数据对齐。

源数据比特位对齐写入目标地址，

若目标数据传输宽度大于源数据传输宽度，则目标数据宽度多余位补 0 处理。

若目标数据传输宽度小于源数据传输宽度，则源数据宽度多余部分截断处理。

表 8.3 可配置的数据传输宽度和大小端操作（当 PINC = MINC = 1），传输数目为 4

组合类型	传输宽度		传输操作	
	源端	目标	源（地址 I 数据）	目标（地址 I 数据）
源端传输宽度等于目标传输宽度地址步长、数据宽度一致	8	8	READ B0[7:0] @0x0 READ B1[7:0] @0x1 READ B2[7:0] @0x2 READ B3[7:0] @0x3	WRITE B0[7:0] @0x0 WRITE B1[7:0] @0x1 WRITE B2[7:0] @0x2 WRITE B3[7:0] @0x3
	16	16	READ B1B0[15:0] @0x0 READ B3B2[15:0] @0x2 READ B5B4[15:0] @0x4 READ B7B6[15:0] @0x6	WRITE B1B0[15:0] @0x0 WRITE B3B2[15:0] @0x2 WRITE B5B4[15:0] @0x4 WRITE B7B6[15:0] @0x6
	32	32	READ B3B2B1B0[31:0] @0x0 READ B7B6B5B4[31:0] @0x4 READ BBBAB9B8[31:0] @0x8 READ BFBEBDBC[31:0] @0xC	WRITE B3B2B1B0[31:0] @0x0 WRITE B7B6B5B4[31:0] @0x4 WRITE BBBAB9B8[31:0] @0x8 Write BFBEBDBC[31:0] @0xC
源端传输宽度小于目标传输宽度	8	16	READ B0[7:0] @0x0 READ B1[7:0] @0x1 READ B2[7:0] @0x2	WRITE 00B0[15:0] @0x0 WRITE 00B1[15:0] @0x2 WRITE 00B2[15:0] @0x4

地址步长为传输宽度 ÷ 8 目标数据多余 位补 0			READ B3[7:0] @0x3	WRITE 00B3[15:0] @0x6
	8	32	READ B0[7:0] @0x0 READ B1[7:0] @0x1 READ B2[7:0] @0x2 READ B3[7:0] @0x3	WRITE 000000B0[31:0] @0x0 WRITE 000000B1[31:0] @0x4 WRITE 000000B2[31:0] @0x8 WRITE 000000B3[31:0] @0xC
	16	32	READ B1B0[15:0] @0x0 READ B3B2[15:0] @0x2 READ B5B4[15:0] @0x4 READ B7B6[15:0] @0x6	WRITE 0000B1B0[31:0] @0x0 WRITE 0000B3B2[31:0] @0x4 WRITE 0000B5B4[31:0] @0x8 WRITE 0000B7B6[31:0] @0xC
源端传输宽度大于目标传输宽度 地址步长为传输宽度 ÷ 8 目标数据不足位截断	16	8	READ B1B0[15:0] @0x0 READ B3B2[15:0] @0x2 READ B5B4[15:0] @0x4 READ B7B6[15:0] @0x6	WRITE B0[7:0] @0x0 WRITE B2[7:0] @0x1 WRITE B4[7:0] @0x2 WRITE B6[7:0] @0x3
	32	8	READ B3B2B1B0[31:0] @0x0 READ B7B6B5B4[31:0] @0x4 READ BBBAB9B8[31:0] @0x8 READ BFBEBDBC[31:0] @0xC	WRITE B0[7:0] @0x0 WRITE B4[7:0] @0x1 WRITE B8[7:0] @0x2 WRITE BC[7:0] @0x3
	32	16	READ B3B2B1B0[31:0] @0x0 READ B7B6B5B4[31:0] @0x4 READ BBBAB9B8[31:0] @0x8 READ BFBEBDBC[31:0] @0xC	WRITE B1B0[15:0] @0x0 WRITE B5B4[15:0] @0x2 WRITE B9B8[15:0] @0x4 WRITE BDBC[15:0] @0x6

8.6.4.1 寻址不支持字节或半字写操作的 AHB 外设

HSIZE 表示 AHB 总线传输中的数据宽度。如果目标设备不支持字节或半字操作，这意味着相应的从属设备没有配置为处理 HSIZE 的逻辑。目标设备统一认为用字（32 位）传输数据。

AHB 设备通常支持字（32 位）操作。当一些 AHB 设备不支持字节（8 位）或半字（16 位）写操作时，DMA 将它们扩展为字（32 位）操作。同时将相应的目的地址步长改为 4 对应 32 位，并将目的数据宽度配置为 32 位。

例如：将内存配置为数据源。数据宽度为 8 位，传输的数据为 0xDA。我们想把它转移到目标设备的地址 0x2。由于对应的从设备不支持 8 位/16 位操作，因此它将认为自己收到了 32 位的 0x0000_00DA，并将 32 位的 0x0000_00DA 写入地址 0x0（对于 32 位操作，地址单位为 0x4）。也就是说，地址 0x2 对应数据 0x00。

因此，有必要复制和扩展数据。0xDA 将被复制并扩展为 4 个 8 位数据，这些数据组合成一个 32 位数据 0xDADA_DADA。考虑目标地址 0x2，从服务器将接收 32 位的 0xDADA_DADA，然后将其写入地址 0x0。这样，目的地址 0x2 处的数据就是所需的 0xDA。

这种方法确实会写冗余的数据到目标寄存器上，但是可以保证写入目的地址上的数据是程序想要的， 不会发生错误。

源数据宽度 8bit，会被复制扩充为 4 x 8bit = 32bit 数据，如 0x12 会被扩充为 0x1212_1212。

源数据宽度 16bit，会被复制扩充为 2 x 16bit = 32bit 数据，如 0x1234 会被扩充为 0x1234_1234。

只支持 32bit 传输，不支持 8bit / 16bit 的从设备数据宽度应配为 8bit / 16bit。

8.6.5 错误管理

地址空间会存在不允许被访问的保留区域，DMA 传输地址自动递增或者指定地址时有可能会访问到这些保留地址区域。DMA 传输错误标志（TEIF）会在 DMA 操作一个保留的地址空间时置‘1’，同时该 DMA 通道对应的使能位会被硬件清零，以停止该通道上的错误传输。此时，在 DMA_IFT 寄存器中对应该通道的传输错误中断标志位（TEIF）将被置位。若想产生中断，需配置 DMA_CCRx 寄存器中对应的传输错误中断使能位。

8.7 DMA 寄存器描述

表 8.4 DMA 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	DMA_ISR	DMA 中断状态寄存器	0x00000000
0x04	DMA_IFCR	DMA 中断标志清除寄存器	0x00000000
0x08+20×(n-1)	DMA_CCRx	DMA 通道 x 配置寄存器	0x00000000
0x0C+20×(n-1)	DMA_CNDTRx	DMA 通道 x 传输数量寄存器	0x00000000
0x10+20×(n - 1)	DMA_CPARx	DMA 通道 x 外设地址寄存器	0x00000000
0x14+20×(n - 1)	DMA_CMARx	DMA 通道 x 存储器地址寄存器	0x00000000

8.7.1 DMA_ISR DMA 中断状态寄存器

地址偏移: 0x00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.								TEIF2	HTIF2	TCIF2	GIF2	TEIF1	HTIF1	TCIF1	GIF1
								r	r	r	r	r	r	r	r

位	字段	描述
31:8	Reserved	保留,始终读为 0
7,3	TEIFx	通道 x 的传输错误标志 （x=1~2） 该位软件只读，由硬件写 1 或清 0。置‘1’DMA_IFCR 寄存器对应位，可以清 0 此标志位。 0:对应通道 x 的 DMA 传输正常（TE） 1:对应通道 x 的 DMA 访问保留地址，传输错误（TE）
6,2	HTIFx	通道 x 的半传输标志（x=1~2） 该位软件只读，由硬件写 1 或清 0。置‘1’DMA_IFCR 寄存器对应位，可以清 0 此标志位。 0:对应通道 x 的 DMA 传输未到一半（HT） 1:对应通道 x 的 DMA 传输已到一半（HT）
5,1	TCIFx	通道 x 的传输完成标志（x=1~2） 该位软件只读，由硬件写 1 或清 0。置‘1’DMA_IFCR 寄存器对应位，可以清 0 此标志位。 0:对应通道 x 的 DMA 传输未完成（TC） 1:对应通道 x 的 DMA 传输完毕（TC）
4,0	GIFx	通道 x 的全局中断标志（x=1~2） 该位软件只读，由硬件写 1 或清 0。置‘1’DMA_IFCR 寄存器对应位，可以清 0 此标志位。 0:对应通道 x 上 TE、HT、TC 事件都没有产生 1:对应通道 x 有 TE、HT、TC 事件中的任一事件产生

8.7.2 DMA_IFCR DMA 中断标志清除寄存器

地址偏移: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								CTEIF2	CHTIF2	CTCIF2	CGIF2	CTEIF1	CHTIF1	CTCIF1	CGIF1
								w1c	w1c	w1c	w1c	w1c	w1c	w1c	w1c

位	字段	描述
31:8	Reserved	保留,始终读为 0
7,3	CTEIFx	清除通道 x 的传输错误标志（x=1~2） 该位由软件置‘1’或清零。 0:无效 1:清’0’DMA_ISR 寄存器中的对应 TEIF 标志
6,2	CHTIFx	清除通道 x 的半传输标志（x=1~2） 该位由软件置‘1’或清零。 0:无效 1:清’0’DMA_ISR 寄存器中的对应 HTIF 标志
5,1	CTCIFx	清除通道 x 的传输完成标志（x=1~2） 该位由软件置‘1’或清零。 0:无效 1:清’0’DMA_ISR 寄存器中的对应 TCIF 标志
4,0	CGIFx	清除通道 x 的全局中断标志（x=1~2） 该位由软件置‘1’或清零。 0:无效 1:清’0’DMA_ISR 寄存器中的对应的 GIF、TEIF、HTIF 和 TCIF 标志

8.7.3 DMA_CCRx DMA 通道 x 配置寄存器(x=1~2)

地址偏移: 0x08 + 20x(通道编号–1)
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARE	MEM2MEM	PL		MSIZE		PSIZE		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
rw	rw	rw		rw		rw		rw	rw	rw	rw	rw	rw	rw	rw

位	字段	描述
31:16	Reserved	保留,始终读为 0
15	ARE	自动重载 该位由软件置‘1’或清零。 1:使能自动重载传输数量，外设地址，存储器地址 0:禁止自动重载传输数量，外设地址，存储器地址 注：当 ARE 配置为 1，DMA 通道使能关闭后就会触发自动重载
14	MEM2MEM	存储器到存储器模式 该位由软件置‘1’或清零。 0:关闭存储器到存储器模式 1:使能存储器到存储器模式
13:12	PL	通道优先级 该位由软件置‘1’或清零。 00:低 01:中 10:高 11:最高
11:10	MSIZE	存储器数据宽度 该位由软件置‘1’或清零。 00:8 bit 01:16 bit 10:32 bit 11:保留，未定义
9:8	PSIZE	外设数据宽度 该位由软件置‘1’或清零。 00:8 bit 01:16 bit 10:32 bit 11:保留，未定义
7	MINC	存储器地址递增模式 该位由软件置‘1’或清零。 0:关闭存储器地址递增操作 1:使能存储器地址递增操作
6	PINC	外设地址递增模式 该位由软件置‘1’或清零。 0:关闭外设地址递增操作 1:使能外设地址递增操作
5	CIRC	循环模式 该位由软件置‘1’或清零。 0:关闭循环操作 1:使能循环操作
4	DIR	数据传输方向 该位由软件置‘1’或清零。 0:从外设读 1:从存储器读
3	TEIE	传输错误中断使能 该位由软件置‘1’或清零。 0:关闭 TE 中断 1:使能 TE 中断

位	字段	描述
2	HTIE	半传输中断使能 该位由软件置‘1’或清零。 0:关闭 HT 中断 1:使能 HT 中断
1	TCIE	传输完成中断使能 该位由软件置‘1’或清零。 0:关闭 TC 中断 1:使能 TC 中断
0	EN	通道使能 该位由软件置‘1’或清零。 0:通道关闭 1:通道使能 注：EN 位清零并不能使得此通道正在进行的 DMA 传输停止。如需停止传输，需要参照特定软件操作流程。

8.7.4 DMA_CNDTRx DMA 通道 x 传输数量寄存器(x=1~2)

地址偏移: 0x0C + 20x(通道编号–1)
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NDT															
rw															

位	字段	描述
31:16	Reserved	保留,始终读为 0
15:0	NDT	数据传输数量 数据传输数量为 0~65535。这个寄存器只能在通道关闭（DMA_CCRx 的 EN=0）时写入。通道使能后该寄存器软件变为不可写只读，表示剩余多少次 DMA 传输。每次 DMA 传输后，该寄存器数值递减。寄存器数值递减为 0，表示数据全部传输完毕。此时若通道配置为自动重载模式时，寄存器的内容将被自动重新加载为之前配置时的数值。 如果此寄存器为零，则无论通道是否启用，都不能提供 DMA 传输。

8.7.5 DMA_CPARx DMA 通道 x 外设地址寄存器 (x=1~2)

地址偏移: 0x10 + 20x(通道编号–1)
复位值: 0x0000 0000
当使能通道（DMA_CCRx 的 EN=1）时不能写该寄存器。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PA															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PA															
rw															

位	字段	描述
31:0	PA	外设地址 外设数据寄存器的基地址，作为数据传输的源或目标。 当 PSIZE=‘01’（16 位），地址基本单位为 0x2，最低位 PA[0]不必使用。操作自动地与半字地址对齐。 当 PSIZE=‘10’（32 位），地址基本单位为 0x4，倒数 2 位 PA[1:0]不必使用。操作自动地与字地址对齐。

8.7.6 DMA_CMARx DMA 通道 x 存储器地址寄存器(x=1~2)

地址偏移: 0x14 + 20x(通道编号–1)

复位值: 0x0000 0000

当开启通道（DMA_CCRx 的 EN=1）时不能写该寄存器。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA															
rw															

位	字段	描述
31:0	MA	存储器地址 存储器地址作为数据传输的源或目标。 当 MSIZE=‘01’（16 位），地址基本单位为 0x2，最低位 MA[0] 不必使用。操作自动地与半字地址对齐。 当 MSIZE=‘10’（32 位），地址基本单位为 0x4，倒数 2 位 MA[1:0]不必使用。操作自动地与字地址对齐。

9 GPIO 通用 I/O

9.1 简介

每个通用 I/O 端口都可以通过两个 32 位的控制寄存器（GPIOx_CRL/GPIOx_CRH）和两个 32 位的复用控制寄存器（GPIOx_AFRL/GPIOx_AFRH）配置为 8 种模式：模拟输入、浮空输入、上拉输 入、推挽输出、开漏输出、复用推挽输出和复用开漏输出。

可以自由编程控制每个 I/O 端口，支持字（32 位）、半字（16 位）或字节（8 位）访问所有寄存器。GPIO 寄存器组有 GPIOx_BSRR 和 GPIOx_BRR 位控制寄存器，通过写操作这两个寄存器可以独立的按位控制 GPIOx_ODR 输出 0 或 1。

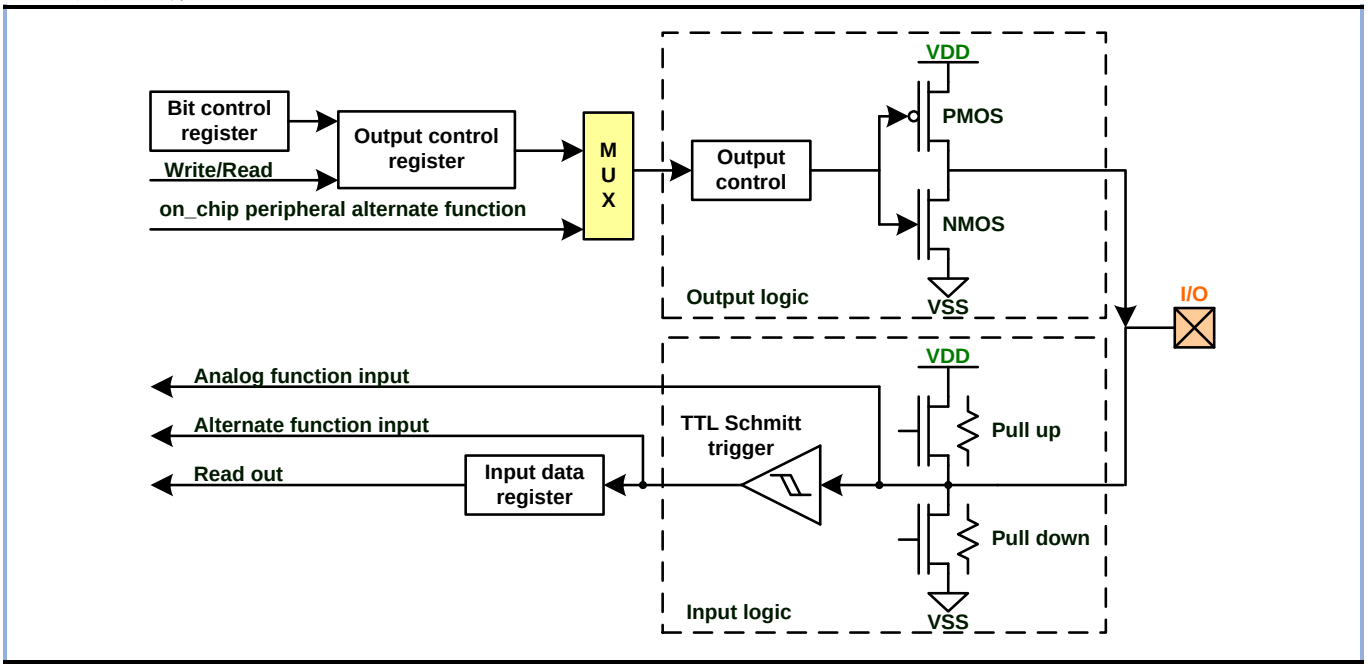
9.2 主要特性

- **每次 AHB 的写操作，可以更改 GPIOx_ODR 对应的一位或多位**
- **所有 I/O 支持编程 EXTI 配置寄存器输出外部触发中断**
- **支持配置 GPIO 锁定机制**
- **输入支持浮空、上拉、下拉、模拟**
- **输出支持推挽与开漏上拉或开漏下拉**
- **默认浮空输入，可配置输入输出方向**

9.3 功能描述

9.3.1 功能框图

图 9-1 标准 I/O 端口



9.3.2 GPIO 端口配置

表 9.1 端口位配置表（以端口 0 为例）

引脚模式		上下拉	DCR[1:0]		CNF0		MODE0	ODRx
模拟输入		x	x	x	0	0	00	x
通用输入 复用输入		浮空	x	x	0	1		x
		上拉	x	x	1	0		1
		下拉	x	x	1	0		0
通用输出	推挽	x	x	x	0	0	01 10 11	0 or 1
	开漏	浮空	x	0	0	1		0 or 1
		上拉	1	1	0	1		0 or 1
		下拉	0	1	0	1		0 or 1
复用输出	推挽	x	x	x	1	0		x

注：x 表示 I/O 在对应的模式下不用关心，ODR0 代表输出数据寄存器第 0 位。

输入输出参考配置如下：

- **通用输入:**

用户只需配置 GPIOx_CRL 中的 CNF0 选择输入模式

- **通用输出:**

推挽输出：用户配置 MODE0，设置 CNF0=00；

开漏输出：用户配置 MODE0，设置 CNF0=01，如果对引脚上下拉有要求，需要单独配置 GPIOx_DCR 寄存器。非开漏输出模式，上下拉无效。

- **复用功能:**

配置 AFRLx[3:0]与 AFRHx[3:0]寄存器选择复用功能：

推挽复用输出：用户配置 MODE0，设置 CNF0=10；

推挽开漏输出：用户配置 MODE0，设置 CNF0=11。

如果输出模式下对 IO 上下拉有要求，需要单独配置 GPIOx_DCR 寄存器。非开漏输出模式，上下拉失效。

在复位期间或复位之后，GPIO 端口被配置成浮空输入模式，串行线调试端口默认为输入 PU/PD 模式。

配置为通用输出模式后，输出数据寄存器（GPIOx_ODR）的值会输出到相应的 I/O 引脚。在每个 AHB 时钟周期，输入数据寄存器（GPIOX_IDR）捕捉 I/O 引脚上的数据。

注：并不是所有芯片都包括 JTAG 和 SWD 调试端口，芯片具体配置可参考芯片数据手册。

- **PA14: SWCLK 为 PD 模式**
- **PA13: SWDIO 为 PU 模式**

9.3.3 复用功能

配置复用功能寄存器打开 IO 对应的复用功能。

- **配置 IO 为复用输入功能时，端口选择上拉、下拉或浮空输入。**
- **配置 IO 为复用输出功能时，端口选择推挽或开漏输出模式。**
- **IO 配置为双向复用功能时，端口选择推挽或开漏输出模式，输入变为浮空输入，开漏模式下可配置 GPIOx_DCR 寄存器选择弱上拉或下拉电阻。**

当配置端口为复用输出功能时，端口与片上外设输出信号连接。如果仅仅通过软件方式配置 GPIO 引脚为复用输出功能，外设没有被激活，此时输出不确定

9.3.4 GPIO 锁定机制

GPIO 存在锁定机制，能够保持设定 IO 配置不被改变。当对某一端口执行锁定机制后，在下一次复位之前，不能改变端口对应的配置。锁定密钥写序列为：

- **GPIOx_LCKR[16]=’1’+LCKR[15:0].**
- **GPIOx_LCKR[16]=’0’+LCKR[15:0].**
- **GPIOx_LCKR[16]=’1’+LCKR[15:0].**

要锁定 GPIOA 的 PA[0 端口，如下配置:

- **GPIOA->GPIOA_LCKR=0x10001.**
- **GPIOA->GPIOA_LCKR=0x00001.**
- **GPIOA->GPIOA_LCKR=0x10001.**

当执行完上述三个步骤后，GPIOA_LCKR 寄存器的第 16 位置 1，在下一次软件复位之前，写 GPIOA_LCKR 寄存器无效，GPIOA_LCKR 寄存器的第 16 保持为 1，不会被更改，PA[0]会一直保持锁定之前的配置不变。

当端口被锁定后，只能在软件复位之后才能再次更改端口位的配置，GPIOx_LCKR 寄存器的一个锁定位锁定端口配置寄存器（GPIOx_CRL）与（GPIOx_CRH）中的 4 个位。

注意事项：

以上配置只是锁定了 PA[0]的配置，对于 PA[15:1]以及其它 GPIO 控制寄存器的配置操作依然有效。

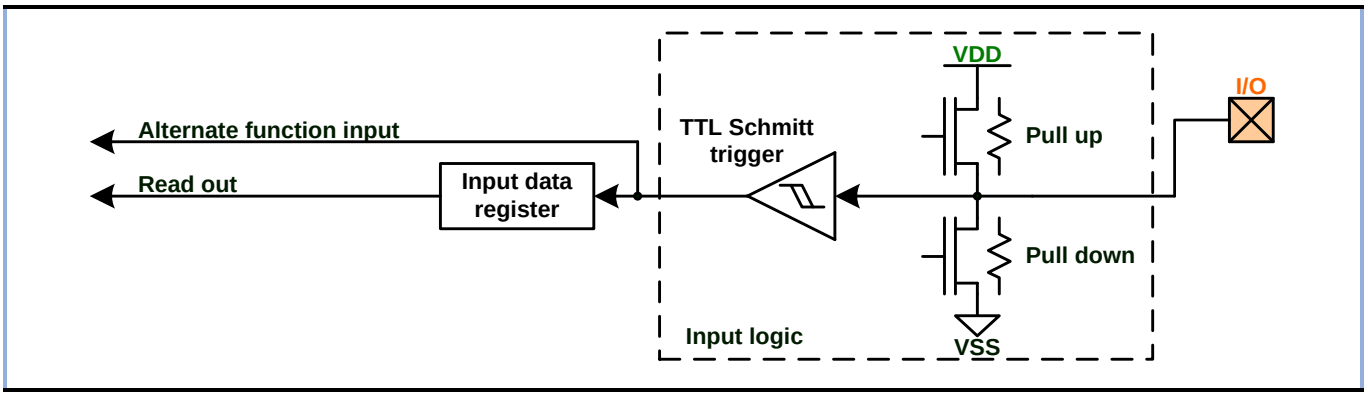
9.3.5 输入配置

当 I/O 端口配置为输入时：

- **施密特触发输入使能。**
- **输出缓冲被禁用。**
- **可以选择浮空、上拉或下拉输入模式。**
- **I/O 脚上的数据在每个 AHB 时钟被采样到输入数据寄存器。**
- **读访问输入数据寄存器可得到 I/O 状态。**

下图给出了 I/O 端口的输入配置：

图 9-2 输入浮空/上拉/下拉配置



GPIOA 的 PA[0]端口输入上拉参考配置如下：

- **GPIOA->GPIOA_ODR=0x0001.**
- **GPIOA->GPIOA_CRL=0x00000008.**

GPIOA 的 PA[0]端口输入下拉参考配置如下：

- **GPIOA->GPIOA_ODR=0x0000.**
- **GPIOA->GPIOA_CRL=0x00000008.**

注意事项：

当端口配置上拉输入时，需要首先配置对应端口的 GPIO_ODR 寄存器对应位输出 1。

当端口配置下拉输入时，需要首先配置对应端口的 GPIO_ODR 寄存器对应位输出 0。

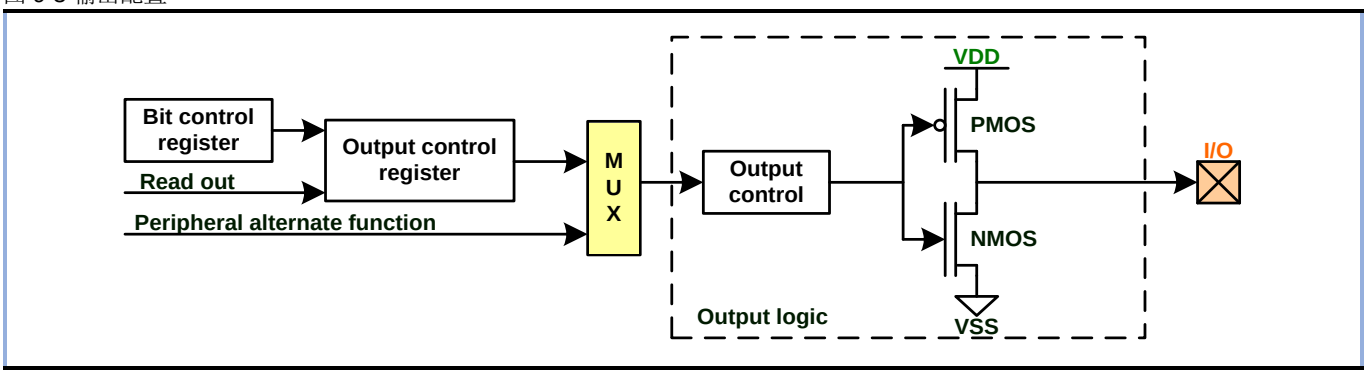
9.3.6 输出配置

当 GPIO 配置为输出时：

- 施密特触发输入使能。
- 输出缓冲使能。
- 通用输出模式下，弱上拉和弱下拉电阻被禁用。
- 开漏模式：端口输出数据寄存器配置为 **0** 时，对应的引脚输出低电平，端口输出数据寄存器配置为 **1** 时，对应的管脚处于高阻态。
- 推挽模式：输出寄存器配置为 **0** 时，对应的引脚输出低电平，输出寄存器配置为 **1** 时，对应的管脚输出高电平。
- 对端口输出数据寄存器读操作，返回上次写入值。
- 对端口输入数据寄存器进行读操作，获得当前 **I/O** 的状态。

下图为 I/O 端口的输出配置：

图 9-3 输出配置



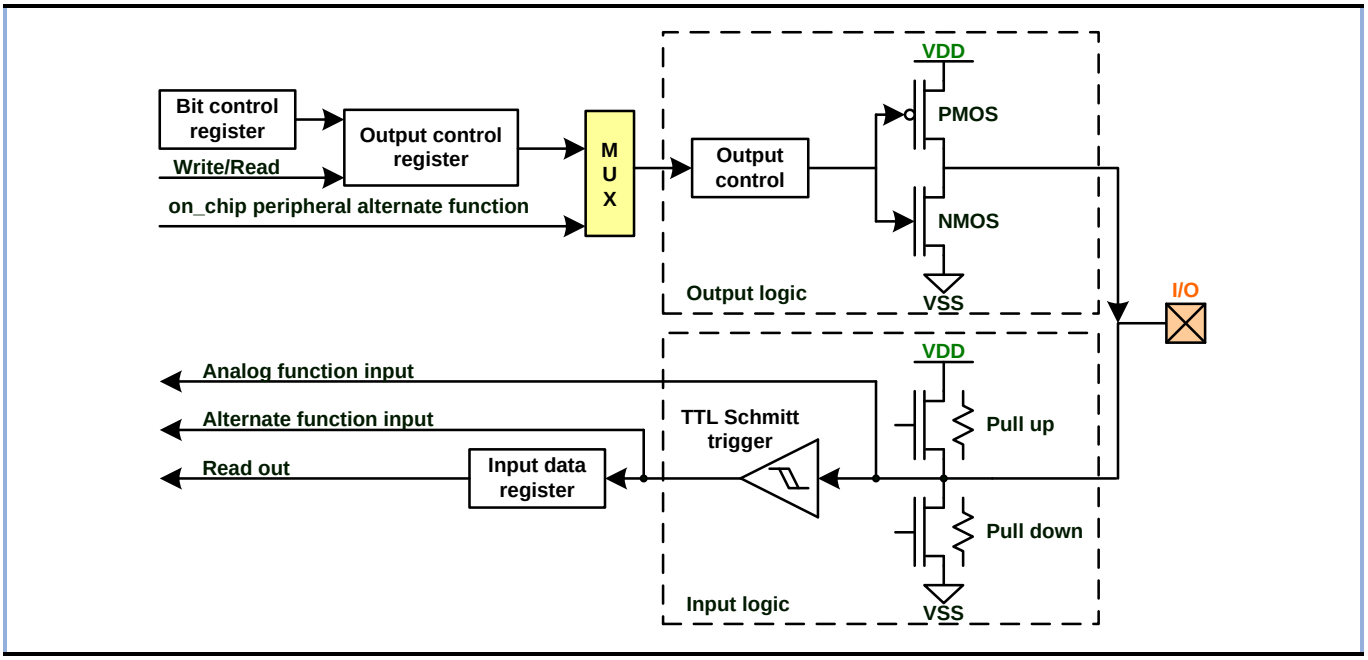
9.3.7 复用功能配置

当配置引脚为复用功能时：

- 施密特触发输入使能。
- 输出缓冲器可以配置为开漏或推挽。
- 在开漏输出模式下，通过配置 **GPIOx_DCR** 寄存器选择弱上拉或下拉电阻。
- 当配置为输入时，可选弱上拉或弱下拉电阻。
- **I/O** 脚上数据在每个 **AHB** 时钟周期被采样到输入数据寄存器。

下图为 I/O 端口复用功能的配置，具体见 AFRL 与 AFRH 寄存器与数据手册部分。

图 9-4 复用功能配置



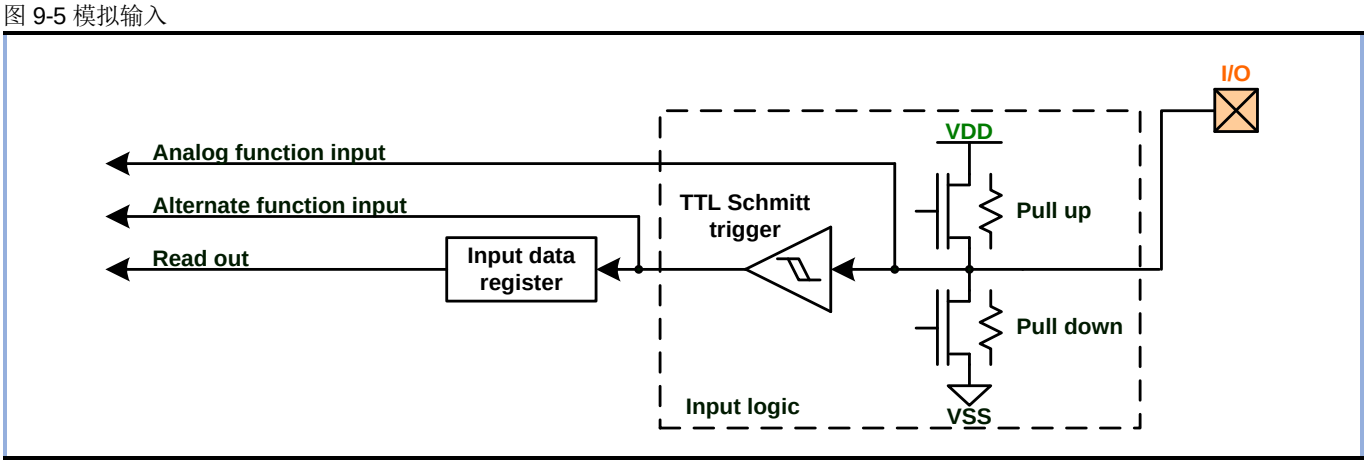
9.3.8 模拟输入配置

当 I/O 端口被配置成模拟输入配置时：

- 输出缓冲器禁用。
- 施密特触发输入禁用。
- 弱上拉与弱下拉电阻禁用。
- 端口输入数据寄存器保持为 0。

下图为 I/O 端口的模拟输入配置

图 9-5 模拟输入



9.3.9 外部时钟复用 GPIO 端口

外部 HSE/LSE 时钟可以复用 GPIO。当使用对应的时钟 PAD 作为 GPIO 时，用户应先关闭外部时钟，然后将 GPIO 功能设置为正常。具体映射请参考芯片数据手册。

9.3.10 SWD 复用功能映射

SWD 接口信号被映射到 GPIO 端口上，如下图所示：

表 9.2 SWD 复用功能重映射

复用功能	GPIO 端口
SWDIO	PA13
SWCLK	PA14

9.4 寄存器

9.4.1 寄存器概览

表 9.3 GPIO 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	GPIOx_CRL	端口配置低寄存器	0x44444444
0x04	GPIOx_CRH	端口配置高寄存器	0x44444444
0x08	GPIOx_IDR	端口输入数据寄存器	0x0000XXXX
0x0C	GPIOx_ODR	端口输出数据寄存器	0x00000000
0x10	GPIOx_BSRR	端口设置/清除寄存器	0x00000000
0x14	GPIOx_BRR	端口位清除寄存器	0x00000000
0x18	GPIOx_LCKR	端口配置锁定寄存器	0x00000000
0x1C	GPIOx_DCR	端口输出开漏控制寄存器	0x00000000
0x20	GPIOx_AFRL	端口复用功能低位寄存器	0x00000000
0x24	GPIOx_AFRH	端口复用功能高位寄存器	0x00000000

注：GPIOx 中“x”的可能范围是 A 到 I，但并不是所有芯片均包括所有 GPIOA 到 GPIOI 组，各芯片的具体配置可参考各芯片的数据手册。

9.4.2 PIOx_CRL 端口配置寄存器低

地址偏移: 0x00
复位值: 0x4444 4444

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF7		MODE7		CNF6		MODE6		CNF5		MODE5		CNF4		MODE4	
rw		rw		rw		rw		rw		rw		rw		rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF3		MODE3		CNF2		MODE2		CNF1		MODE1		CNF0		MODE0	
rw		rw		rw		rw		rw		rw		rw		rw	

位	字段	描述
31:30	CNF7	端口配置位（y=7..0） 配置 MODEy 等于 0，端口为输入模式，此时配置 CNFy 位选择输入模式： 00：模拟输入模式 01：浮空输入模式 10：上拉/下拉输入模式 11：保留 配置 MODEy 不等于 0，端口为输出模式，此时配置 CNFy 位选择输出模式： 00：通用推挽输出模式 01：通用开漏输出模式 10：复用功能推挽输出模式 11：复用功能开漏输出模式 端口输入输出配置（MODEy）（y = 0..7） 软件配置相应的 I/O 端口；参考端口位配置表 配置 MODEy 不等于 0 时，不同配置输出速度不同： 00：输入模式 01：输出模式，最大速度 10MHz 10：输出模式，最大速度 2MHz 11：输出模式，最大速度 50MHz
27:26	CNF6	
23:22	CNF5	
19:18	CNF4	
15:14	CNF3	
11:10	CNF2	
7:6	CNF1	
3:2	CNF0	
29:28	MODE7	
25:24	MODE6	
21:20	MODE5	
17:16	MODE4	
13:12	MODE3	
9:8	MODE2	
5:4	MODE1	
1:0	MODE0	

9.4.3 GPIOx_CRH 端口配置寄存器高

地址偏移: 0x04
复位值: 0x4444 4444

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF15		MODE15		CNF14		MODE14		CNF13		MODE13		CNF12		MODE12	
rw		rw		rw		rw		rw		rw		rw		rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF11		MODE11		CNF10		MODE10		CNF9		MODE9		CNF8		MODE8	
rw		rw		rw		rw		rw		rw		rw		rw	

位	字段	描述
31:30	CNF15	端口配置位（y=15..8） 配置 MODEy 等于 0，端口为输入模式，此时配置 CNFy 位选择输入模式： 00：模拟输入模式 01：浮空输入模式 10：上拉/下拉输入模式 11：保留 配置 MODEy 不等于 0，端口为输出模式，此时配置 CNFy 位选择输出模式： 00：通用推挽输出模式 01：通用开漏输出模式 10：复用功能推挽输出模式 11：复用功能开漏输出模式 端口输入输出配置（MODEy）（y = 15..8） 软件配置相应的 I/O 端口；参考端口位配置表 配置 MODEy 不等于 0 时，不同配置输出速度不同： 00：输入模式 01：输出模式，最大速度 10MHz 10：输出模式，最大速度 2MHz 11：输出模式，最大速度 50MHz
27:26	CNF14	
23:22	CNF13	
19:18	CNF12	
15:14	CNF11	
11:10	CNF10	
7:6	CNF9	
3:2	CNF8	
29:28	MODE15	
25:24	MODE14	
21:20	MODE13	
17:16	MODE12	
13:12	MODE11	
9:8	MODE10	
5:4	MODE9	
1:0	MODE8	

9.4.4 GPIOx_IDR 端口输入数据寄存器

地址偏移: 0x08
复位值: 0x0000 XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDRy(y=15~0)															
r															

位	字段	描述
31:16	Reserved	始终读为 0
15:0	IDRy	端口输入数据（y=15..0） 读出的值代表对应的 I/O 状态

9.4.5 GPIOx_ODR 端口输出数据寄存器

地址偏移: 0xC
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ODRy(y=15~0)															
rw															

位	字段	描述
31:16	Reserved	始终读为 0

位	字段	描述
15:0	ODRy	端口输出数据（y=15..0） 配置为通用输出模式时，写入值输出到对应的 IO 注：操作 GPIOx_BSRR（x=A..H）寄存器可以分别独立的对各个 ODR 位置 1 或清 0。

9.4.6 GPIOx_BSRR 端口位设置/清除寄存器

地址偏移: 0x10
复位值: 0x0000 000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BRy(y=15~0)															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSy(y=15~0)															
w															

位	字段	描述
31:16	BRy	端口清除位 y（y=15..0） 写 0 相应的 ODRY 位保持不变写 1 清除对应的 ODRY 位为 0
15:0	BSy	端口置位 y（y=15..0） 写 0 相应的 ODRY 位保持不变 写 1 置位对应的 ODRY 位为 1 注：同时写 BSy 位与 BRy 位为 1 时，BSy 的优先级高于 BRy

9.4.7 GPIOx_BRR 端口位清除寄存器

地址偏移: 0x14
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRy(y=15~0)															
w															

位	字段	描述
31:16	Reserved	始终读为 0
15:0	BRy	端口清除位 y（y=15..0） 写 0 相应的 ODRY 位保持不变 写 1 清除对应的 ODRY 位为 0

9.4.8 GPIOx_LCKR 端口配置锁定寄存器

地址偏移: 0x18
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res															LCKK
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCKy(y=15~0)															
w															

位	字段	描述
31:17	Reserved	始终读为 0
16	LCKK	锁密钥 该位可随时读出,它只可通过锁密钥写入序列修改。 0：端口配置锁键位未被激活 1：端口配置锁键位被激活,下次软件复位前 GPIOx_LCKR 寄存器被锁住 锁密钥序列：写 1->写 0->写 1
15:0	LCKy	端口 x 的锁位 y（y=15..0） 这些位可读可写但只能在 LCKK 位为 0 时写入。 0：不锁定端口的配置 1：锁定端口的配置

9.4.9 GPIOx_DCR 端口输出开漏控制寄存器

地址偏移: 0x1C
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PX15		PX14		PX13		PX12		PX11		PX10		PX9		PX8	
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PX7		PX6		PX5		PX4		PX3		PX2		PX1		PX0	
rw															

位	字段	描述
31:2	PX15-PX1	See PX0
1:0	PX0	PX0[1:0]: 11：开漏输出模式下，端口上拉 01：开漏输出模式下，端口下拉 x0：开漏输出模式下，端口无上下拉

9.4.10 GPIOx_AFRL 端口复用功能寄存器低

地址偏移: 0x20
复位值: GPIOx_AFRL（x = A..B）：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFR7				AFR6				AFR5				AFR4			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFR3				AFR2				AFR1				AFR0			
rw				rw				rw				rw			

位	字段	描述
31:0	AFRy	端口 x 的位 y（y = 0..7）的复用功能选择位，软件写配置。 0000：AF0　0001：AF1　0010：AF2 0011：AF3　0100：AF4　0101：AF5 0110：AF6　0111：AF7　1000：AF8 1001：AF9　1010：AF10　1011：AF11 1100：AF12　1101：AF13　1110：AF14 1111：AF15

9.4.11 GPIOx_AFRH 端口复用功能寄存器高

地址偏移: 0x24
复位值: GPIOB_AFRH：0x0000 00FF，GPIOA_AFRH：0xF00F FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFR15				AFR14				AFR13				AFR12			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFR11				AFR10				AFR9				AFR8			

rw	rw	rw	rw

位	字段	描述
31:0	AFRy	端口 x 的位 y（y = 8..15）的复用功能选择位，软件写配置。 0000：AF0　0001：AF1　0010：AF2 0011：AF3　0100：AF4　0101：AF5 0110：AF6　0111：AF7　1000：AF8 1001：AF9　1010：AF10　1011：AF11 1100：AF12　1101：AF13　1110：AF14 1111：AF15

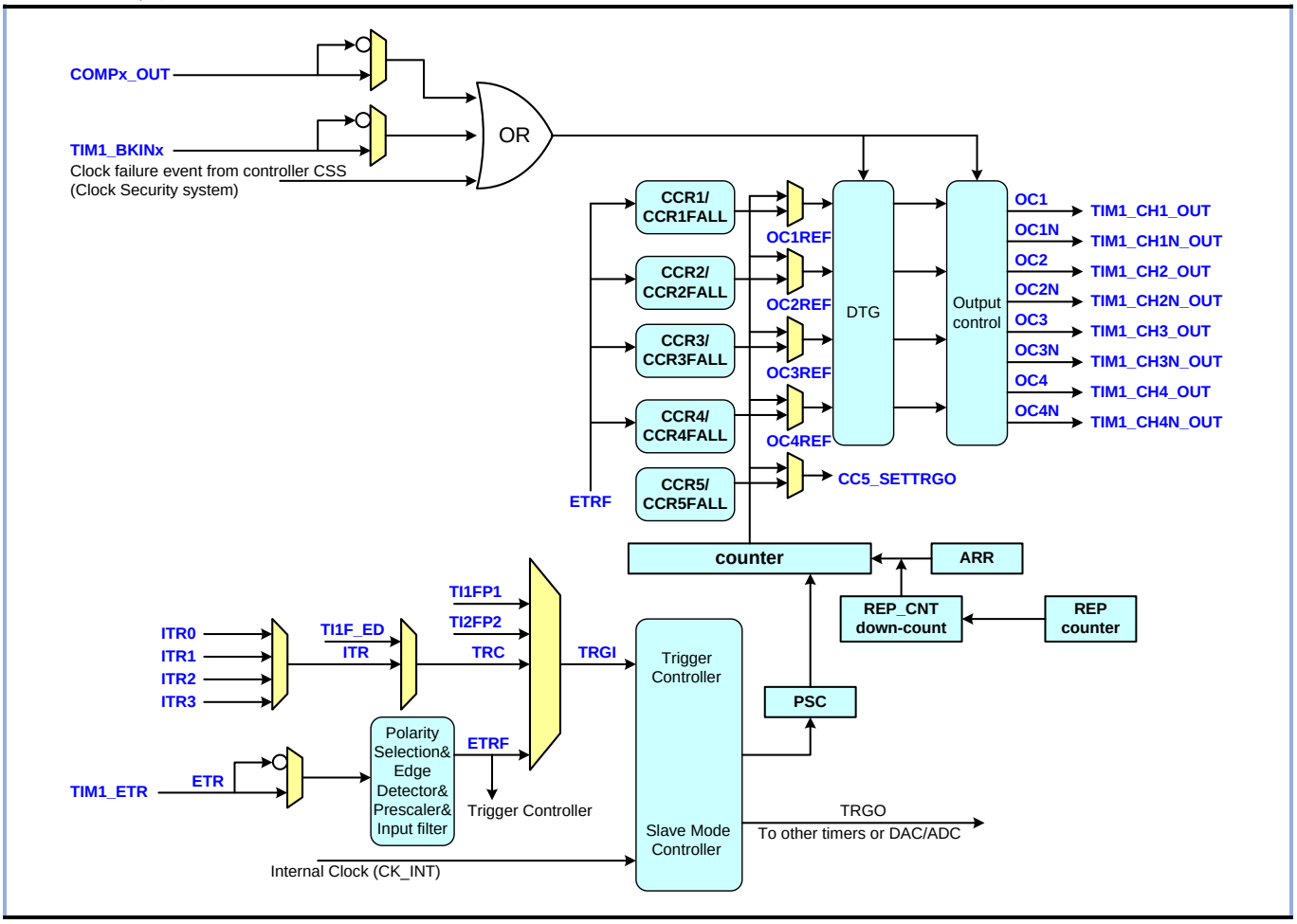
10 TIM1 高级定时器

10.1 简介

TIM1 由一个 16 位可实时编程预分频器和一个 16 位计数方向可调的自动重载计数器组成，可以为用户提供便捷的计数定时功能，计数器时钟由预分频器分频得到。高级定时器具有多种用途，能够提供 PWM 输出、死区时间可编程的互补输出、单脉冲模式输出等多种功能。

10.2 功能框图

图 10-1 TIM1 框图



TIM1 结构框图主要由输出比较单元、计数器单元和刹车单元组成。

10.3 主要特性

- **16 位可实时编程预分频器，分频系数：1–65536 可调**
- **时钟源可选：内部时钟源，外部时钟输入（ETRx），内部触发输入(ITRx)**
- **16 位自动重载计数器（计数方向：递增、递减、递增/递减）**
- **8 位可编程重复计数功能，重复计数器可自动重载（定时器到指定时间后自动更新重复寄存器）**
- **外部信号控制定时器并且能够实现定时器间互连的同步电路**
- **触发输入可以作为外部时钟或者逐周期管理**
- **4 个包含互补输出功能的输出通道**
- **比较输出（控制输出波形或指示定时器已经计时结束）**
- **PWM 输出（死区时间可调；边沿对齐或中央对齐模式）**
- **刹车输入可将计时器的输出信号置于安全状态（复位态或已知态，用户可选）**
- **单脉冲输出**
- **产生中断/DMA 请求的事件：更新事件、触发事件、比较输出或者刹车输入**

10.4 功能描述

10.4.1 时钟

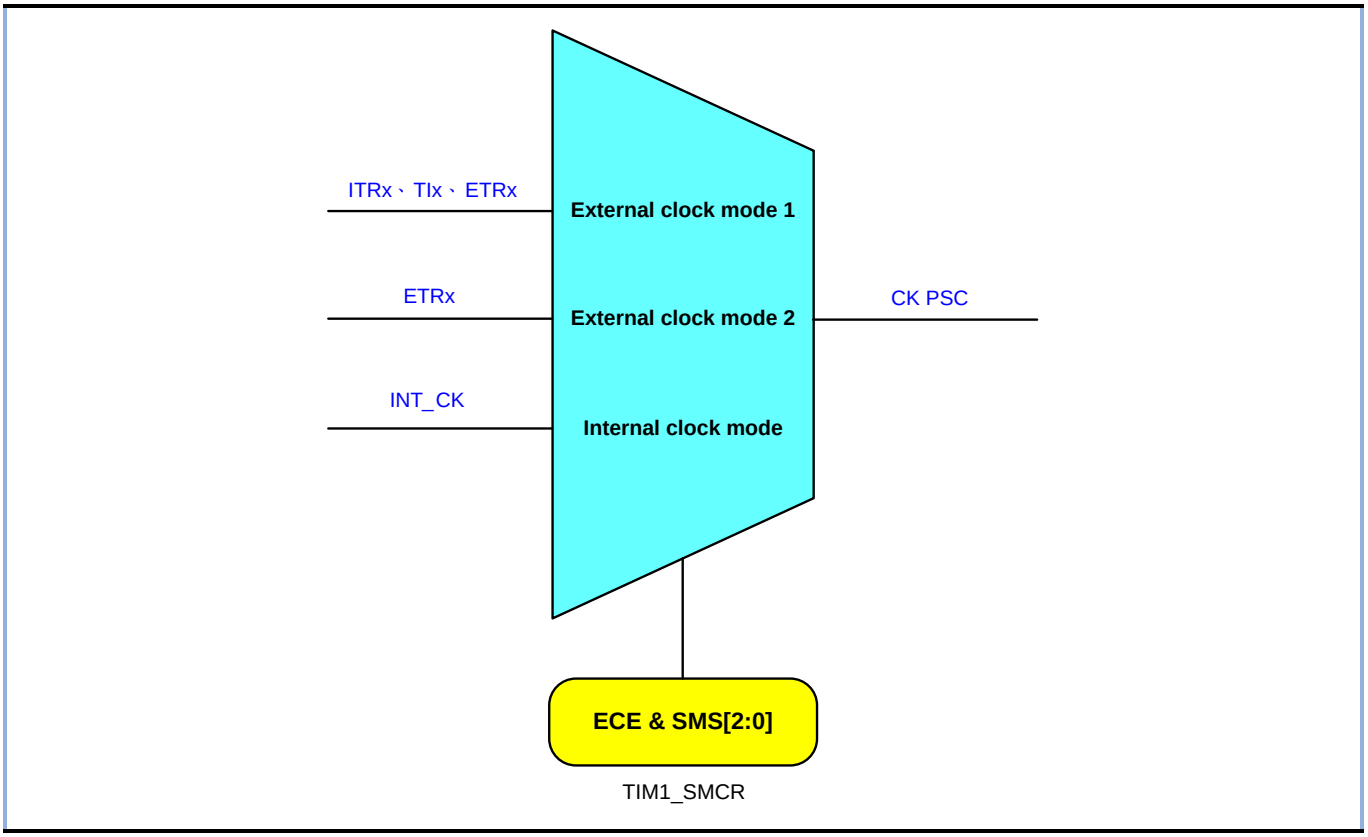
10.4.1.1 时钟选择

计数器的时钟源有以下几种：

- **内部时钟（INT_CK）**
- **外部时钟模式 1：外部触发输入 TRGI（包含 ITRx、ETRx）**
- **外部时钟模式 2：外部触发输入 ETR（包含 ETRx）**

上述几种时钟选择示意图如下：

图 10-2 时钟选择



10.4.1.1.1 内部时钟源(INT _CK)

当配置 TIM1_SMCR 寄存器的 SMS=000、关闭从模式时，计数器使能打开，预分频器的时钟直接由内部时钟驱动。此时计数器时钟为内部时钟分频后的时钟。

10.4.1.1.2 外部时钟模式 1(外部触发输入 TRGI,包含 ITRx、ETRx)

当配置 TIM1_SMCR 寄存器的 SMS = 111 时，选择外部时钟模式 1（TRGI）。计数器由选定的输入信号的每个上升沿或下降沿驱动。

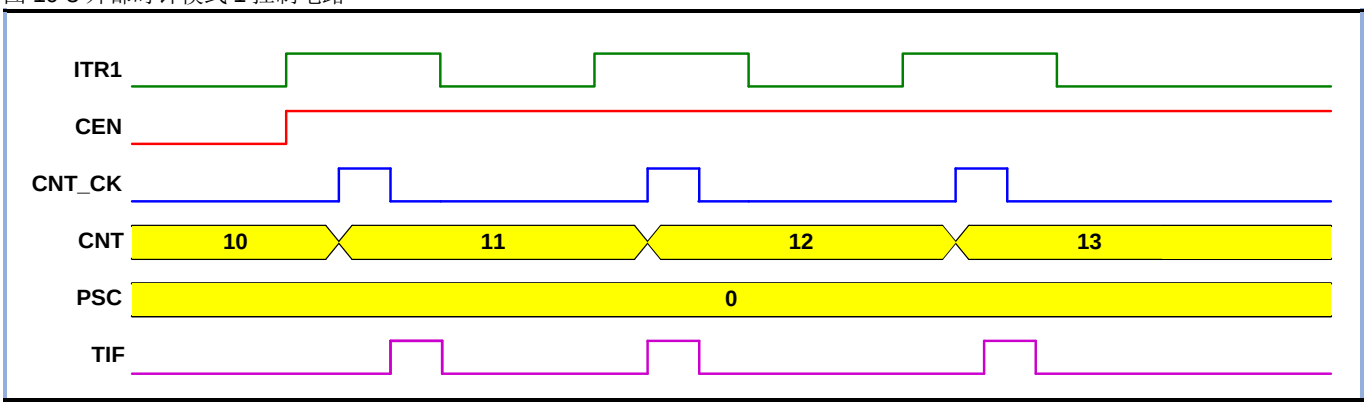
例：计数器在 ITR1 输入端的上升沿递增计数，具体配置如下：

1.配置 TIM1_SMCR 寄存器的 TS=001，选择 ITR1 的作为触发输入源；配置 TIM1_SMCR 寄存器的 SMS=111，选择外部时钟模式 1。

2.配置 TIM1_CR1 寄存器的 DIR=0，选择递增计数模式，配置 TIM1_CR1 寄存器的 CEN=1，启动计数器。

当 ITR1 出现有效边沿时，计数器递增计数一次且 TIF 标志位由硬件置 1。ITR1 的有效边沿和计数器的实际时钟之间的延时取决于 ITR1 输入端同步电路设计。

图 10-3 外部时钟模式 1 控制电路



注：使用外部时钟模式时，需要保持预分频器（TIMx_PSC）以及重复计数寄存器（TIMx_RCR）为复位值。

10.4.1.1.3 外部时钟模式 2(外部触发输入 ETR，包含 ETRx)

当配置 TIM1_SMCR 寄存器的 ECE=1 时，使能外部时钟模式 2，计数器由 ETR 信号上的有效边沿驱动。

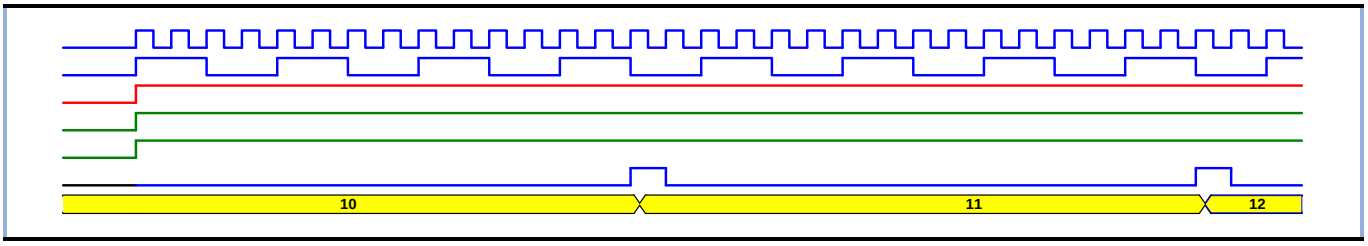
例：ETR 的每 4 个下降沿计数一次，递增计数，具体配置如下：

1.配置 TIM1_SMCR 寄存器的 ETF[3：0] = 0010，每 4 个 ETR 信号的有效边沿驱动计数器计数一次；配置 TIM1_SMCR 寄存器的 ETP=1，选择下降沿有效；配置 TIM1_SMCR 寄存器的 ECE=1，选择外部时钟模式 2。

2.配置 TIM1_CR1 寄存器的 DIR=0，选择递增计数模式；配置 TIM1_CR1 寄存器的 CEN=1 ，启动计数器。

在 ETR 的下降沿和计数器实际时钟之间的延时取决于在 ETR 信号端的同步电路设计。

图 10-4 外部时钟模式 2 控制电路



注：使用外部时钟模式时，需要保持预分频器(TIMx_PSC)以及重复计数寄存器(TIMx_RCR)为复位值。

10.4.1.2 时基单元

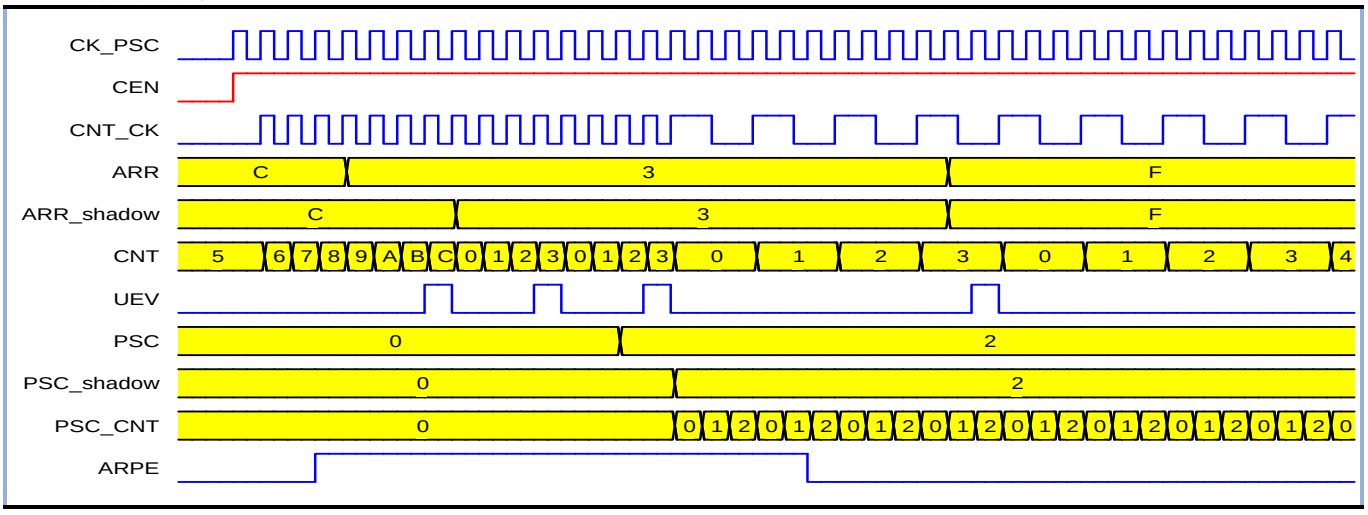
TIM1 的时基单元主要包括：计数器寄存器(TIM1_CNT)、预分频器寄存器(TIM1_PSC)、自动预装载寄存器(TIM1_ARR)和重复计数器寄存器(TIM1_RCR)。

计数单元由一个 16 位的计数器和对应的自动预装载寄存器组成，可以实现递增计数，递减计数，递增和递减计数的功能。

计数器的时钟由预分频器提供，预分频器由预分频计数器和对应的寄存器组成，分频系数为 1-65536，可以随时写入，在下一次更新事件时生效。

自动预装载寄存器有预装载功能的 16 位影子寄存器，通过设置 TIM1_CR1 寄存器的 ARPE 位选择写入 ARR 寄存器的值立即生效或发生更新事件时载入影子寄存器。

图 10-5 自动预转载



10.4.1.3 计数模式

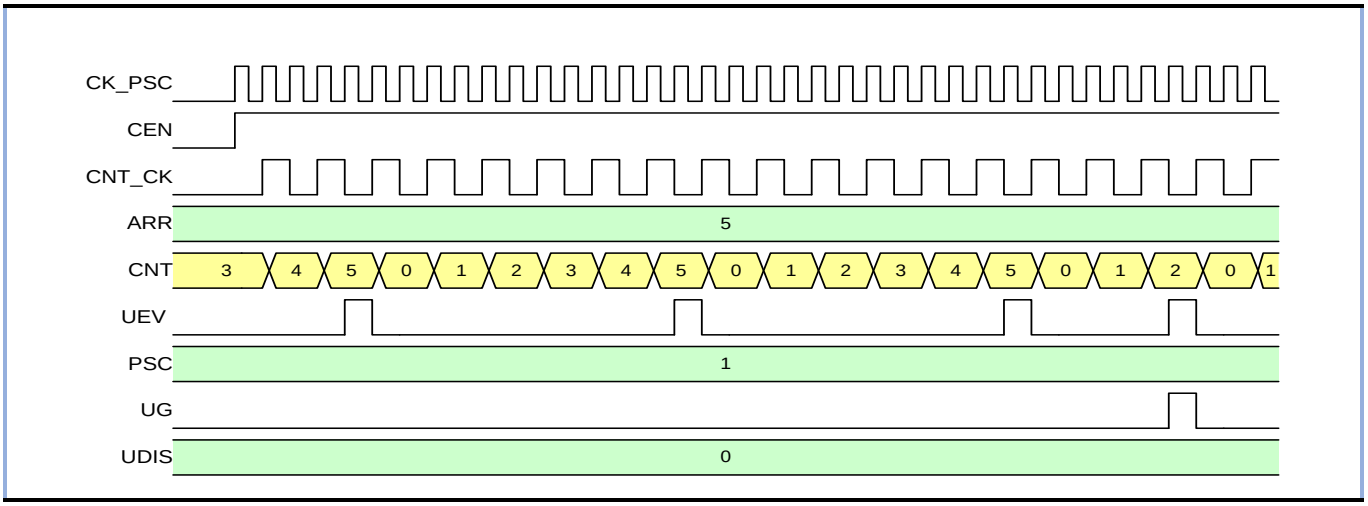
通过配置 TIM1_CR1 寄存器的 DIR 位和 CMS 位可以选择计数器的计数模式，可以分为三种计数模式， 递增计数模式、递减计数模式和中央对齐计数模式（递增/递减计数模式），下面对每种计数模式做详细介绍。

10.4.1.3.1 递增计数模式

配置 TIM1_CR1 寄存器 CMS=0，DIR＝0，选择递增计数模式。

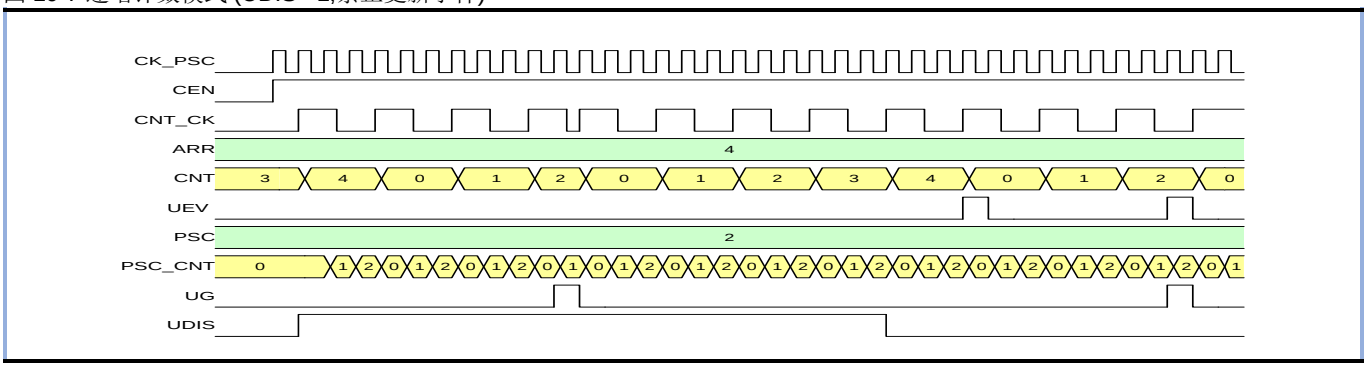
递增计数模式下，在使能 TIM1_CR1 寄存器的 CEN 后计数器由 0 开始递增计数，直至 TIM1_ARR 的值，产生一个计数器上溢事件（更新事件），并从 0 开始重新递增计数。当用户启用了重复计数功能，重复计数器在每次上溢事件时递减计数，只有当重复计数器从设定值递减到 0 时，才会产生更新事件。设置 TIM1_EGR 寄存器的 UG=1，同样可以产生一个更新事件。

图 10-6 递增计数模式（UDIS=0）



通过配置 TIM1_CR1 寄存器的 UDIS=1，可禁止产生更新事件，当计数器发生上溢事件时，不产生更新事件。此时若配置 UG=1，不产生更新事件，但是计数器和预分频器计数器会被初始化，从零开始递增计数。

图 10-7 递增计数模式 (UDIS =1,禁止更新事件)



注：当发生更新事件时：

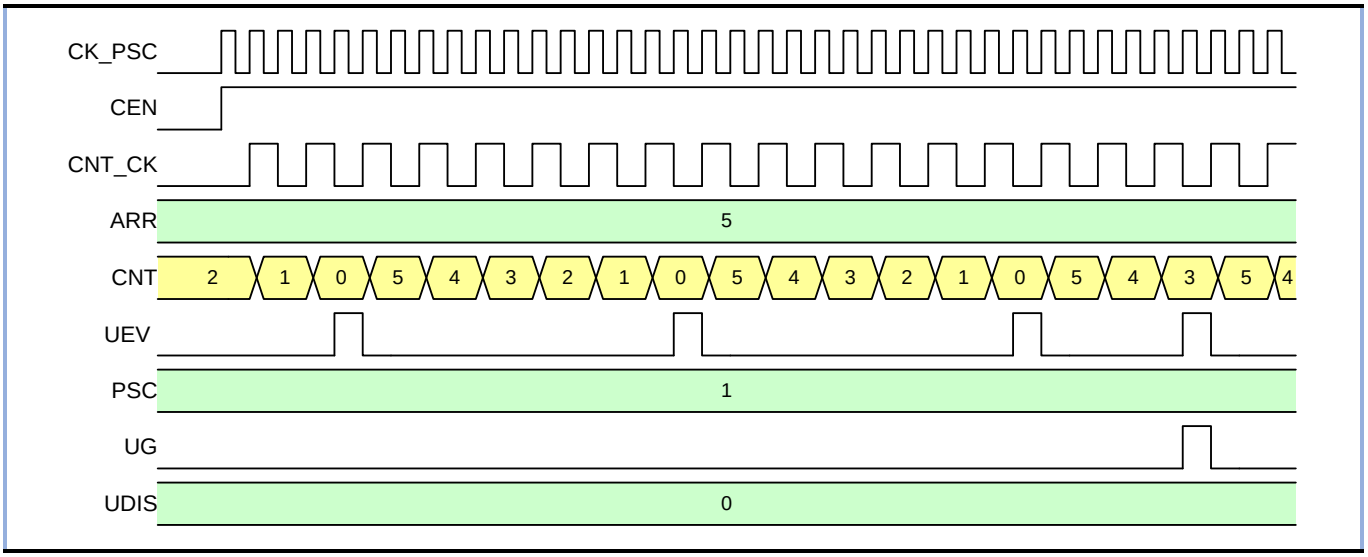
- **重复计数器加载 RCR 寄存器值，并再次递减计数。**
- **将 ARR 寄存器值加载到 ARR 影子寄存器中。**
- **预分频器预加载值生效。**

10.4.1.3.2 递减计数模式

配置 TIM1_CR1 寄存器的 CMS=0，DIR＝1，选择递减计数模式。

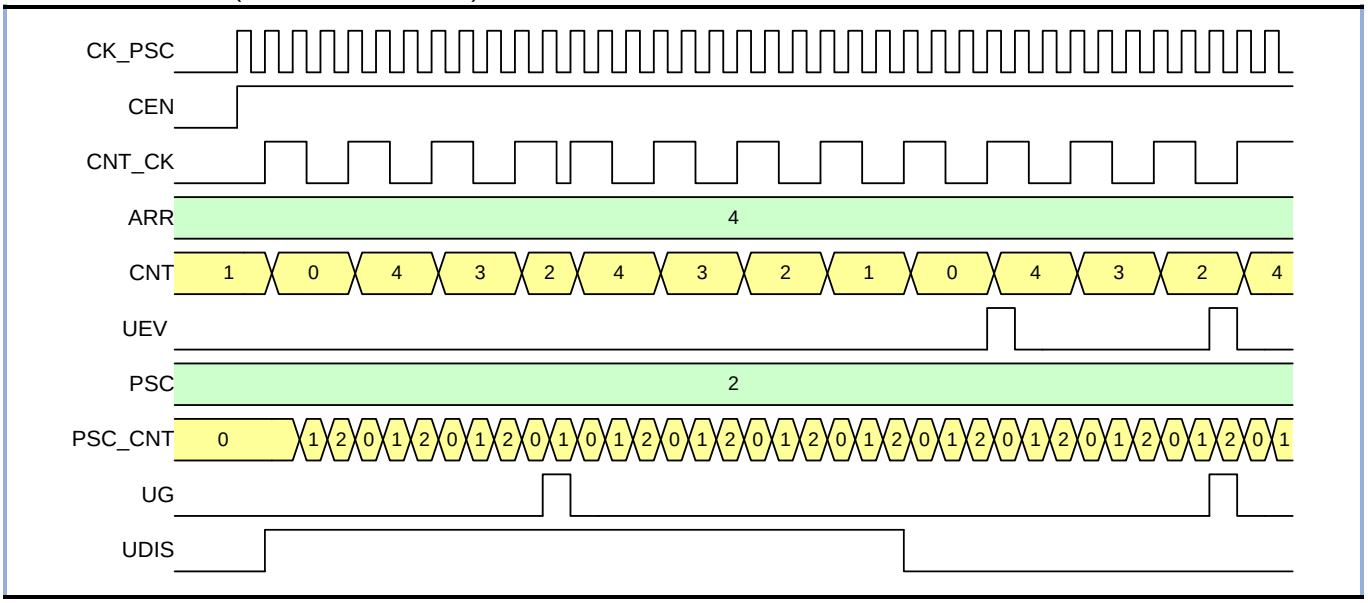
递减计数模式下，计数器从自动预装载值 TIM1_ARR 开始递减计数，计数到 0 时，产生一个下溢事件（更新事件）。当用户启用了重复计数功能后，重复计数器在每次下溢事件时递减计数，只有当重复计数器从设定值递减到 0 时，才会产生更新事件；设置 TIM1_EGR 寄存器的 UG=1，同样可以产生一个更新事件，更新事件后计数器从自动预装载值 TIM1_ARR 开始重新递减计数（TIM1_CR1 寄存器 UDIS=0）。

图 10-8 递减计数模式（UDIS＝0）



通过配置 TIM1_CR1 寄存器的 UDIS=1，可禁止产生更新事件，当计数器发生下溢事件时，不产生更新事件。此时若配置 UG=1，同样不产生更新事件，但是计数器和预分频器计数器会被初始化，从 TIM1_ARR 开始计数。

图 10-9 递减计数模式 (UDIS=1 禁止更新事件)



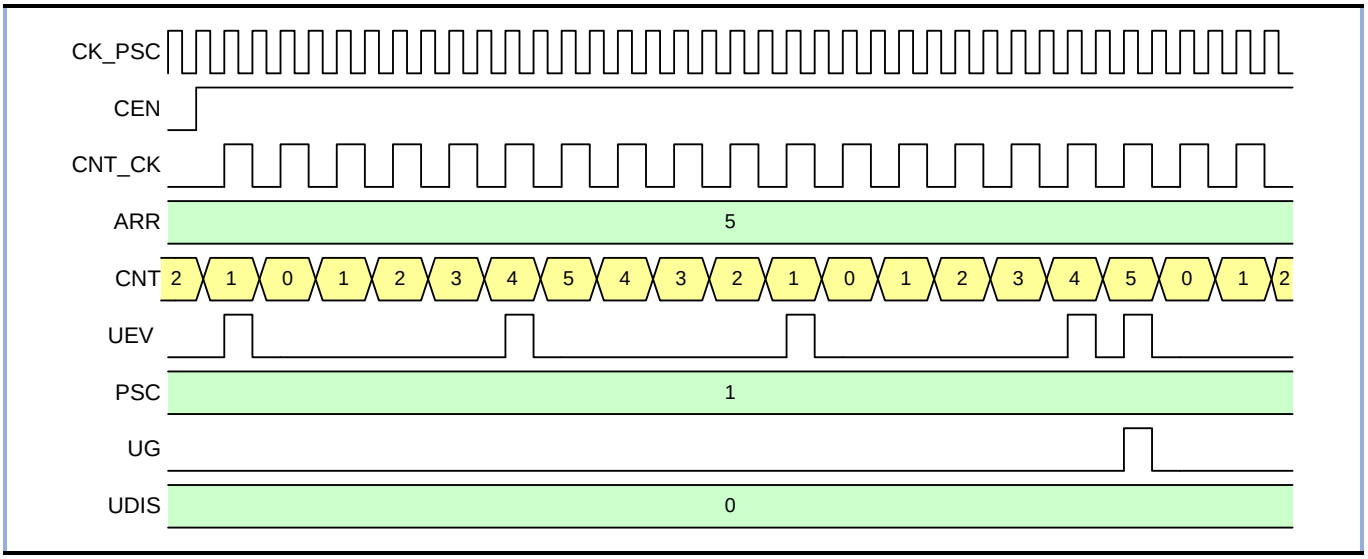
10.4.1.3.3 中央计数模式 (递增/递减计数模式)

配置 TIM1_CR1 寄存器的 CMS ≠ 0（此时写入 DIR 无效），选择中央对齐计数模式。

中央对齐计数模式，递增计数和递减计数交替进行。递增计数到 ARR-1 时，产生一个上溢事件，然后从 ARR 开始递减计数到 1，产生一个下溢事件，再从 0 开始递增计数。

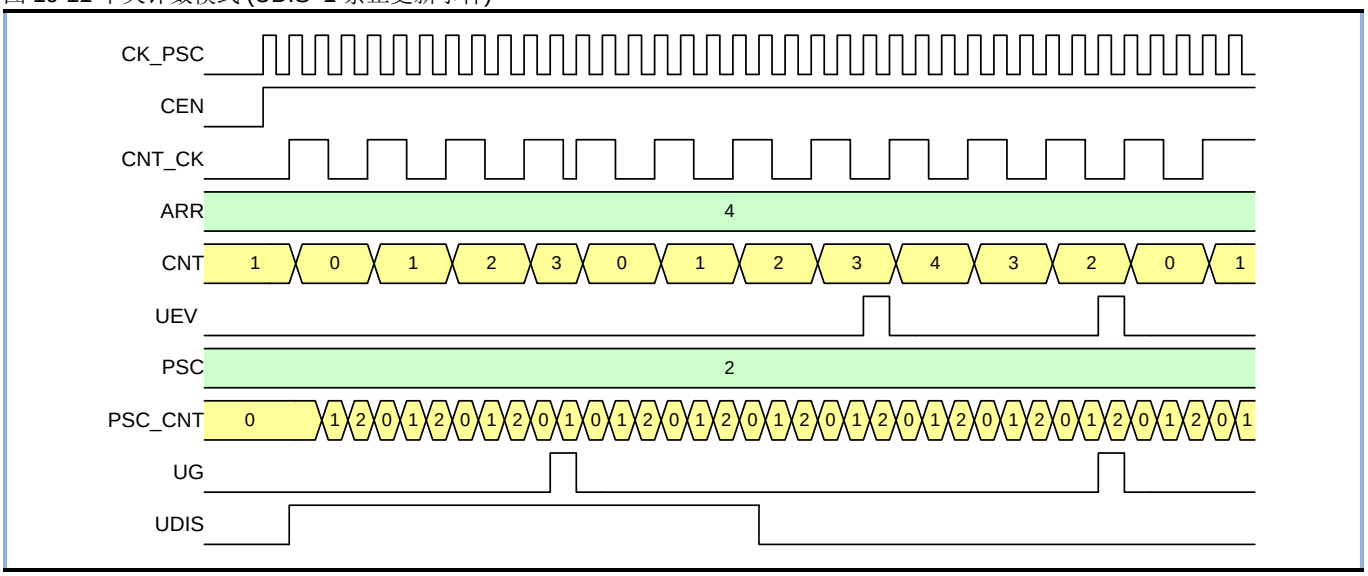
当用户启用了重复计数功能后，重复计数器在每次上溢事件或下溢事件时递减重复计数器值，只有当重复计数器从设定值递减到 0 时，才会产生更新事件；设置 TIM1_EGR 寄存器的 UG=1，同样可以产生一个更新事件，更新事件后计数器从 0 开始重新递增计数（TIM1_CR1 寄存器 UDIS=0）。

图 10-10 中央计数模式（UDIS=0）



通过配置 TIM1_CR1 寄存器的 UDIS=1，可禁止产生更新事件，当计数器发生上溢或下溢事件时，不产生更新事件。此时若配置 UG=1，同样不产生更新事件，但是计数器和预分频器计数器会被初始化，从零开始重新计数。

图 10-11 中央计数模式 (UDIS=1 禁止更新事件)



10.4.2 重复计数器

重复计数器可以用来调整更新事件产生的频率。边沿对齐模式下，向上计数时，重复计数器在计数器每次上溢时递减；向下计数时，重复计数器在计数器每次下溢时递减。中央对齐模式下，重复计数器在计数器上溢和下溢时皆递减。通过配置 TIM1_RCR 寄存器的 REP 来调整更新事件产生的频率，重复计数器在 REP+1 个计数周期后产生更新事件。在中央对齐模式下，更新事件在上溢还是在下溢时产生，由写入 REP 的值来决定。

发生更新事件，REP 的值会更新至实时重复计数器 REP_CNT 中。允许对 REP_CNT 实时写入以实现对更新事件发生时间点的灵活调整。

通过配置 TIM1_PDER 寄存器的 CCDREPE，可以调整 DMA 请求的发生频率。CCDREPE=0，DMA 请求需要根据重复计数寄存器的值来产生；CCDREPE=1，DMA 请求在每次上溢或下溢时都会产生。

图 10-12 中心对齐模式重复计数时序图

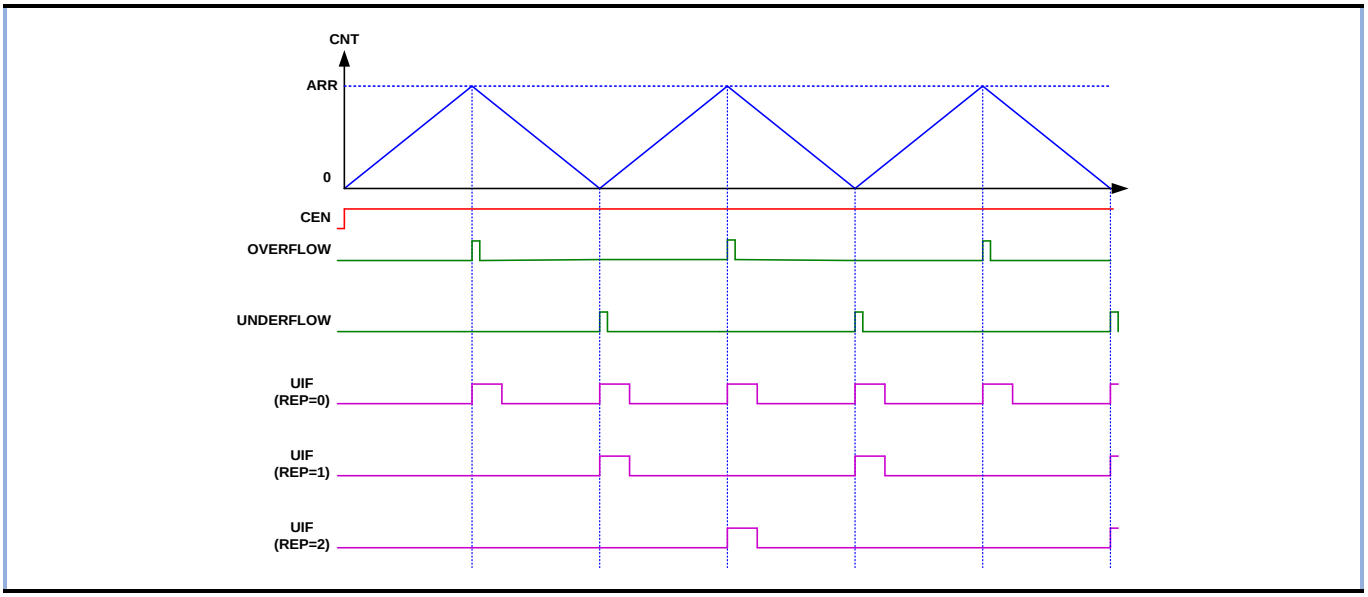


图 10-13 边沿对齐模式递增计数时序图

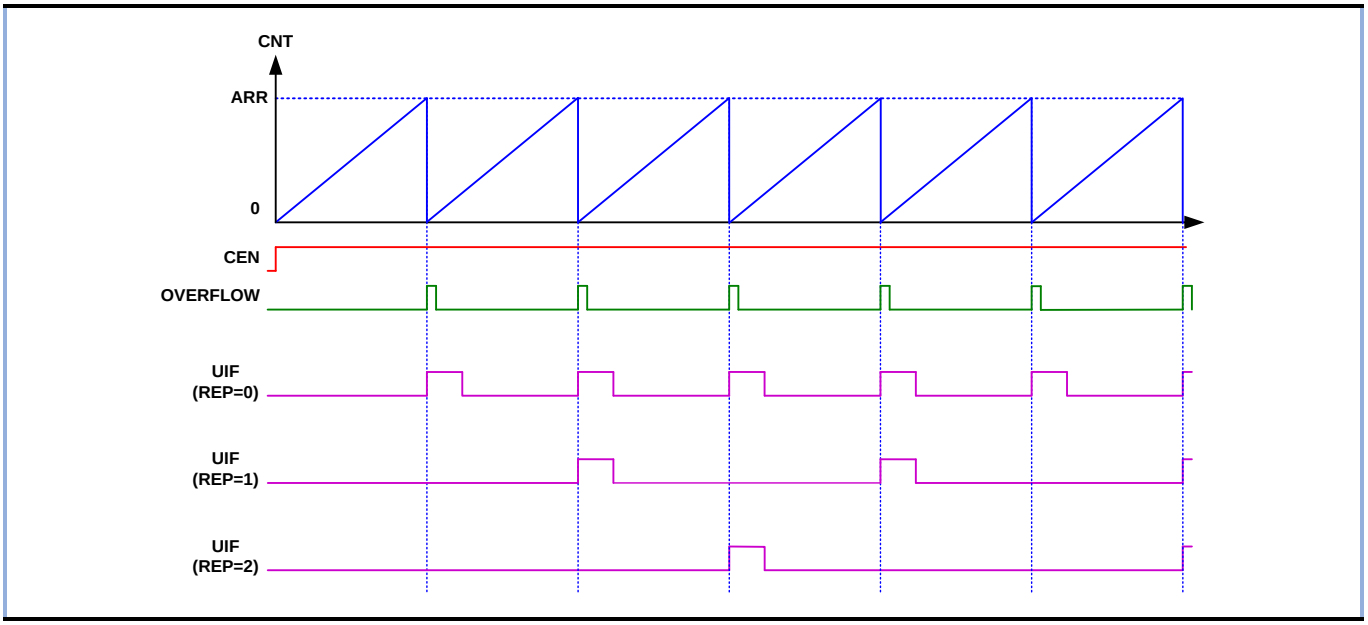
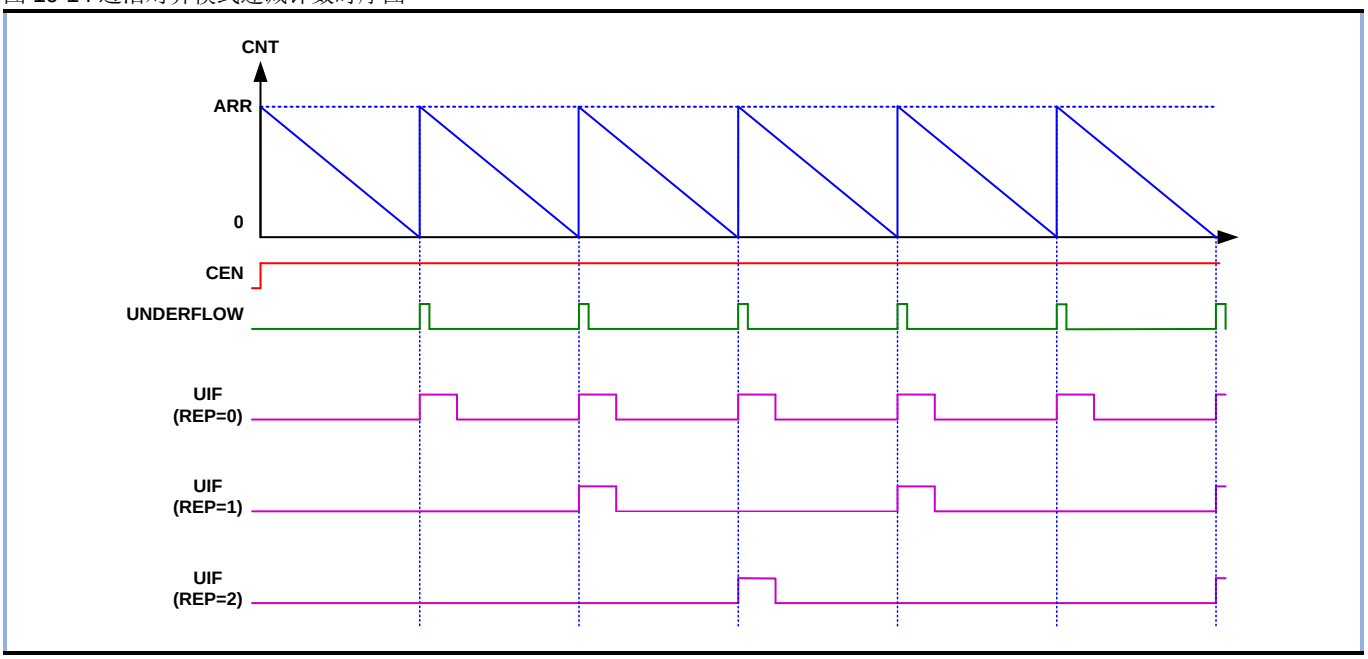


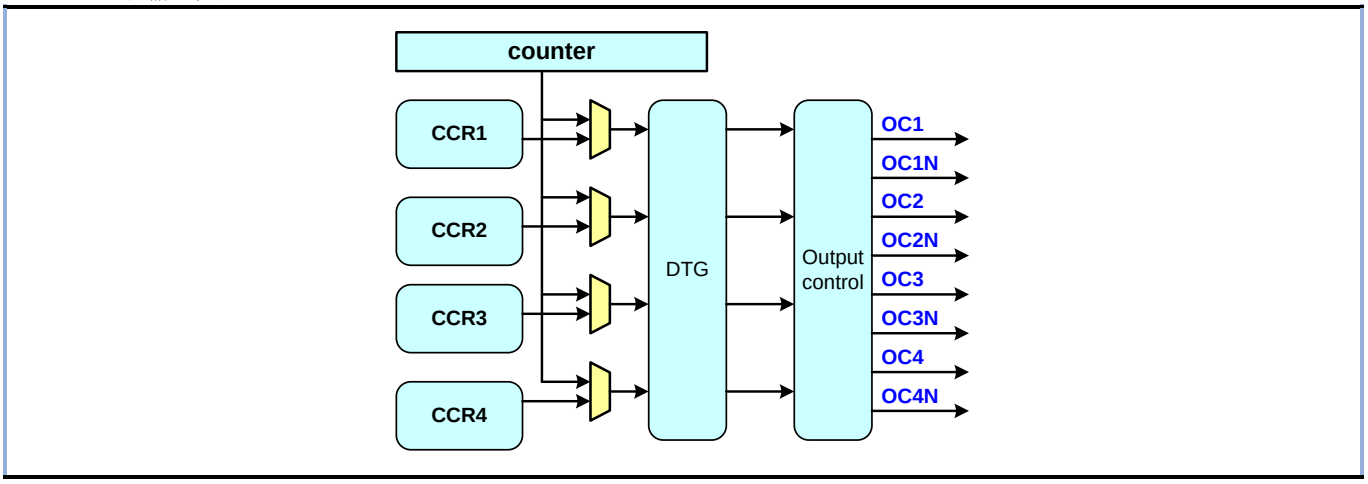
图 10-14 边沿对齐模式递减计数时序图



10.4.3 比较输出

比较通道的比较输出部分由比较器、输出控制电路和比较寄存器组成，其结构图如下图所示：

图 10-15 比较输出框图



在比较输出模式下，比较寄存器的内容被载入到影子寄存器中，然后影子寄存器的内容和计数器当前值进行比较。比较模块包括一个比较寄存器（预装载寄存器）和一个影子寄存器，读写过程仅操作比较寄存器。

10.4.3.1 强制输出

配置 TIM1_CCMRx 寄存器 OCxM 位，可以直接将比较输出信号直接强制为有效或无效状态，不依赖于比较结果。配置 TIM1_CCMRx 寄存器 OCxM = 100，强制比较输出信号为无效状态。此时 OCxREF 被强制为低电平。配置 TIM1_CCMRx 寄存器 OCxM = 101，强制比较输出信号为有效状态。此时 OCxREF 被强制为高电平（OCxREF 始终为高电平有效）。

注：强制输出模式下，在 TIM1_CCRx 影子寄存器和计数器之间的比较输出仍在进行，比较结果的相应标志位也会被修改，如果开启了对应的中断和 DMA 请求，仍会产生对应的中断和 DMA 请求。

10.4.3.2 比较输出

比较输出模式下，当计数器与比较寄存器值相同时，可以根据 TIM1_CCMRx 寄存器的 OCxM 位的配置用来输出不同的波形。

例如，当计数器与比较寄存器的内容匹配时，比较输出模式下的操作如下：

1. 在比较匹配时，OCxM 的值不同，输出通道 x 信号 OCx 的操作不同：
   - OCxM = 000：OCx 信号保持它的电平
   - OCxM = 001：OCx 信号被设置成有效电平
   - OCxM = 010：OCx 信号被设置成无效电平
   - OCxM = 011：OCx 信号进行翻转
2. 匹配时状态寄存器中的标志位置 1（TIM1_SR 寄存器中的 CCxIF 位）。
3. 当配置了 TIM1_DIER 寄存器中的 CCxIE =1，匹配时则产生一个中断。
4. 当配置了 TIM1_DIER 寄存器中的 CCxDE =1，匹配时则产生一个 DMA 请求（仅适用于有内置 DMA 的产品）。

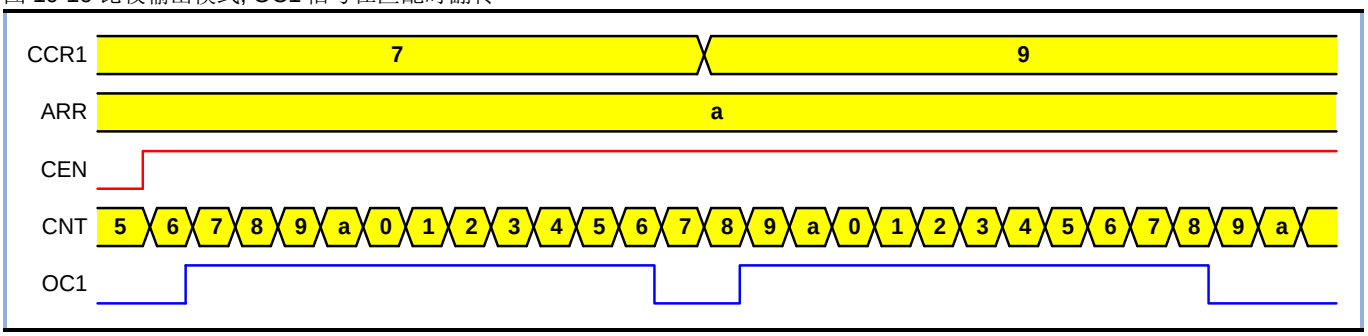
比较输出模式也可以用来输出一个单脉冲（单脉冲输出模式）。

通道 1 的比较输出模式的配置步骤如下：

1. 配置计数器的时钟（选择时钟源，配置预分频系数）。
2. 配置 TIM1_ARR 和 TIM1_CCR1 寄存器。
3. 配置 TIM1_DIER 寄存器的 CC1IE =1，使能比较 1 中断。
4. 配置输出模式：
   - 配置 TIM1_CCMR1 寄存器的 OC1M = 011，OC1 比较匹配时翻转。
   - 配置 TIM1_CCMR1 寄存器的 OC1PE = 0 ，禁止 TIM1_CCR1 寄存器的预装载功能。
   - 配置 TIM1_CCER 寄存器的 CC1P = 1，OC1 低电平有效。
   - 配置 TIM1_CCER 寄存器的 CC1E = 1，开启输出/比较 1 输出使能，OC1 信号输出到对应的输出引脚。
5. 配置 TIM1_CR1 寄存器的 CEN =1，启动计数器。

当配置 TIM1_CCMRx 寄存器中 OCxPE=0，禁止 TIM1_CCRx 寄存器的预装载功能时，可以随时写入 TIM1_CCRx 寄存器，并且写入的值立即生效。当配置 TIM1_CCMRx 寄存器中 OCxPE=1，启用 TIM1_CCRx 寄存器的预装载功能时，读写仅对预装载寄存器进行操作，TIM1_CCRx 预装载寄存器的值在下次更新事件到来时生效。下图给出了一个例子。

图 10-16 比较输出模式, OC1 信号在匹配时翻转



注：比较输出模式下，更新事件不会对输出结果产生影响。强制输出模式下，在 TIM1_CCRx 影子寄存器和计数器之间的比较输出仍在进行，比较结果的相应标志位也会被修改，如果开启了对应的中断和 DMA 请求，仍会产生对应的中断和 DMA 请求。

10.4.3.3 PWM 输出

在 PWM 模式下，根据 TIM1_ARR 寄存器和 TIM1_CCRx 寄存器的值，产生一个频率、占空比可控的 PWM 波形。

配置与通道 x 对应的 TIM1_CCMRx 寄存器的 OCxM=110 或 OCxM=111，选择通道 x 进入 PWM 模式 1 或 PWM 模式 2。PWM 模式下，计数器和 CCRx 会一直进行比较，根据配置和比较结果，通道 x 输出不同的信号，因此 TIM1 可以产生 4 个同频率下独立占空比的 PWM 输出信号。PWM 模式下可开启 TIM1_CCRx 的预装载功能和 TIM1_ARR 寄存器的预装载功能。写入 TIM1_CCRx 预装载寄存器和 TIM1_ARR 预装载寄存器的值在发生下个更新事件时，才会生效，载入相应的影子寄存器。PWM 模式下，使能计数器前设置 TIM1_EGR 的 UG=1，产生更新事件用于初始化所有的寄存器。

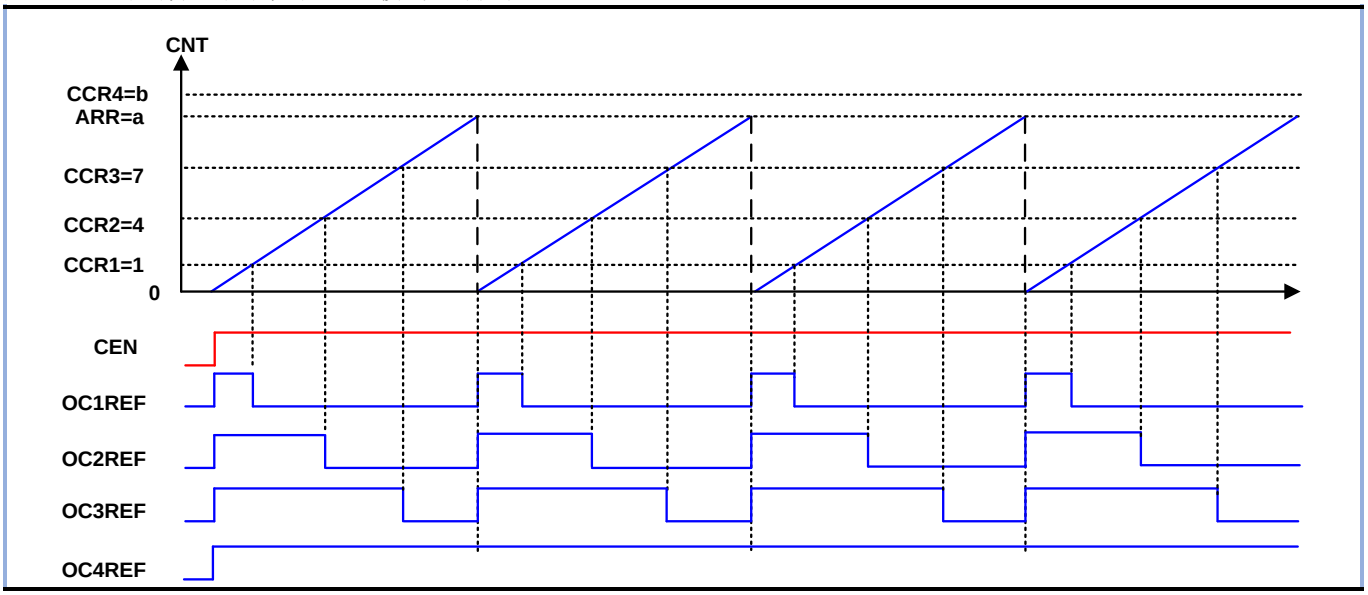
配置 TIM1_CCER 寄存器的 CCxP 选择 OCx 的有效极性。配置 TIM1_CCER 寄存器的 CCxE、CCxNE 位和 TIM1_BDTR 寄存器的 MOE、OSSI、OSSR 位控制 OCx 的输出使能。配置 TIM1_CR1 寄存器的 CMS 位， 可以选择产生边沿对齐或中央对齐的 PWM 信号。

- **CMS=00，边沿对齐模式，再进一步配置 DIR，选择递增或递减计数模式。**
- **CMS=01，中央对齐模式 1。**
- **CMS=10，中央对齐模式 2。**
- **CMS=11，中央对齐模式 3。**

10.4.3.3.1 PWM 边沿对齐模式-递增计数模式

在递增计数模式配置的基础上，配置 OCxM=110，选择 PWM 模式 1，当 TIM1_CNT < TIM1_CCRx 时通道 x（OCxREF）为有效电平，否则为无效电平。如果 TIM1_CCRx 中的比较值大于自动重装载值（TIM1_ARR），则 OCxREF 保持为有效电平。如果比较值为 0，则 OCxREF 保持为无效电平。下图为 CCR1=0x1，CCR2=0x4，CCR3=0x7，CCR4=0xb，ARR=0xa 时边沿对齐递增计数时 PWM 模式 1 的波形实例。

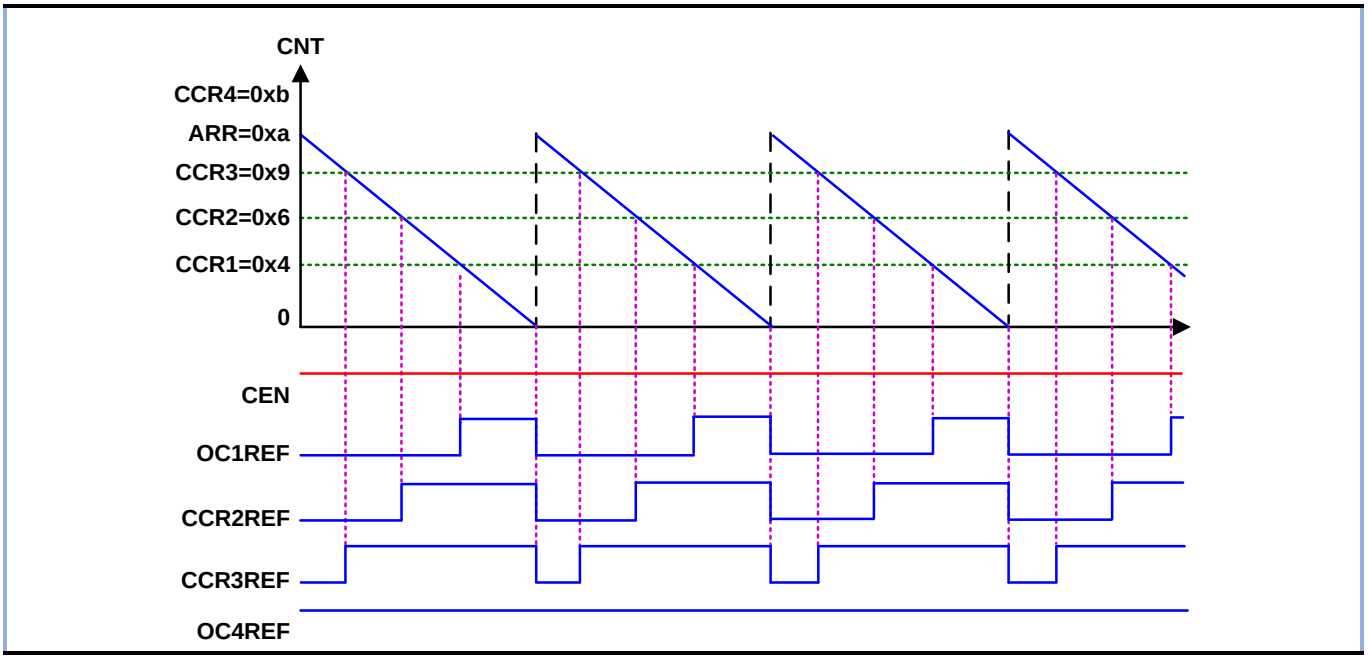
图 10-17 边沿对齐递增计数时 PWM 模式 1 的波形



10.4.3.3.2 PWM 边沿对齐模式-递减计数模式

在递减计数模式配置的基础上，配置 OCxM=110，选择 PWM 模式 1，当 TIM1_CNT > TIM1_CCRx 时通道 x（OCxREF）为无效电平，否则有效电平。下图为 CCR1=0x4，CCR2=0x6，CCR3=0x9，CCR4=0xb，ARR=0xa 时边沿对齐递减计数时 PWM 模式 1 的波形实例。

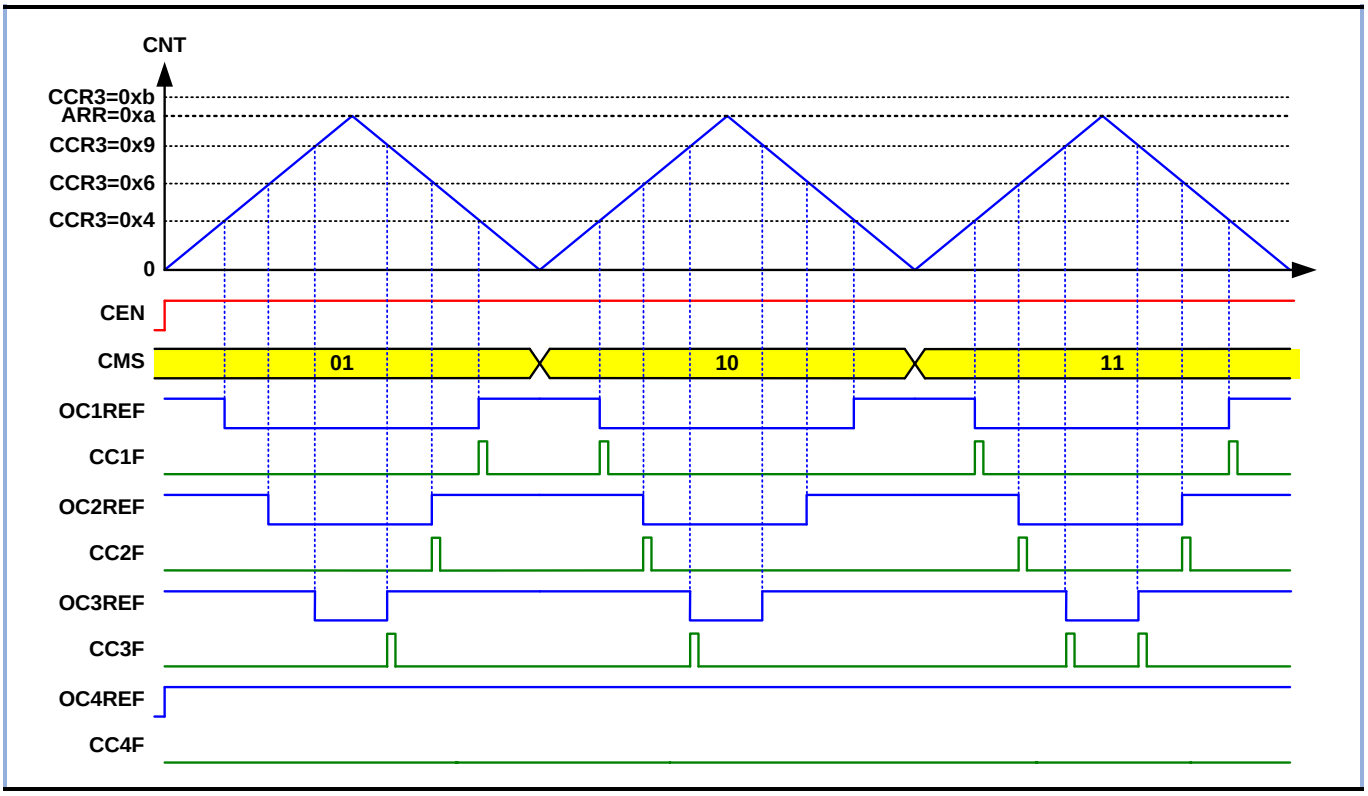
图 10-18 边沿对齐递减计数时 PWM 模式 1 的波形



10.4.3.3.3 PWM 中心对齐模式

配置 TIM1 计数器为中心对齐计数模式。根据不同配置的 CMS，比较输出中断标志位在递增计数时设置（CMS =01），在递减计数时设置（CMS =10）或在递增计数或递减计数时设置（CMS =11）。下图是 CCR1=0x4, CCR2=0x6,CCR3=0x9,CCR4=0xb,ARR=0xa 期间中心对齐 PWM 模式 1(CMS =1)的波形示例。

图 10-19 中心对齐 PWM 模式 1 的波形



注：

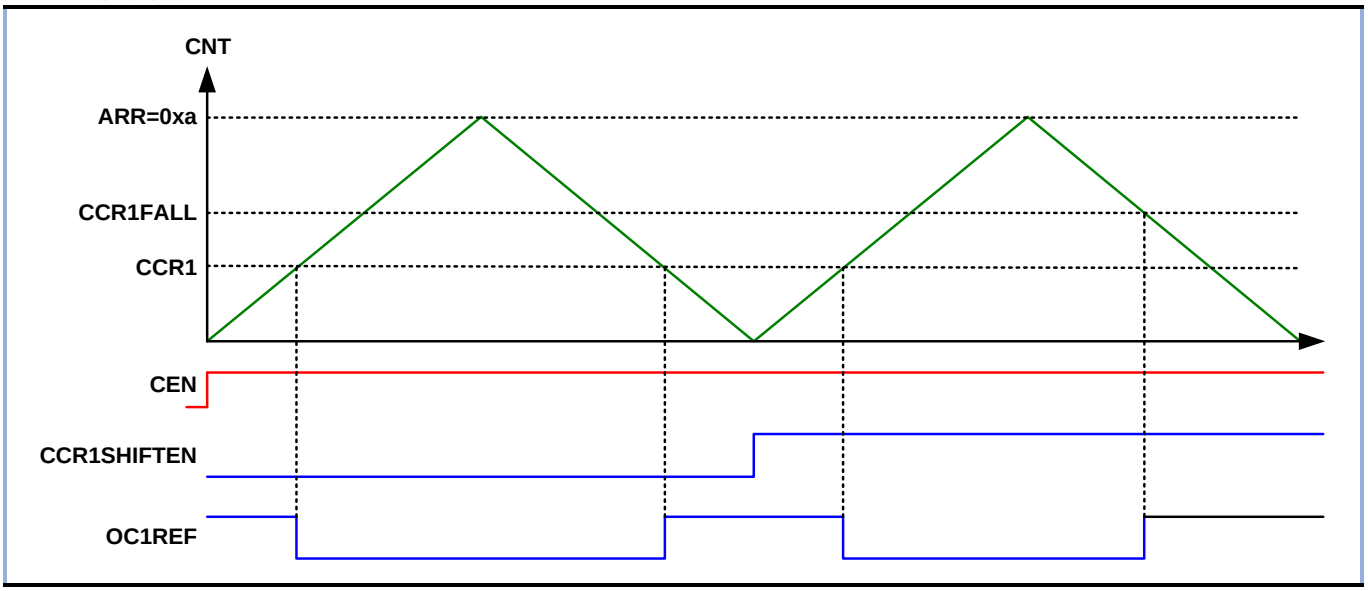
- 进入中心对齐模式时，使用当前的递增/递减计数配置，计数方向取决于当前的 **DIR** 的值。
- 在中心对齐模式下，最好不要修改计数器的值，可能会产生不可预知的结果。当计数器处于递增计数时，写入计数器的值 **> TIM1_ARR**，计数器会继续递增计数。直接写入 **0** 或 **ARR**，会立即更新计数方向，但不会产生更新事件。
- 建议使用中心对齐模式时，在启动计数器之前配置 **TIM1_EGR** 寄存器的 **UG=1**，产生一个软件更新， 更新所有寄存器，启动计数器后不要修改计数器的值。

10.4.3.3.4 PWM 中心对齐模式下移相功能

设置 PDER 寄存器（通道 x 输出 PWM 移相使能位）和 CCRxFALL 寄存器（通道 x 在 PWM 中心对齐模式递减计数时的比较值），可以实现各通道输出 PWM 移相。根据需要移动相位，配置 CCRxFALL 以及 CCRx，即可实现

PWM 输出可编程的移相波形，可左移或是右移。

图 10-20 移相功能



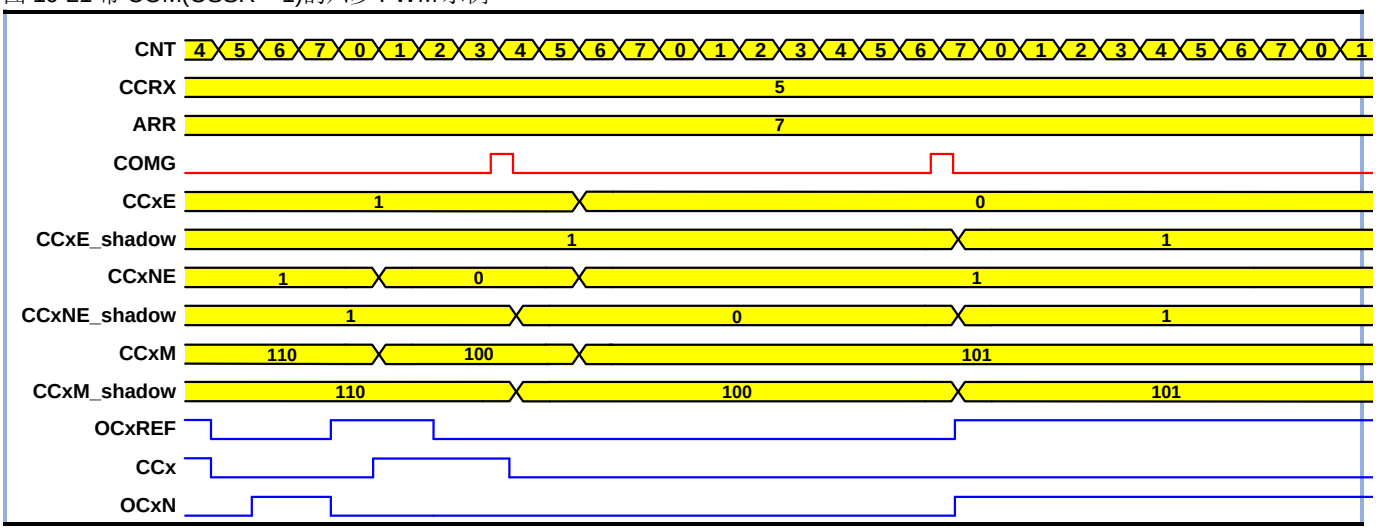
10.4.3.3.5 6 步 PWM 输出

通过配置 OCxM 选择输出模式，CCxE=1 和 CCxNE=1 打开通道 x 和互补通道的输出使能，可以在通道 x 产生互补输出，这几个功能位为预装载位，在发生 COM 换相事件时，这些预装载位被装载到对应的影子寄存器中。这样可以在写入这些位时不会影响现在的输出，并可以同时载入所有通道配置。配置 TIM1_EGR 寄存器的 COMG=1 或在 TRGI 上升沿都可以产生 COM 事件。

发生 COM 事件时，COM 中断标记会被硬件置 1；当配置了 TIM1_DIER 寄存器 COMIE=1 和 COMDE =1，发生 COM 事件会产生一个 COM 中断和一个 DMA 请求（产生 DMA 请求仅适用于有内置 DMA 的产品）。

下图显示当发生 COM 事件时，不同配置下 OCx 和 OCxN 输出。

图 10-21 带 COM(OSSR = 1)的六步 PWM 示例

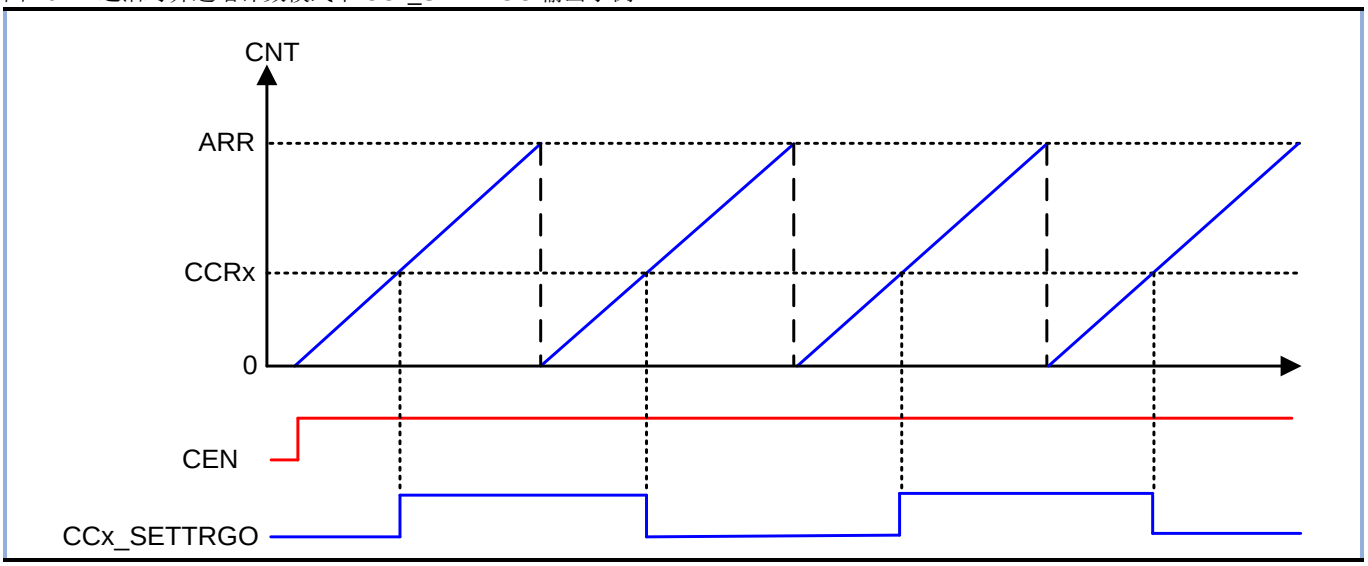


10.4.3.3.6 触发源输出

PWM 模式下，CCx_SETTRGO 信号可以用于触发 ADC 等模块。本章节仅介绍 CCx_SETTRGO 信号的触发逻辑，详细触发源选择，触发边沿选择等信息请参考 ADC 章节。

边沿对齐模式下，每次比较匹配（TIMx_CNT 当前计数值等于 TIMx_CCRx）时，CCx_SETTRGO 发生一次翻转。下图为边沿对齐递增计数模式下 CCx_SETTRGO 输出示例。

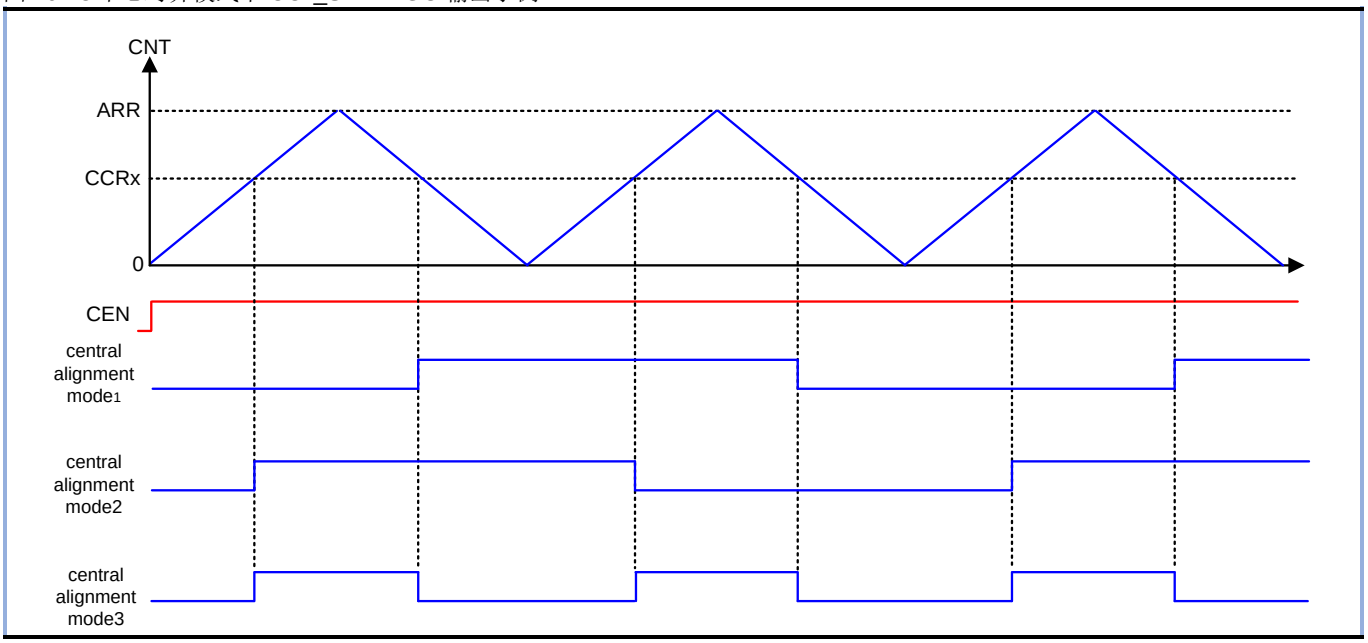
图 10-22 边沿对齐递增计数模式下 CCx_SETTRGO 输出示例



中心对齐模式 1 下，在递减计数周期比较匹配时 CCx_SETTRGO 发生一次翻转。中央对齐模式 2 下， 在递增计数周期比较匹配时 CCx_SETTRGO 发生一次翻转。中心对齐模式 3 下，在递增计数周期或递减计数周期比较匹配时 CCx_SETTRGO 发生一次翻转。下图为中心对齐模式下 CCx_SETTRGO 输出示例。

注：使用移相模式时，递减计数比较匹配目标为 CCRxFALL。

图 10-23 中心对齐模式下 CCx_SETTRGO 输出示例



10.4.3.4 互补输出和死区插入

OCx 和 OCxN 是一对互补输出通道，TIM1 所有通道能够输出可以管理瞬时关断和瞬时接通的互补信 号，同时具有可调的死区时间。用户根据连接的输出器件和它们的特性（电平转换的延时、电源开关的延时等）来调整死区时间。

TIM1_BDTR 寄存器 DTG[7：0]位定义了插入互补输出之间的死区持续时间，具体计算方式如下表：

表 10.1 死区时间计算

DTG[7：5]	DT
0xx	DT= DTG[7：0] x T_{dtg}（T_{dtg}=T_{DTS}）
10x	DT=（64+DTG[5：0]）x T_{dtg}（T_{dtg} =2xT_{DTS}）
110	DT=（32+DTG[4：0]）x T_{dtg}（T_{dtg} =8xT_{DTS}）
111	DT=（32+DTG[4：0]）x T_{dtg}（T_{dtg} =16xT_{DTS}）

例如，如果 TDTS=125ns，可能的死区时间为：

- **若步长时间为 125ns，死区时间为 0 至 15875ns。**
- **若步长时间为 250ns，死区时间为 16μs 至 31750ns。**
- **若步长时间为 1μs，死区时间为 32μs 至 63μs。**
- **若步长时间为 2μs，死区时间为 64μs 至 126μs。**

当不存在刹车电路时，同时配置 CCxE=1 和 CCxNE=1，开启死区插入，否则还需要配置 MOE=1。 配置

TIM1_CCER 寄存器的 CCxP 和 CCxNP 位，可以为每一个输出独立地选择极性（主输出 OCx 或互补输出 OCxN）。

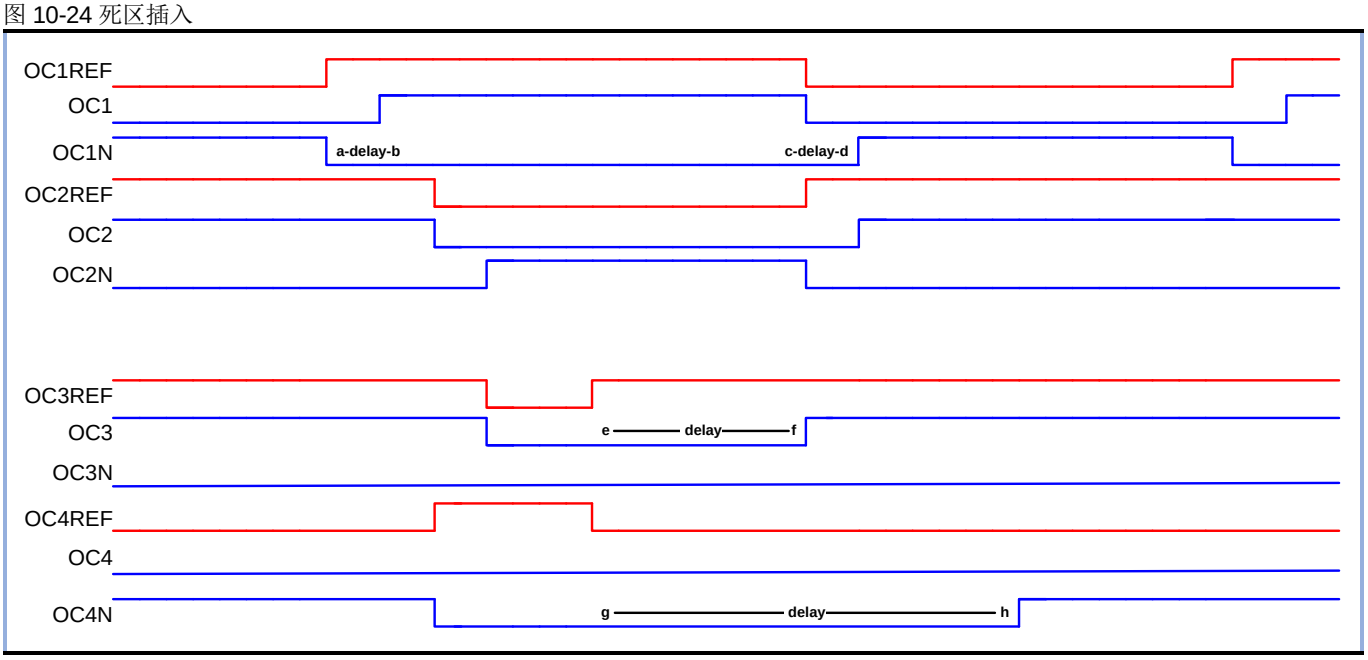
通过配置 TIM1_CCER 寄存器的 CCxE 和 CCxNE 位，TIM1_BDTR 和 TIM1_CR2 寄存器中的 MOE、OISx、OISxN、OSSI 和 OSSR 位的不同组合可以控制互补信号 OCx 和 OCxN 的输出。具体的组合控制配置见本章表 2、表 3、表 4 和表 5 的互补输出通道 OCx 和 OCxN 的控制位。

例：OCx 和 OCxN 都为高有效，PWM 模式下，发生匹配时，输出参考信号 OCxREF 信号翻转，输出信号 OCx 与参考信号相同，但是 OCx 信号的上升沿对于参考信号的上升沿有一个延时；互补输出信号 OCxN 与参考信号相反，OCxN 信号的上升沿对于参考信号的下降沿同样有一个延时。

注：死区时间不能大于或等于 OCx 或 OCxN 信号的占空比，否则 OCx 或 OCxN 信号一直为无效值。

下列几张图显示了死区发生器的输出信号和当前参考信号 OCxREF 之间的关系。

图 10-24 死区插入



10.4.3.5 刹车功能

TIM1 的刹车源有引脚输入、时钟失效事件、和比较器输出三种类型。时钟失效事件由复位时钟控制器中的时钟安全系统产生。

使用刹车功能时，OCx 和 OCxN 输出信号电平被以下功能位组合控制：TIM1_BDTR 寄存器中的 MOE、OSSI 和 OSSR 位，TIM1_CR2 寄存器中的 OISx 和 OISxN 位。发生刹车事件时，OCx 和 OCxN 输出不能同时有效。具体的带刹车功能的互补输出通道 OCx 和 OCxN 的输出状态如下列表格所示。

表 10.2 当 MOE=1, OSSI=0/1, OSSR=0 时:

CCxE	CCxNE	OCx	OCxN
0	0	OCx=0，OCx_EN=0	OCxN=0，OCxN_EN=0
0	1	OCx=0，OCx_EN=0	OCxN=OCxREF+极性，OCxN_EN=1
1	0	OCx=OCxREF+极性，OCx_EN=1	OCxN=0，OCxN_EN=0
1	1	OCx=OCxREF+极性+死区时间, OCx_EN=1	OCxN=OCxREF+反相 +极性+死区时间, OCxN_EN=1

表 10.3 当 MOE=1, OSSI=0/1, OSSR=1 时

CCxE	CCxNE	OCx	OCxN
0	0	OCx=0，OCx_EN=0	OCxN=0，OCxN_EN=0
0	1	OCx=CCxP，OCx_EN=1	OCxN=OCxREF+极性，OCxN_EN=1
1	0	OCx=OCxREF+极性, OCx_EN=1	OCxN=CCxNP，OCxN_EN=1
1	1	OCx=OCxREF+极性+死区时间, OCx_EN=1	OCxN=OCxREF 反相+极性+死区时间, OCxN_EN=1

表 10.4 当 MOE=0, OSSI=0, OSSR=0/1 时

CCxE	CCxNE	OCx	OCxN
0	0	OCx_EN=0，OCxN_EN=0 异步的：OCx=CCxP，OCxN=CCxNP 如果时钟可用：在死区时间之后,OCx=OISx，OCxN=OISxN OISx 和 OISxN 都不对应 Ocx 和 OCxN 的有效电平	

CCxE	CCxNE	OCx	OCxN
0	1	OCx_EN=0, OCxN_EN=0 异步的：OCx=CCxP，OCxN=CCxNP 如果时钟可用：在死区时间之后,OCx=OISx，OCxN=OISxN OISx 和 OISxN 都不对应 Ocx 和 OCxN 的有效电平	
1	0	OCx_EN=0，OCxN_EN=0 异步的：OCx=CCxP，OCxN=CCxNP 如果时钟可用：在死区时间之后,OCx=OISx，OCxN=OISxN OISx 和 OISxN 都不对应 Ocx 和 OCxN 的有效电平	
1	1	OCx_EN=0，OCxN_EN=0 异步的：OCx=CCxP，OCxN=CCxNP 如果时钟可用：在死区时间之后,OCx=OISx，OCxN=OISxN OISx 和 OISxN 都不对应 Ocx 和 OCxN 的有效电平	

表 10.5 当 MOE=0, OSSI=1, OSSR=0/1 时

CCxE	CCxNE	OCx	OCxN
0	0	OCx_EN=1，OCxN_EN=1 异步的：OCx=CCxP，OCxN=CCxNP 如果时钟可用：在死区时间之后,OCx=OISx，OCxN=OISxN OISx 和 OISxN 都不对应 Ocx 和 OCxN 的有效电平	
0	1	OCx_EN=1, OCxN_EN=1 异步的：OCx=CCxP, OCxN=CCxNP 如果时钟可用：在死区时间之后,OCx=OISx，OCxN=OISxN OISx 和 OISxN 都不对应 Ocx 和 OCxN 的有效电平	
1	0	OCx_EN=1，OCxN_EN=1 异步的：OCx=CCxP，OCxN=CCxNP 如果时钟可用：在死区时间之后,OCx=OISx，OCxN=OISxN OISx 和 OISxN 都不对应 Ocx 和 OCxN 的有效电平	
1	1	OCx_EN=1，OCxN_EN=1 异步的：OCx=CCxP，OCxN=CCxNP 如果时钟可用：在死区时间之后,OCx=OISx，OCxN=OISxN OISx 和 OISxN 都不对应 Ocx 和 OCxN 的有效电平	

注：当通道的输出和互补输出都关闭时，OISx，OISxN，CCxP 和 CCxNP 都必须配置为 0。

系统复位后，MOE=0，刹车功能禁止，需要配置 TIM1_BKINF 寄存器的 BKIN_SEL，选择刹车源，支持选择多路刹车源，任意一路刹车信号有效都会触发刹车。配置 TIM1_BKINF 寄存器的 BKINFE，选择刹车信号滤波功能是否有效。配置 TIM1_BKINF 寄存器的 BKINF，选择刹车数字滤波的采样频率。更改刹车数字滤波采样频率前应先关闭刹车滤波功能。配置 TIM1_BDTR 寄存器的 BKE=1，使能刹车功能信号。配置 TIM1_BDTR 寄存器的 BKP 位选择刹车输入信号的极性。BKP 和 BKE 可以同时写入，且会在一个时钟周期后生效。

由于 MOE 被异步清除，因此在实际信号和同步控制位间插入了一个再同步电路，用于在同步信号和异步信号间产生延迟（当 MOE 状态为 0 时写入 1，写入后读取前需要插入一个空指令用于延时，否则无法保证正确读取）。

发生刹车事件时，MOE 被异步清零，此时根据 OSSI 的配置 OCx/OCxN 的输出将置于无效状态、空闲状态或复位状态；MOE=0 时，输出由 TIM1_CR2 寄存器的 OISx 位决定，OSSI=0 时，定时器关闭输出使 能，否则打开输出使能。当使用互补输出时，输出首先置于复位状态，然后死区重新生成，在死区之后输出电平由 OISx 和 OISxN 决定。

配置 TIM1_DIER 寄存器的 BIE=1，当发生刹车事件时，产生一个刹车中断；配置 TIM1_BDTR 寄存器的 AOE = 1，则在下一个更新事件到来时自动置位 MOE 位。

注：刹车输入为电平有效。所以，当刹车输入有效时，不能（自动地或者通过软件）设置 MOE，并且状态标志 BIF 不能被清除。

刹车电路中实现了写保护以保证应用程序的安全，允许用户锁住死区长度，OCx/OCxN 极性和被禁止的状态，OCxM 配置，刹车使能和极性等参数。通过 TIM1_BDTR 寄存器中的 LOCK 位，可以选择 lock 等级（总共三级 lock）。Lock 在系统复位后只能修改一次。

下图显示响应刹车的输出实例：

图 10-25 响应刹车输出（OISx=0 , OISxN=0）

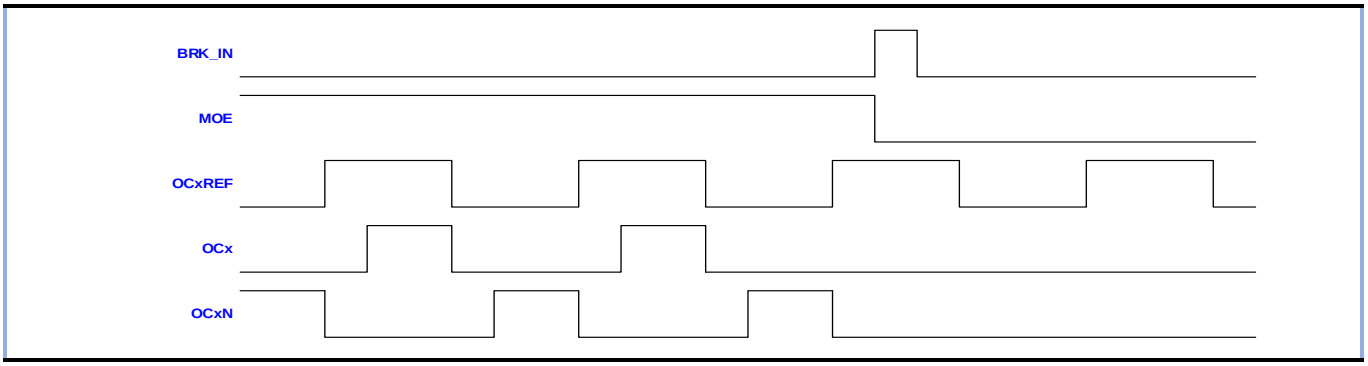


图 10-26 响应刹车输出 (OISx=0, OISxN=1)

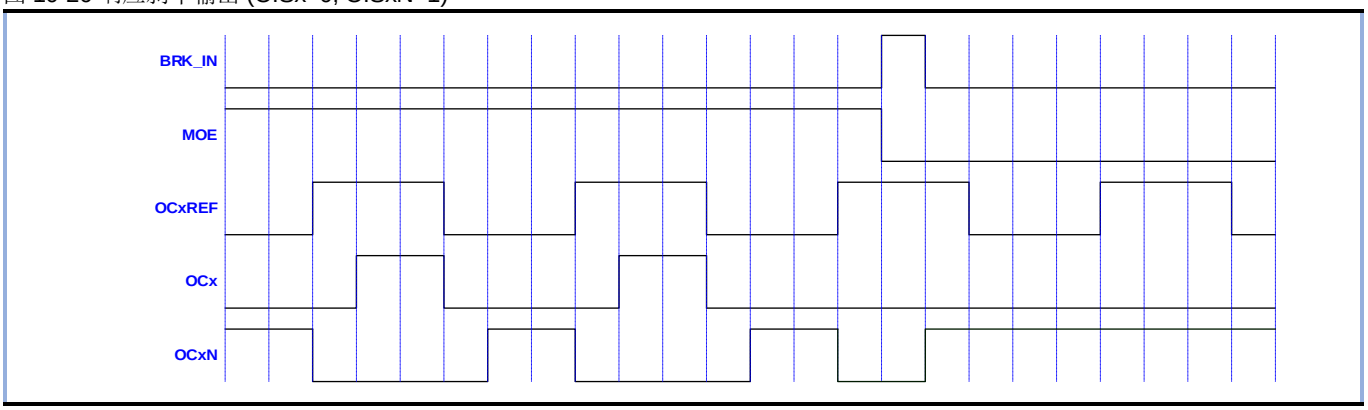


图 10-27 响应刹车输出 (OISx=1,OISxN=0）

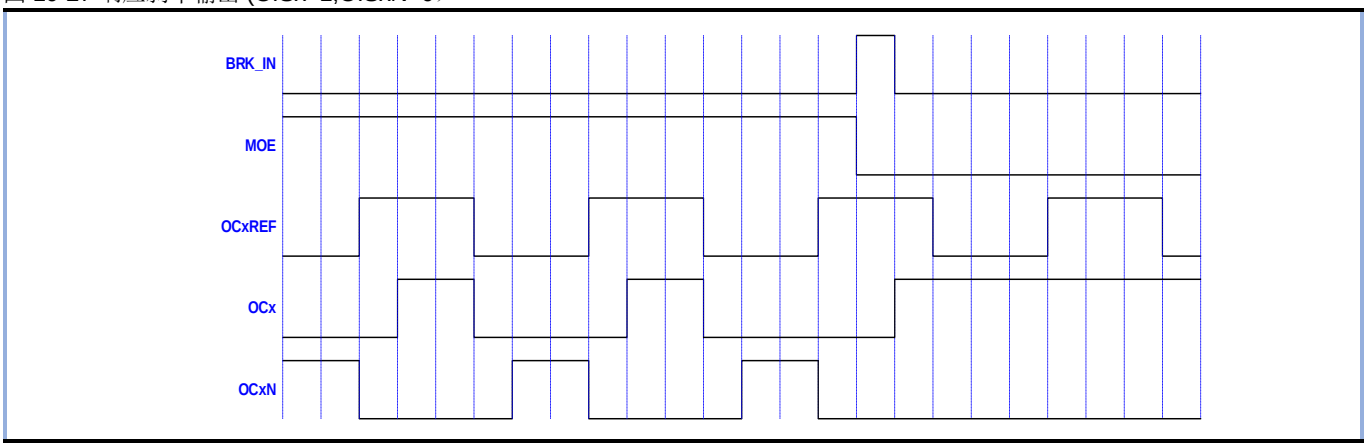
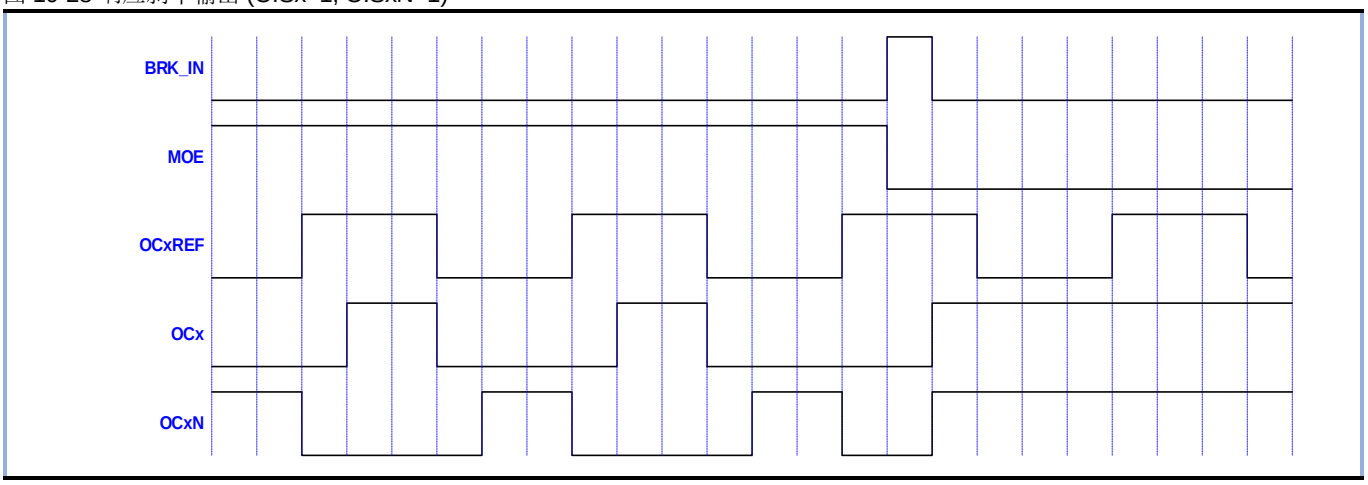


图 10-28 响应刹车输出 (OISx=1, OISxN=1)



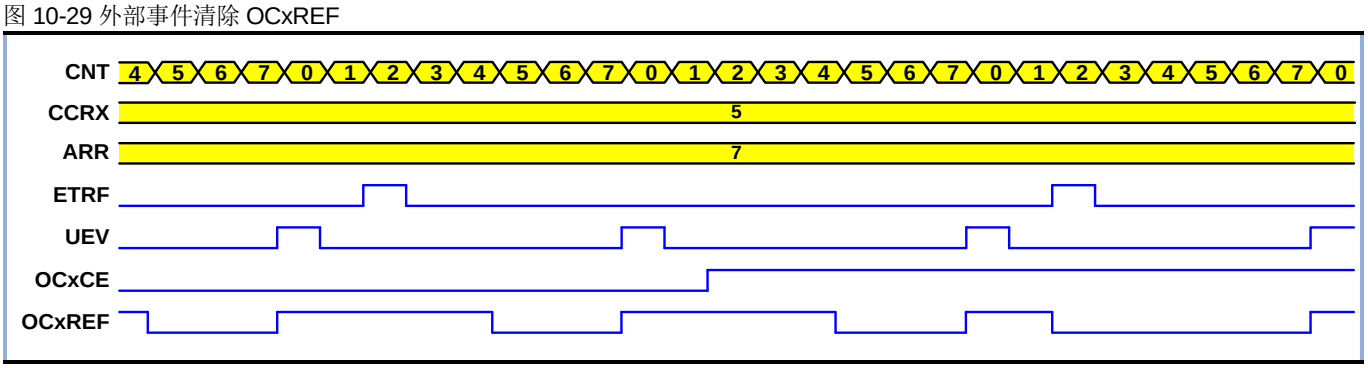
10.4.3.6 外部事件清除 OCxREF

在配置 TIM1_CCMR 寄存器的 OCxCE=1 时，OCxREF 可以被 ETR 输入端的有效电平拉低直到发生下一次更新事件（UEV）。此功能只能用于比较输出模式和 PWM 模式，不能用于强制输出模式。

例，OCxREF 信号连到一个外部输入时，ETR 配置如下：

1.配置 TIM1_SMCR 寄存器的 ETPS[1：0]=00，关闭外部触发预分频。
2.配置 TIM1_SMCR 寄存器 ECE=0，禁用外部时钟模式 2。
3.配置 TIM1_SMCR 寄存器 ETF[3：0]和 ETP，配置 ETR 信号的触发极性和滤波宽度
下图显示了当 ETR 输入变化触发 ETRF 为高时，对应不同 OCxCE 的值，OCxREF 信号的动作（PWM 模式）。

图 10-29 外部事件清除 OCxREF



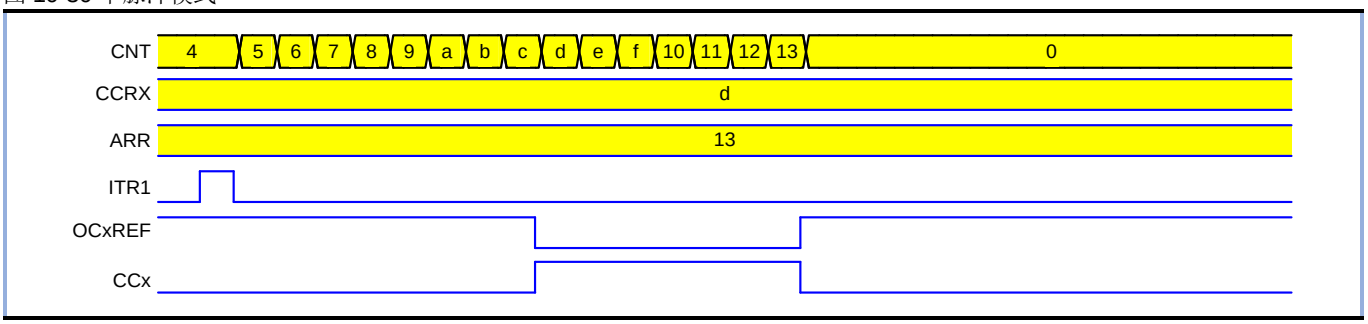
10.4.3.7 单脉冲输出

在单脉冲模式（OPM）中，计数器响应一个激励并产生一个宽度可编程的脉冲。配置 TIM1_CR1 寄存器 OPM =1。选择单脉冲模式，触发信号的有效边缘或配置 CEN =1 可以使能计数器。CEN =1 一直保持到下一次更新事件或配置 CEN =0。

产生脉冲的必要条件是计数器的比较值与初始值不同。启用计数器前的必要配置：

- **递增计数方式：计数器 CNT < CCRx ≤ ARR。**
- **递减计数方式：计数器 CNT > CCRx。**

图 10-30 单脉冲模式



例如，在 ITR1 检测到上升沿，延迟 t_{DELAY} 之后，在 OC2 上产生一个长度为 t_{PULSE} 的正脉冲。

配置 ITR1 作为触发源：

1.配置 TIM1_SMCR 寄存器中的 TS = 001， ITR1 作为从模式控制器的触发（TRGI）。
2.配置 TIM1_SMCR 寄存器中的 SMS = 110，选择触发模式， ITR1 使能计数器工作。

OPM 的波形由 TIM1_ARR 和 TIM1_CCR1 决定（要考虑时钟频率和计数器预分频器）：由 TIM1_CCR1 寄存器的值和 CNT 初始值决定触发信号与单脉冲开始之间的延迟 t_{DELAY}，TIM1_ARR-TIM1_CCR1 的值为脉冲的宽度 t_{PULSE}。

下面是一个产生负脉冲的例子，即发生比较匹配时产生从 1 到 0 的波形，计数器达到预装载值时产生一个从 0 到 1 的波形：

1.配置 TIM1_CCMR1 寄存器 OC1M = 111，选择 PWM 模式 2。
2.配置 TIM1_CCER 寄存器 CC1P = 1，输出低电平有效。
3.配置 TIM1_CCMR1 中 OC1PE = 1 和 TIM1_CR1 寄存器中 ARPE=1，使能预装载寄存器。
4.配置 TIM1_CCR1 寄存器和 TIM1_ARR 寄存器。
5.配置 TIM1_EGR 寄存器 UG=1 产生一个更新事件。
6.等待在 ITR1 上的一个外部触发事件。

此例中，TIM1_CR1 寄存器中的 DIR=0、CMS=0、OPM= 1，在下一个更新事件（当计数器从自动装载值返回到 0）时停止计数。

10.4.3.7.1 Ocx 快速使能

OCx 快速使能，是单脉冲模式的一种特殊情况。在单脉冲模式下，通过设置 TIM1_CCMR 寄存器的 OCxFE=1，强制 OCxREF 直接响应激励而不是依赖计数器和比较值之间的比较结果，输出波形和比较匹配时的波形一样。这样可以去除比较的时间，快速输出比较结果。OCx 快速输出使能只在 PWM 模式下生效。

10.4.4 从模式

10.4.4.1 复位模式

配置 TIM1_SMCR 寄存器的 SMS=100，从模式选择复位模式。此模式下，TRGI 输入事件会使计数器清零重启。

例如，ITR1 触发计数器重启：

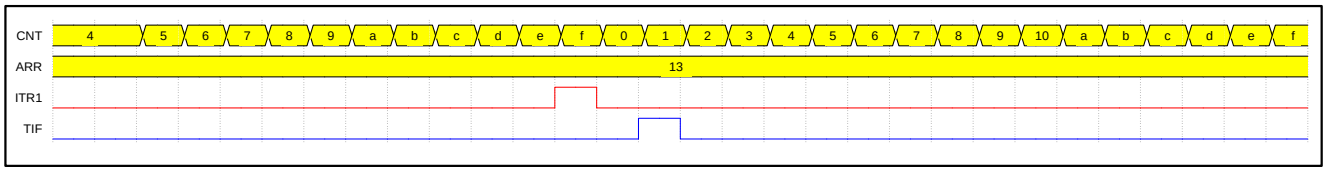
1.配置 TIM1_SMCR 寄存器的 SMS = 100，从模式选择复位模式；配置 TIM1_SMCR 寄存器的 TS =001，选择 ITR1 作为同步计数器的触发输入。

2.配置 TIM1_CR1 寄存器的 DIR=0，选择计数方向为递增计数；配置 PSC=0，不分频；配置 CEN=1， 使能计数器。

计数器的时钟源由内部时钟提供，当检测到 ITR1 的上升沿，计数器被清零重启。此时触发器中断标记被硬件置 1。

下图为复位模式下 TIM1_ARR = 0x13 的时序图。

图 10-31 复位模式的控制时序图



10.4.4.2 门控模式

配置 TIM1_SMCR 寄存器 SMS=101，从模式选择门控模式。TRGI 输入为有效电平时，计数器始终开启，否则计数器停止（但不发生复位操作），计数器的开启和停止可控。

例如，计数器只在 ITR1 为高时计数：

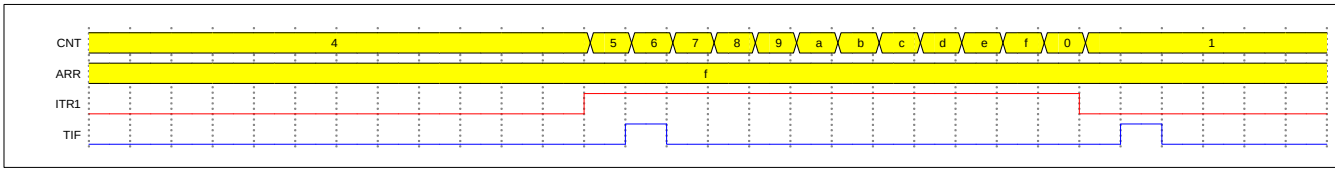
1.配置 TIM1_SMCR 寄存器的 SMS=101，从模式选择为门控模式；配置 TIM1_SMCR 寄存器的 TS=001，选择 ITR1 作为同步计数器的触发输入。

2.配置 TIM1_CR1 寄存器的 DIR=0，选择计数方向为递增计数；配置 PSC=0，不分频；配置 CEN=1， 使能计数器。

计数器的时钟源由内部时钟提供，当检测到 ITR1 的高电平，计数器开始计数，当 ITR1 为低电平时，计数器停止计数。计数器开启或停止都会将 TIF 置 1。

下图为门控模式下 TIM1_ARR=0xf 的时序图。

图 10-32 门控模式下的控制时序图



10.4.4.3 触发模式

配置 TIM1_SMCR 寄存器 SMS=110，从模式选择触发模式。TRGI 输入为有效边沿时，计数器开始计数。计数器的启动可控，停止不可控。

例如，计数器在 ITR1 的上升沿开始计数：

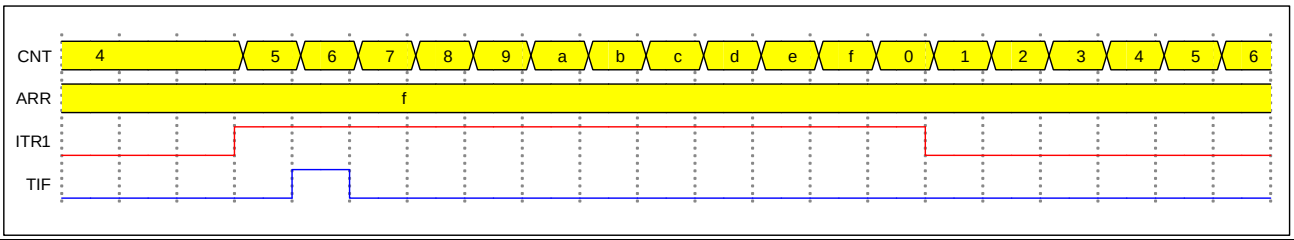
1.配置 TIM1_SMCR 寄存器的 SMS = 110，从模式选择为触发模式; 配置 TIM1_SMCR 寄存器的 TS=001，选择 ITR1 作为计数器的触发输入。

2.配置 TIM1_CR1 寄存器的 DIR=0，选择计数方向为递增计数；配置 PSC=0，不分频。

计数器的时钟源由内部时钟提供，当检测到 ITR1 的上升沿，计数器开始计数。

下图为触发模式下 TIM1_ARR=0xf 的时序图。

图 10-33 触发模式下的控制时序图



10.4.4.4 外部时钟模式 2+从模式

当时钟源选择外部时钟模式 2、ETR 信号被用作外部时钟的输入时，可以与从模式一起使用。这种使用方式时，从模式仅支持复位模式、门控模式、触发模式，不支持外部时钟模式 1。

例如，从模式选择触发模式，计数器在 ETR 的每一个上升沿计数一次：

1.配置 TIM1_SMCR 寄存器的 ETF = 0000，不使用数字滤波器；配置 TIM1_SMCR 寄存器的 ETPS =00，关闭预分频；配置 TIM1_SMCR 寄存器的 ETP = 0，检测 ETR 的上升沿；配置 TIM1_SMCR 寄存器的 ECE = 1，使能外部时钟模式 2。

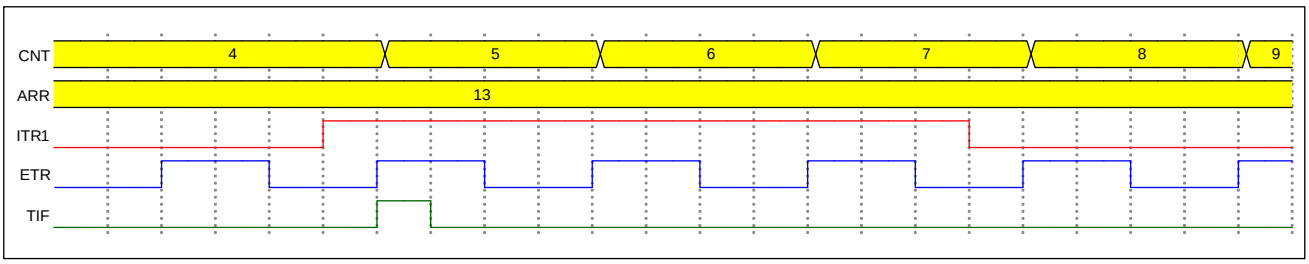
2.配置 TIM1_SMCR 寄存器的 SMS = 110，从模式选择为触发模式。配置 TIM1_SMCR 寄存器的 TS =001，选择 ITR1 作为输入源。

3.配置 TIM1_CR1 寄存器的 DIR=0，选择计数方向为递增计数；配置 PSC=0，不分频。

计数器在 ITR1 的上升沿开始计数，并将 TIF 置 1。ETR 信号的上升沿和计数器实际计数时钟间的延时取决于 ETR 输入端的同步电路设计。

下图为外部时钟模式 2+从模式(触发模式)下 TIM1_ARR=13 时的时序图。

图 10-34 外部时钟模式 2+从模式(触发模式)控制时序图

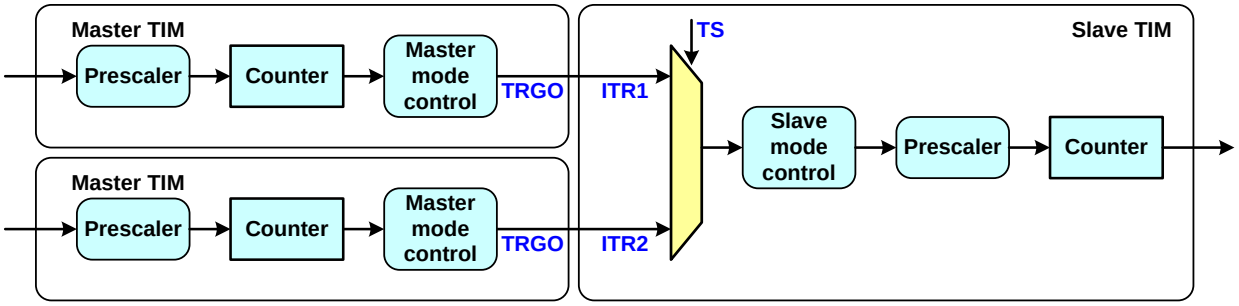


10.4.5 定时器同步

不同的 TIM1 定时器在内部连接，可以实现定时器之间的级联或同步。

定时器同步连接:

图 10-35 定时器连接



以下是几种典型的互联应用。

使用一个定时器作为另一个定时器的预分频器

例：主定时器作为从定时器的预分频器，时序图如下图所示：

1.配置主定时器 CR2 寄存器的 MMS=010，主定时器的更新事件作为触发输出（TRGO），主定时器在每次更新事件时输出一个周期信号。

2.配置主定时器 ARR 寄存器，作为主定时器的输出周期。

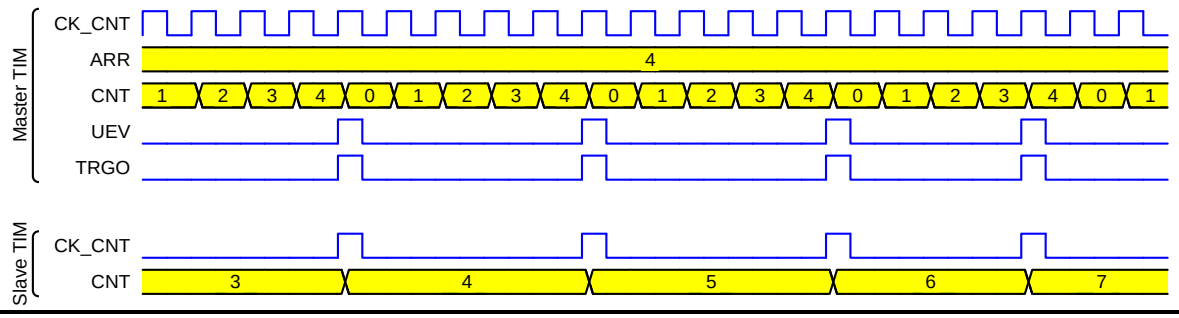
3.配置从定时器 SMCR 寄存器的 TS，选择从定时器的触发源为主定时器 TRGO。

4.配置从定时器 SMCR 寄存器的 SMS=111，从模式选择外部时钟模式 1。

5.配置主定时器 CR1 寄存器的 CEN=1，启动主定时器。

6.配置从定时器 CR1 寄存器的 CEN=1，启动从定时器。

图 10-36 使用主定时器作为从定时器的预分频器



使用一个定时器使能另一个定时器。

例：使用主定时器使能从定时器，时序图如下图所示：

当主定时器的 OC1REF 为高时，从定时器的计数器才开始计数。两个 TIM 的计数时钟为 CK_CNT 的三分频。具体配置如下：

1.配置主定时器 CR2 寄存器的 MMS=100，选择主定时器的比较输出参考信号（OC1REF）作为触发输出（TRGO）。

2.配置主定时器 CCR1 寄存器、ARR 寄存器、CCMR1 寄存器的 OC1M 位等相关控制位，配置主定时器输出信号 TRGO 的输出波形。

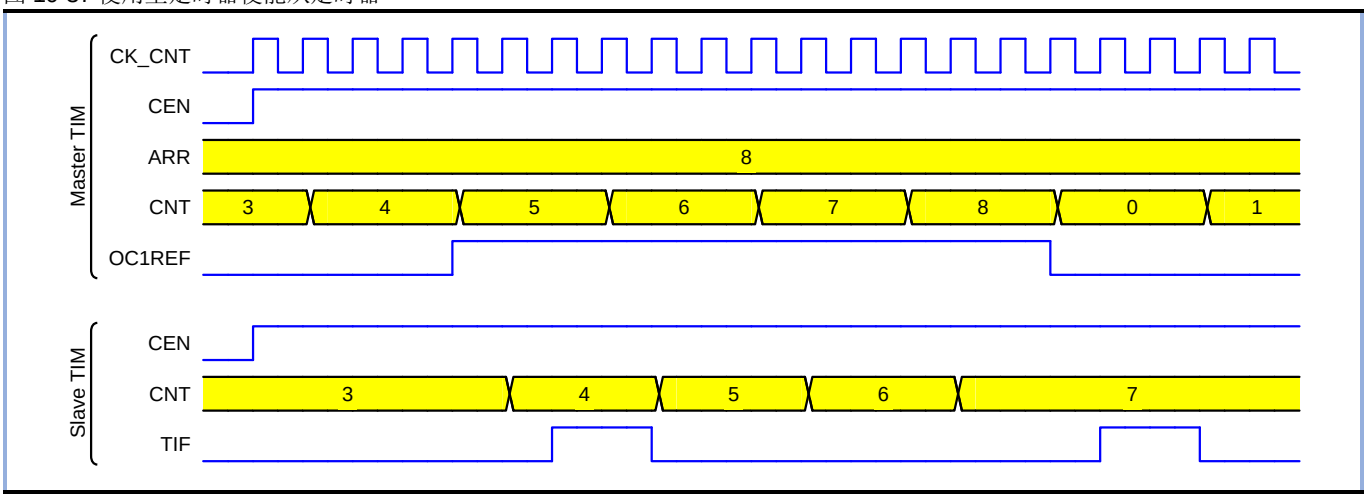
3.配置从定时器 SMCR 寄存器的 TS，选择主定时器的 OC1REF 作为从定时器的触发输入。

4.配置从定时器 SMCR 寄存器的 SMS=101，选择从定时器为门控模式。

5.配置从定时器 CR1 寄存器的 CEN=1，启动从定时器。

6.配置主定时器 CR1 寄存器的 CEN=1，启动主定时器。

图 10-37 使用主定时器使能从定时器



使用一个定时器启动另一个定时器

例：使用主定时器的更新事件启动从定时器，时序图如下图所示：

当主定时器产生更新事件时，从定时器接收到触发信号，从定时器的 CEN 由硬件自动置 1，从定时器的计数器开始计数。两个 TIM 的计数时钟为 CK_CNT 的三分频。具体配置如下：

1.配置主定时器 CR2 寄存器的 MMS=010，选择主定时器的更新事件为触发输出（TRGO）；

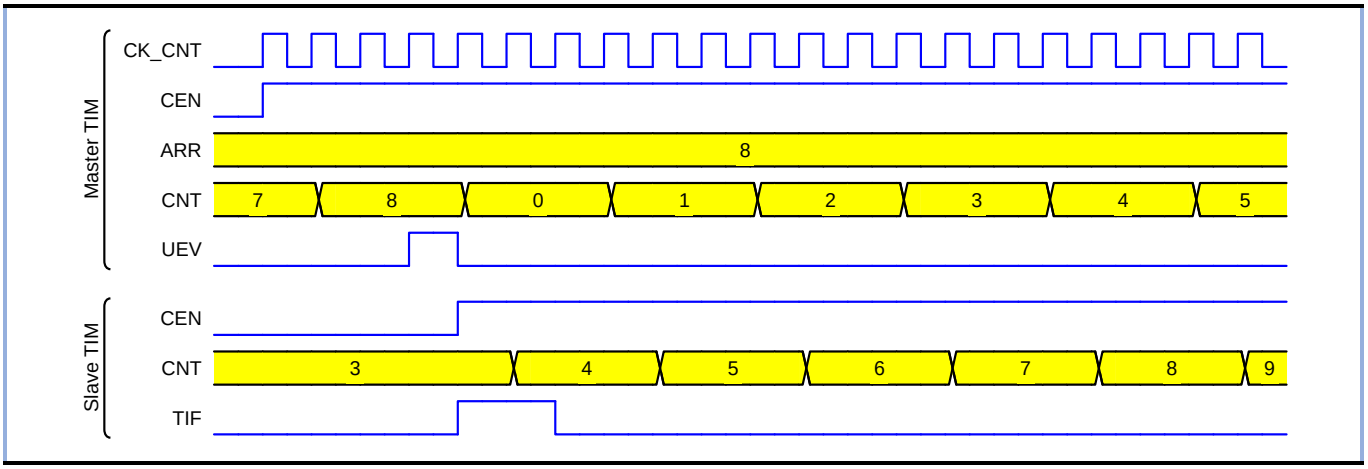
2.配置主定时器 ARR 寄存器，作为更新事件产生的周期；

3.配置从定时器 SMCR 寄存器的 TS，选择主定时器的 TRGO 作为从定时器的触发输入；

4.配置从定时器 SMCR 寄存器的 SMS=110，选择从定时器为触发模式；

5.配置主定时器 CR1 寄存器的 CEN=1，启动主定时器。

图 10-38 使用主定时器的更新事件启动从定时器



使用一个外部触发同步启动两个定时器

例：使用主定时器的 ETR 上升沿，启动主定时器的同时启动从定时器，时序图如下图所示： 为了确保两个定时器同时开启，主定时器必须在主/从模式下配置。具体配置如下：

1.配置主定时器 CR2 寄存器的 MMS=001，作为主模式时，将主定时器的使能信号 CEN 作为触发输出（TRGO）。

2.配置主定时器 SMCR 寄存器的 TS=111，设置主定时器作为从模式时，将 ETR 作为触发输入。

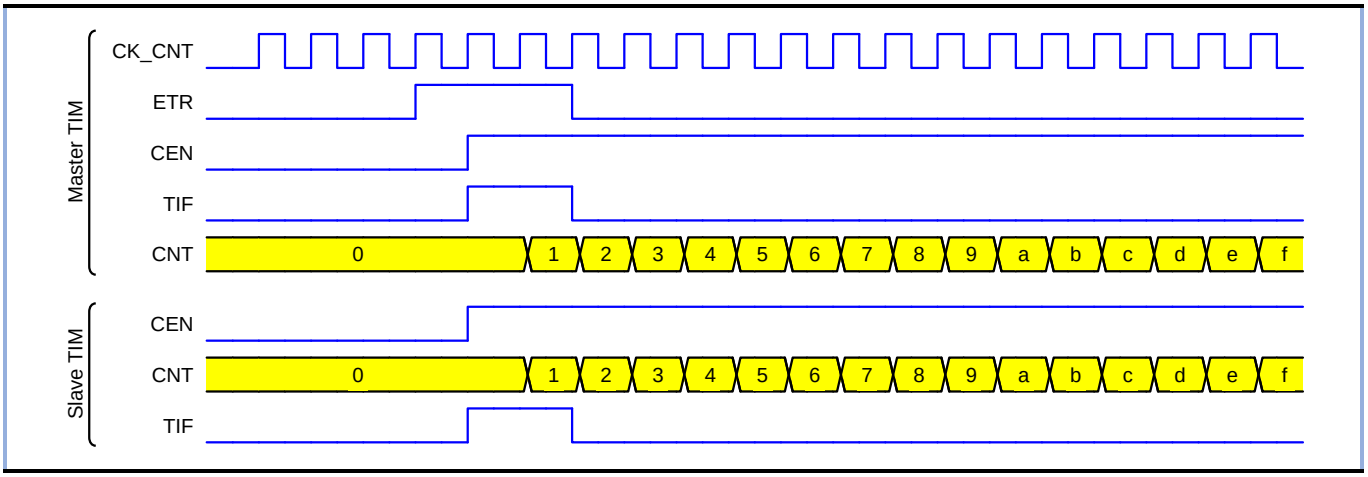
3.配置主定时器 SMCR 寄存器的 SMS=110，选择主定时器为触发模式。

4.配置从定时器 SMCR 寄存器的 TS，选择主定时器的触发输出作为从定时器的触发输入。

5.配置从定时器 SMCR 寄存器的 SMS=110，选择从定时器为触发模式。

当主定时器的 ETR 出现上升沿时，两个定时器同步启动（按照内部时钟），计数器开始计数，两个定时器的 TIF 标志也同时置 1。

图 10-39 主定时器 TI1 同步启动主定时器和从定时器



10.4.6 调试模式

在调试模式下，配置 DBG_CR 寄存器中 DBG_TIM1_STOP=1，TIM1 计数器停止计数。(详见调试章节)

10.4.7 中断

TIM1 的中断包括：比较 1 中断、比较 2 中断、比较 3 中断、比较 4 中断、比较 5 中断、更新中断、COM 中断、触发中断和刹车中断，当相应的中断使能位打开，发生相应的事件时，产生相应的中断。

表 10.6 中断事件列表

中断事件	标志位	使能位
比较 1 中断	CC1IF	CC1IE
比较 2 中断	CC2IF	CC2IE
比较 3 中断	CC3IF	CC3IE
比较 4 中断	CC4IF	CC4IE
比较 5 中断	CC5IF	CC5IE
更新中断	UIF	UIE
COM 中断	COMIF	COMIE
触发中断	TIF	TIE
刹车中断	BIF	BIE

10.4.8 DMA

TIM1 能够在发生单个事件时生成一个或连续多个 DMA 请求。主要目的是在没有软件开销的情况下， 多次重新编程 TIM1 的一部分寄存器，也可以用于按周期读取数个寄存器。

TIM1_DCR 和 TIM1_DMAR 寄存器跟 DMA 模式相关。DMA 控制器的目标是唯一的，必须指向 TIM1_DMAR 寄存器。开启 DMA 使能后，在给定的 TIM1 事件发生时，TIM1 会给 DMA 发送请求。对 TIM1_DMAR 寄存器的每次写操作都被重定向到一个 TIM1 寄存器。

TIM1_DCR 寄存器的 DBL 位定义了 DMA 连续传送的长度，即传输寄存器数量。当对 TIM1_DMAR 进行读写操作时，定时器识别 DBL，确定需要传输的寄存器数量。TIM1_DCR 寄存器的 DBA 位定义了 DMA 传输的基地址，定义从 TIM1_CR1 寄存器地址开始的偏移量（00000 为 TIM1_CR1、00001 为 TIM1_CR2 …00110 为 TIM1_CCMR1 等）。

例：DMA 连续传送模式用于在发生更新事件时更新 CCR1、CCR2、CCR3 寄存器的内容。具体配置如下：

1.配置相应的 DMA 通道。

2.配置 TIM1_DCR 寄存器的 DBA=01101，配置 DMA 的基地址，选择偏移地址为 TIM1_CCR1 寄存器的地址。

3.配置 TIM1_DCR 寄存器的 DBL=00010，配置传输长度为 3。

4.配置 TIM1_DIER 寄存器的 UDE=1，允许更新事件的 DMA 请求。

5.配置 TIM1_CR1 寄存器的 CEN=1，启动计数器。

6.使能 DMA 通道。

此例中发生一次更新事件，DMA 将相应存储器地址中准备好的数据传输到 CCR1、CCR2、CCR3 寄存器中，或将 CCR1、CCR2、CCR3 寄存器的值传输到相应存储器地址中。

10.5寄存器

表 10.7 TIM1 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	TIM1_CR1	控制寄存器 1	0x0000
0x04	TIM1_CR2	控制寄存器 2	0x0000
0x08	TIM1_SMCR	从模式控制寄存器	0x0000
0x0C	TIM1_DIER	DMA/中断使能寄存器（DMA 部分仅适用于有内置 DMA 的芯片）	0x0000 0000
0x10	TIM1_SR	状态寄存器	0x0000 0000
0x14	TIM1_EGR	事件产生寄存器	0x0000 0000
0x18	TIM1_CCMR1	比较模式寄存器 1	0x0000
0x1C	TIM1_CCMR2	比较模式寄存器 2	0x0000
0x20	TIM1_CCER	比较使能寄存器	0x0000
0x24	TIM1_CNT	计数器	0x0000
0x28	TIM1_PSC	预分频率器	0x0000
0x2C	TIM1_ARR	自动装载寄存器	0x0000
0x30	TIM1_RCR	重复计数寄存器	0x0000
0x34	TIM1_CCR1	比较寄存器 1	0x0000
0x38	TIM1_CCR2	比较寄存器 2	0x0000
0x3C	TIM1_CCR3	比较寄存器 3	0x0000
0x40	TIM1_CCR4	比较寄存器 4	0x0000
0x44	TIM1_BDTR	刹车和死区寄存器	0x0000 0000
0x48	TIM1_DCR	DMA 控制寄存器（仅适用于有内置 DMA 的芯片）	0x0000
0x4C	TIM1_DMAR	连续模式的 DMA 地址（仅适用于有内置 DMA 的芯片）	0x0000
0x54	TIM1_CCMR3	比较模式寄存器 3	0x0000
0x58	TIM1_CCR5	比较寄存器 5	0x0000
0x5C	TIM1_PDER	PWM 移相/DMA repeat 更新请求使能寄存器	0x0000
0x60~0x70	TIM1_CCRxFALL	PWM 移相递减计数比较寄存器	0x0000
0x74	TIM1_BKINF	刹车输入滤波寄存器	0x0000 0000

10.5.1 TIM1_CR1 控制寄存器 1

地址偏移: 0x00
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CKD		ARPE	CMS		DIR	OPM	URS	UDIS	CEN
						rw		rw	rw		rw	rw	rw	rw	rw

位	字段	描述
15：10	Reserved	保留,必须保持复位值.
9：8	CKD	时钟分频 定义定时器时钟（INT_CK）频率与死区时间计数器、数字滤波器（ETR）所用的时钟之间的分频比例。 00：$t_{DTS} = t_{INT_CK}$ 01：$t_{DTS} = 2x\ t_{INT_CK}$ 10：$t_{DTS} = 4x\ t_{INT_CK}$ 11：保留，不要使用这个配置
7	ARPE	自动重载预装载使能 0：关闭 TIM1_ARR 寄存器的影子寄存器 1：使能 TIM1_ARR 寄存器的影子寄存器

位	字段	描述
6：5	CMS	中心对齐模式选择 00：边沿对齐模式。计数方向取决于 DIR 位 01：中心对齐模式 1。计数器交替地递增和递减计数。通道为输出模式，只在计数器递减计数时比较中断标志位被置 1 10：中心对齐模式 2。计数器交替地递增和递减计数。通道为输出模式，只在计数器递增计数时比较中断标志位被置 1 11：中心对齐模式 3。计数器交替地递增和递减计数。通道为输出模式，在计数器递增和递减计数时比较中断标志位均被置 1 注：计数过程中，不允许更改此位。
4	DIR	计数方向 0：计数器递增计数 1：计数器递减计数 注：当计数器配置为中央对齐模式时，该位为只读。
3	OPM	单 脉 冲 模 式 0：禁止单脉冲模式，在发生更新事件时，计数器继续计数 1：使能单脉冲模式，在发生下一次更新事件或软件清除 CEN 位时，计数器停止计数
2	URS	更新请求源 软件配置该位，选择更新事件源。 0：以下事件可产生一个更新中断或 DMA 请求： -计数器上溢/下溢 -设置 UG 位 -从模式控制器产生的更新 1：只有计数器上溢/下溢才产生一个更新中断或 DMA 请求
1	UDIS	禁止更新 该位用来允许或禁止更新事件的产生 0：允许更新事件（UEV） 1：禁止更新事件。不产生更新事件，影子寄存器（ARR、PSC、CCRx）保持值不变。如果设置了 EGR_UG 位为 1，计数器和预分频器被初始化，如果从模式控制器接收到硬件复位，计数器将被初始化。
0	CEN	计数器使能 0：禁止计数器 1：使能计数器 注：在软件设置了 CEN 位后，外部时钟、门控模式才能工作。触发模式可以自动地通过硬件设置 CEN 位。

10.5.2 TIM1_CR2 控制寄存器 2

地址偏移:0x04
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OIS4N	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	Res.	MMS			CCDS	CCUS	Res.	CCPC
rw	rw	rw	rw	rw	rw	rw	rw		rw			rw	rw		rw

位	字段	描述
15	OIS4N	输出空闲状态 4 (OC4N 输出),参考 OIS1N 位
14	OIS4	输出空闲状态 4 (OC4 输出),参考 OIS1 位
13	OIS3N	输出空闲状态 3 (OC3N 输出),参考 OIS1N 位
12	OIS3	输出空闲状态 3 (OC3 输出),参考 OIS1 位
11	OIS2N	输出空闲状态 2 (OC2N 输出),参考 OIS1N 位
10	OIS2	输出空闲状态 2 (OC2 输出),参考 OIS1 位
9	OIS1N	输出空闲状态 1（OC1N 输出） 0：当 MOE = 0 时，死区后 OC1N = 0 1：当 MOE = 0 时，死区后 OC1N = 1 注：已经设置了 LOCK（TIM1_BKR 寄存器）级别 1、2 或 3 后，该位不能被修改。
8	OIS1	输出空闲状态 1（OC1 输出） 0：当 MOE=0，若 OC1N 有效，则在死区时间后 OC1 = 0 1：当 MOE=0，若 OC1N 有效，则在死区时间后 OC1 = 1 注：已经设置了 LOCK（TIM1_BKR 寄存器）级别 1、2 或 3 后，该位不能被修改。

位	字段	描述
7	Reserved	保留,必须保持复位值.
6：4	MMS	主模式选择 这些位控制 TRGO 信号的选择，用于选择在主模式下送到从定时器的同步信息： 000：复位 TIM1_EGR 寄存器的 UG 位触发一次 TRGO 脉冲。 001：使能 用于控制在一定时间内使能从定时器或同时启动多个定时器。计数器使能信号 CNT_EN 被用于作为触发输出（TRGO），计数器使能信号是通过 CEN 控制位和门控模式下的触发输入信号的逻辑或产生。当计数器使能信号受控于触发输入时，TRGO 上会有一个延迟，除非选择了主/从模式。 010：更新 更新事件被选为 TRGO。 011：比较脉冲 发生一次比较成功时，触发输出送出一个 TRGO 信号。 100：比较 OC1REF 信号被用于作为触发输出（TRGO） 101：比较 OC2REF 信号被用于作为触发输出（TRGO） 110：比较 OC3REF 信号被用于作为触发输出（TRGO） 111：比较 OC4REF 信号被用于作为触发输出（TRGO）
3	CCDS	DMA 请求源选择 0：当 CCx 发生比较事件时，发送 CCx 的 DMA 请求 1：发生更新事件时，发送 CCx 的 DMA 请求 注：仅适用于有内置 DMA 的产品
2	CCUS	比较控制更新源选择 0：CCPC=1 时，只能配置 COMG=1 更新。 1：CCPC=1 时，可以通过配置 COMG=1 或检测到 TRGI 上的一个上升沿更新。 注：此位只在通道为互补输出时有效。
1	Reserved	保留,必须保持复位值.
0	CCPC	比较预装载控制位 0：CCxE，CCxNE 和 OCxM 位预装载禁用 1：CCxE，CCxNE 和 OCxM 位预装载使能 注：此位只在通道为互补输出时有效。

10.5.3 TIM1_SMCR 从模式控制寄存器

地址偏移: 0x08
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS		ETF				MSM	TS			OCCS	SMS		
rw	rw	rw		rw				rw	rw			rw	rw		

位	字段	描述
15	ETP	外部触发极性 该位选择 ETR 信号的极性。 0：高电平或上升沿有效 1：低电平或下降沿有效 注：仅适用于支持外部触发的产品
14	ECE	外部时钟使能位 该位启用外部时钟模式 2。 0：禁止外部时钟模式 2 1：使能外部时钟模式 2，ETRF 信号上的任意有效沿驱动计数器计数 注 1：仅适用于支持外部触发的产品。 注 2：配置 ECE=1 与配置 SMS = 111 和 TS = 111 效果一样。 注 3：TS ≠ 111 时，复位模式，门控模式和触发模式可以与外部时钟模式 2 同时使用。 注 4：同时使能外部时钟模式 1 和外部时钟模式 2 时，外部时钟的输入是 ETRF。
13：12	ETPS	外部触发预分频 外部触发信号 ETRP 的频率必须低于 TIM1 主时钟 PCLK 频率的 1/4。当输入较快的外部时钟时，可以使用预分频降低 ETRP 的频率。 00：关闭预分频 01：ETRP 频率除以 2 10：ETRP 频率除以 4 11：ETRP 频率除以 8 注：仅适用于支持外部触发的产品。

位	字段	描述
11：8	ETF	外部触发滤波 这些位定义了对 ETRP 信号采样的频率和对 ETRP 数字滤波的带宽。实际上，数字滤波器是一个事件计数器，它记录到 N 个事件后会产生一个输出的跳变。 0000：无滤波器，以 f_{DTS} 采样 001:采样频率 $f_{sampling}$ =f_{INT_CK}, N =2 0010:采样频率 $f_{sampling}$ =f_{INT_CK}, N =4 0011:采样频率 $f_{sampling}$ =f_{INT_CK}, N =8 0100:采样频率 $f_{sampling}$ =$f_{DTS/2}$, N =6 0101:采样频率 $f_{sampling}$ =$f_{DTS/2}$, N =8 0110:采样频率 $f_{sampling}$ =$f_{DTS/4}$, N =6 0101:采样频率 $f_{sampling}$ =$f_{DTS/2}$, N =8 0110:采样频率 $f_{sampling}$ =$f_{DTS/4}$, N =6 0111:采样频率 $f_{sampling}$ =$f_{DTS/4}$, N =8 1000:采样频率 $f_{sampling}$ =$f_{DTS/8}$, N =6 1001:采样频率 $f_{sampling}$ =$f_{DTS/8}$, N =8 1010:采样频率 $f_{sampling}$ =$f_{DTS/16}$, N =5 1011:采样频率 $f_{sampling}$ =$f_{DTS/16}$, N =6 1100:采样频率 $f_{sampling}$ =$f_{DTS/16}$, N =8 1101:采样频率 $f_{sampling}$ =$f_{DTS/32}$, N =5 1110:采样频率 $f_{sampling}$ =$f_{DTS/32}$, N =6 1111:采样频率 $f_{sampling}$ =$f_{DTS/32}$, N =8 注：仅适用于支持外部触发的产品。
7	MSM	主/从模 式 0：无作用 1：触发输入（TRGI） 事件被延迟，以实现当前定时器（通过 TRGO） 与它的从定时器间的完美同步，该功能可以把几个定时器同步到一个单一的外部事件。
6：4	TS	触发选择 触发输入源选择。 000：内部触发 0（ITR0） 001：内部触发 1（ITR1） 010：内部触发 2（ITR2） 011：内部触发 3（ITR3） 100：保留 101：保留 110：保留 111：外部触发输入（ETR） 注：从模式使能后这些位不能修改。
3	OCCS	比较输出信号（OCxREF）清除选择 在 PWM 模式下，清除比较输出（OCxREF）。 0：外部触发信号作为清除信号 1：比较器（COMP）输出作为清除信号 注：仅适用于支持外部触发或有内置比较器（COMP）的产品。
2：0	SMS	从模式选择 当选择了外部信号作为触发源，触发信号（TRGI）的有效边沿与选中的外部输入极性相关。 000：关闭从模式 - 如果 CEN = 1，则预分频器直接由内部时钟驱动。 001：保留 010：保留 011：保留 100：复位模式 - 选中的触发输入(TRGI)的上升沿重新初始化计数器，并且产生一个更新事件。 101：门控模式 - 当触发输入(TRGI)为高时，计数器开始计数并且产生一个更新事件。当触发输入变为低时，计数器停止计数（但不复位）并且产生一个更新事件。计数器的启动和停止都是受控的。 110：触发模式 - 计数器在触发输入 TRGI 的上升沿启动（但不复位）并且产生一个更新事件，只有计数器的启动是受控的。 111：外部时钟模式 1 - 选中的触发输入（TRGI） 的上升沿驱动计数器并且产生一个更新事件。

表 10.8 TIMx 内部触发连接

从定时器	ITR0	ITR1	ITR2	ITR3
TIM1	-	TIM2_TRGO	TIM14_OC1REF	TIM13_OC1REF
TIM2	TIM1_TRGO	-	TIM14_OC1REF	TIM13_OC1REF

10.5.4 TIM1_DIER DMA/中断使能寄存器

地址偏移: 0x0C
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														CC5DE	CC5IE
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位	字段	描述
31：18	Reserved	保留,必须保持复位值.
17	CC5DE	允许比较 5 的 DMA 请求 0：禁止比较 5 的 DMA 请求 1：允许比较 5 的 DMA 请求 注：仅适用于有内置 DMA 且有通道 5 的产品。
16	CC5IE	允许比较 5 中断 0：禁止比较 5 中断 1：允许比较 5 中断
15	Reserved	保留,必须保持复位值.
14	TDE	允许触发 DMA 请求 0：禁止触发 DMA 请求 1：允许触发 DMA 请求 注：仅适用于有内置 DMA 的产品。
13	COMDE	允许 COM 的 DMA 请求 0：禁止 COM 的 DMA 请求 1：允许 COM 的 DMA 请求 注：仅适用于有内置 DMA 的产品。
12	CC4DE	允许比较 4 的 DMA 请求 0：禁止比较 4 的 DMA 请求 1：允许比较 4 的 DMA 请求 注：仅适用于有内置 DMA 的产品。
11	CC3DE	允许比较 3 的 DMA 请求 0：禁止比较 3 的 DMA 请求 1：允许比较 3 的 DMA 请求 注：仅适用于有内置 DMA 的产品。
10	CC2DE	允许比较 2 的 DMA 请求 0：禁止比较 2 的 DMA 请求 1：允许比较 2 的 DMA 请求 注：仅适用于有内置 DMA 的产品。
9	CC1DE	允许比较 1 的 DMA 请求 0：禁止比较 1 的 DMA 请求 1：允许比较 1 的 DMA 请求 注：仅适用于有内置 DMA 的产品。
8	UDE	允许更新 DMA 请求 0：禁止更新 DMA 请求 1：允许更新 DMA 请求 注：仅适用于有内置 DMA 的产品。
7	BIE	允许刹车中断 0：禁止刹车中断 1：允许刹车中断
6	TIE	允许触发中断 0：禁止触发中断 1：允许触发中断

位	字段	描述
5	COMIE	允许 COM 中断 0：禁止 COM 中断 1：允许 COM 中断
4	CC4IE	允许比较 4 中断 0：禁止比较 4 中断 1：允许比较 4 中断
3	CC3IE	允许比较 3 中断 0：禁止比较 3 中断 1：允许比较 3 中断
2	CC2IE	允许比较 2 中断 0：禁止比较 2 中断 1：允许比较 2 中断
1	CC1IE	允许比较 1 中断 0：禁止比较 1 中断 1：允许比较 1 中断
0	UIE	允许更新事件中断 0：禁止更新事件中断 1：允许更新事件中断

10.5.5 TIM1_SR 状态寄存器

地址偏移: 0x10
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															CC5IF
															rw0c
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
								r_w0c							

位	字段	描述
31：17	Reserved	保留,必须保持复位值.
16	CC5IF	比较 5 中断标记 参考 CC1IF 描述。
15：8	Reserved	保留,必须保持复位值.
7	BIF	刹车中断标记 当刹车输入有效，由硬件对该位置 1。如果刹车输入无效，则该位可由软件清 0 0：无刹车事件产生 1：刹车输入上检测到有效电平
6	TIF	触发中断标记 当发生触发事件（当从模式控制器处于除门控模式外的其它模式时，在 TRGI 输入端检测到有效边沿，或门控模式下的任一边沿）时由硬件对该位置 1。它由软件清 0。 0：无触发事件产生 1：触发中断产生
5	COMIF	COM 中断标记 当产生 COM 事件（比较控制位 CCxE、CCxNE、OCxM 已被更新） 时该位由硬件置 1。它由软件清 0。 0：无 COM 事件产生 1：COM 中断产生
4	CC4IF	比较 4 中断标记 参考 CC1IF 描述。
3	CC3IF	比较 3 中断标记 参考 CC1IF 描述。
2	CC2IF	比较 2 中断标记 参考 CC1IF 描述。

位	字段	描述
1	CC1IF	比较 1 中断标记 当计数器值与比较值匹配时该位由硬件置 1(在中央对齐模式下根据 TIM1_CR1.CMS [1:0]的选择来置位)。它由软件清 0。 0：无匹配发生 1：TIM1_CNT 的值与 TIM1_CCR1 的值匹配
0	UIF	更新中断标记 当产生更新事件时该位由硬件置 1。它由软件清 0。 0：无更新中断发生 1：发生更新中断 当寄存器被更新时该位由硬件置 1： -若 TIM1_CR1 寄存器的 UDIS=0，且 REP_CNT=0，当计数器产生上溢/下溢事件时。 -若 TIM1_CR1 寄存器的 UDIS=0、URS=0，当 TIM1_EGR 寄存器的 UG=1 时。 -若 TIM1_CR1 寄存器的 UDIS=0、URS=0，从模式控制器产生更新事件时。

10.5.6 TIM1_EGR 事件产生寄存器

地址偏移: 0x14
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															CC5G
															w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG
								w	w	w	w	w	w	w	w

位	字段	描述
31：17	Reserved	保留,必须保持复位值.
16	CC5G	产生比较 5 事件 参考 CC1G 描述。
15：8	Reserved	保留,必须保持复位值.
7	BG	产生刹车事件 0：无动作 1：产生一个刹车事件，此时 MOE=0，BIF=1，若开启对应的中断和 DMA，则产生相应的中断和 DMA，由硬件清除。
6	TG	产生触发事件 0：无动作 1：产生触发事件，TIM1_SR 寄存器的 TIF=1，若开启对应的中断和 DMA， 则产生相应的中断和 DMA，由硬件自动清 0。
5	COMG	比较事件，产生控制更新 0：无动作 1：比较事件控制更新产生，由硬件自动清 0，当 CCPC=1，允许更新 CCxE、CCxNE、OCxM 位。 注：该位只对拥有互补输出的通道有效。
4	CC4G	产生比较 4 事件 参考 CC1G 描述
3	CC3G	产生比较 3 事件 参考 CC1G 描述
2	CC2G	产生比较 2 事件 参考 CC1G 描述
1	CC1G	产生通道 1 比较事件 该位由软件置 1，用于产生一个比较事件，由硬件自动清 0。 0：无动作 1：通道 CC1 上产生一个比较事件： CC1IF 置 1，若开启对应的中断和 DMA，则产生相应的中断和 DMA。

位	字段	描述
0	UG	产生更新事件 0：无动作 1：初始化计数器，并产生一个更新事件。由硬件自动清 0，如果选择了中央对齐或递增计数模式，计数器被清 0；如果选择递减计数模式，计数器将载入自动重载值。预分频计数器将同时被清除。

10.5.7 TIM1_CCMR1 比较模式寄存器 1

地址偏移: 0x18
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2CE	OC2M			OC2PE	OC2FE	Reserved		OC1CE	OC1M			OC1PE	OC1FE	Reserved	
rw	rw			rw	rw			rw	rw			rw	rw		

位	字段	描述
15	OC2CE	通道 2 比较输出清零使能 参考 OC1CE 的描述。
14：12	OC2M	通道 2 比较输出模式 参考 OC1M 的描述。
11	OC2PE	通道 2 比较输出预装载使能 参考 OC1PE 的描述。
10	OC2FE	通道 2 比较输出快速使能 参考 OC1FE 的描述。
9：8	Reserved	保留,必须保持复位值.
7	OC1CE	通道 1 比较输出清 0 使能 0：OC1REF 不受 ETR 输入的影响 1：当检测到 ETR 输入有效电平时，OC1REF 清零
6：4	OC1M	通道 1 比较输出模式 该位定义了输出参考信号 OC1REF 的动作，而 OC1REF 决定了 OC1、OC1N 的值。OC1REF 是高电平有效，而 OC1、OC1N 的有效电平取决于 CC1P、CC1NP 位。 000：冻结。TIM1_CCR1 与 TIM1_CNT 间的比较结果对 OC1REF 不起作用。 001：匹配时设置为高。当 TIM1_CNT 的值与 TIM1_CCR1 的值相同时，强制 OC1REF 为高电平。 010：匹配时设置为低。当 TIM1_CNT 的值与 TIM1_CCR1 的值相同时，强制 OC1REF 为低电平。 011：匹配时翻转。当 TIM1_CCR1=TIM1_CNT 时，翻转 OC1REF 的电平。100：强制为低。强制 OC1REF 为低电平。 101：强制为高。强制 OC1REF 为高电平。 110：PWM 模式 1。在递增计数时，当 TIM1_CNT<TIM1_CCR1 时强制 OC1REF 为高电平，否则为低电平; 在递减计数时，当 TIM1_CNT >TIM1_CCR1 时强制 OC1REF 为低电平，否则为高电平。 111：PWM 模式 2。在递增计数时，当 TIM1_CNT<TIM1_CCR1 时通道 1 为强制 OC1REF 为低电平，否则为高电平;在递减计数时，当 TIM1_CNT >TIM1_CCR1 时强制 OC1REF 为高电平，否则为低电平。 注 1：当 LOCK 级别设为 3（TIM1_BDTR 寄存器中的 LOCK 位）时，该位不能被修改。 注 2：在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在比较输出模式中从冻结模式切换到 PWM 模式时，OC1REF 电平才改变。
3	OC1PE	通道 1 比较输出预装载使能 0：禁止 TIM1_CCR1 寄存器的预装载功能，写入 TIM1_CCR1 寄存器的数值立即生效。 1：开启 TIM1_CCR1 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIM1_CCR1 的预装载值在更新事件到来时生效。 注 1：当 LOCK 级别设为 3（TIM1_BDTR 寄存器中的 LOCK 位）并且时，该位不能被修改。 注 2：若该位置 1，在单脉冲模式下（TIM1_CR1 寄存器的 OPM= 1），是否设定预装载寄存器无影响；其它情况下，需要设定预装载寄存器，否则后续动作不确定。

位	字段	描述
2	OC1FE	通道 1 比较输出快速使能 该位为 1 时，若通道配置为 PWM 模式，会加快比较输出对触发时间的响应。输出通道将触发输入信号的有效边沿的作用等同于发生了一次比较匹配，此时 OC 被设置为比较电平，与比较结果无关。 0：禁止通道 1 比较输出快速使能 1：开启通道 1 比较输出快速使能
1：0	Reserved	保留,必须保持复位值.

10.5.8 TIM1_CCMR2 比较模式寄存器 2

地址偏移: 0x1C
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4CE	OC4M			OC4PE	OC4FE	Reserved		OC3CE	OC3M			OC3PE	OC3FE	Reserved	
rw	rw			rw	rw			rw	rw			rw	rw		

位	字段	描述
15	OC4CE	通道 4 比较输出清零使能 参考 OC3CE 的描述
14：12	OC4M	通道 4 比较输出模式 参考 OC3M 的描述
11	OC4PE	通道 4 比较输出预装载使能 参考 OC3PE 的描述
10	OC4FE	通道 4 比较输出快速使能 参考 OC3FE 的描述
9：8	Reserved	保留,必须保持复位值.
7	OC3CE	通道 3 比较输出清 0 使能 0：OC3REF 不受 ETR 输入的影响 1：当检测到 ETR 输入有效电平时，OC3REF 清零
6：4	OC3M	通道 3 比较输出模式 该位定义了输出参考信号 OC3REF 的动作，而 OC3REF 决定了 OC3、OC3N 的值。OC3REF 是高电平有效，而 OC3、OC3N 的有效电平取决于 CC3P、CC3NP 位。 000：冻结。TIM1_CCR3 与 TIM1_CNT 间的比较结果对 OC3REF 不起作用 001：匹配时设置为高。当 TIM1_CNT 的值与 TIM1_CCR3 的值相同时，强制 OC3REF 为高电平 010：匹配时设置为低。当 TIM1_CNT 的值与 TIM1_CCR3 的值相同时，强制 OC3REF 为低电平 011：匹配时翻转。当 TIM1_CCR3=TIM1_CNT 时，翻转 OC3REF 的电平 100：强制为低。强制 OC3REF 为低电平 101：强制为高。强制 OC3REF 为高电平 110：PWM 模式 1。在递增计数时，当 TIM1_CNT<TIM1_CCR3 时强制 OC3REF 为高电平，否则为低电平; 在递减计数时， 当 TIM1_CNT >TIM1_CCR3 时强制 OC3REF 为低电平，否则为高电平。 111：PWM 模式 2。在递增计数时，当 TIM1_CNT<TIM1_CCR3 时强制 OC3REF 为低电平，否则为高电平;在递减计数时，当 TIM1_CNT>TIM1_CCR3 时强制 OC3REF 为高电平，否则为低电平。 注 1：当 LOCK 级别设为 3（TIM1_BDTR 寄存器中的 LOCK 位）时，该位不能被修改。 注 2：在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在比较输出模式中从冻结模式切换到 PWM 模式时，OC3REF 电平才改变。
3	OC3PE	通道 3 比较输出预装载使能 0：禁止 TIM1_CCR3 寄存器的预装载功能，写入 TIM1_CCR3 寄存器的数值立即生效 1：开启 TIM1_CCR3 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIM1_CCR3 的预装载值在更新事件到来时生效 注 1：当 LOCK 级别设为 3（TIM1_BDTR 寄存器中的 LOCK 位）时，该位不能被修改。 注 2：仅在单脉冲模式下（TIM1_CR1 寄存器的 OPM= 1），无需设定预装载寄存器，其它情况下，需要设定预装载寄存器，否则后续动作不确定。

位	字段	描述
2	OC3FE	通道 3 比较输出快速使能 该位为 1 时，若通道配置为 PWM 模式，会加快比较输出对触发时间的响应。输出通道将触发输入信号的有效边沿的作用等同于发生了一次比较匹配，此时 OC 被设置为比较电平，与比较结果无关。 0：禁止通道 3 比较输出快速使能 1：开启通道 3 比较输出快速使能
1：0	Reserved	保留,必须保持复位值.

10.5.9 TIM1_CCER 比较使能寄存器

地址偏移: 0x20
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4NP	CC4NE	CC 4P	CC 4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
rw															

位	字段	描述
15	CC4NP	通道 4 互补输出极性 参考 CC1NP 的描述。
14	CC4NE	通道 4 输出使能 参考 CC1NE 的描述。
13	CC4P	通道 4 输出极性 参考 CC1P 的描述。
12	CC4E	通道 4 输出使能 参考 CC1E 的描述。
11	CC3NP	通道 3 互补输出极性 参考 CC1NP 的描述。
10	CC3NE	通道 3 互补输出使能 参考 CC1NE 的描述。
9	CC3P	通道 3 输出极性 参考 CC1P 的描述。
8	CC3E	通道 3 输出使能 参考 CC1E 的描述。
7	CC2NP	通道 2 互补输出极性 参考 CC1NP 的描述。
6	CC2NE	通道 2 互补输出使能 参考 CC1NE 的描述。
5	CC2P	通道 2 输出极性 参考 CC1P 的描述。
4	CC2E	通道 2 输出使能 参考 CC1E 的描述。
3	CC1NP	通道 1 互补输出极性 此位定义了输出信号极性： 0：OC1N 高电平有效 1：OC1N 低电平有效 注：当 LOCK 级别（TIM1_BDTR 寄存器中的 LCCK 位） 设为 3 或 2 时，该位不能被修改。
2	CC1NE	通道 1 互补输出使能 0：关闭通道 1 互补输出。OC1N 禁止输出。 1：开启通道 1 互补输出。OC1N 信号输出到对应的输出引脚，其输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的值。
1	CC1P	通道 1 输出极性 此位定义了输出信号极性： 0：OC1 高电平有效 1：OC1 低电平有效 注：当 LOCK 级别（TIM1_BDTR 寄存器中的 LCCK 位） 设为 3 或 2 时，该位不能被修改。

位	字段	描述
0	CC1E	通道 1 输出使能 0：关闭。OC1 禁止输出 1：开启。OC1 信号输出到对应的输出引脚 其输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的值。

10.5.10 TIM1_CNT 计数器

地址偏移: 0x24
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw															

位	字段	描述
15：0	CNT	计数器值

10.5.11 TIM1_PSC 预分频器

地址偏移: 0x28
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC															
rw															

位	字段	描述
15：0	PSC	预分频器的值 计数器的时钟频率（ck_cnt）= $f_{CK_PSC/(PSC+1)}$ 当发生更新事件时，PSC 的值装入当前预分频寄存器。

10.5.12 TIM1_ARR 自动重载寄存器

地址偏移: 0x2C
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR															
rw															

位	字段	描述
15：0	ARR	自动重载值 这些位定义了计数器的自动重载值。当自动重载的值为 0 时， 计数器不工作。

10.5.13 TIM1_RCR 重复计数寄存器

地址偏移: 0x30
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REP_CNT								REP							
rw								rw							

位	字段	描述
15：8	REP_CNT	重复计数器实时写入的值 在重复计数模式下，写入该位可以实时地将更新中断标志位（UIF） 的检测点移位。 注：在更新事件后写入该位，在更新事件前写入 REP_CNT 将会被 REP 的值覆盖，使移位无效。

位	字段	描述
7：0	REP	重复计数器的值 重复计数器的值定义了更新事件的产生速率。重复计数器计数值递减为 0 时产生更新事件。如果允许产生更新中断，则会同时影响产生更新中断的速率。 对 REP 值的写入在下次更新事件发生时生效，所以在 PWM 模式中，（REP+1） 对应着： 在边沿对齐模式下，PWM 周期的数目 在中心对齐模式下，PWM 半周期的数目

10.5.14 TIM1_CCR1 比较寄存器 1

地址偏移: 0x34
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1															
rw															

位	字段	描述
15：0	CCR1	通道 1 比较的值 如果在 TIM1_CCMR1 寄存器（OC1PE 位）中未选择预装载功能， 写入的数值会立即传输至对应的当前比较影子寄存器中。否则只有当更新事件发生时，此预装载值才传输至对应的当前比较影子寄存器中。当前比较影子寄存器参与同计数器 TIM1_CNT 的比较，并将比较结果反映到 OC1 端口的输出信号上。

10.5.15 TIM1_CCR2 比较寄存器 2

地址偏移: 0x38
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2															
rw															

位	字段	描述
15：0	CCR2	通道 2 比较的值 参考 CCR1 的描述。

10.5.16 TIM1_CCR3 比较寄存器 3

地址偏移: 0x3C
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3															
rw															

位	字段	描述
15：0	CCR3	通道 3 比较的值 参考 CCR1 的描述。

10.5.17 TIM1_CCR4 比较寄存器 4

地址偏移: 0x40
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4															
rw															

位	字段	描述
15：0	CCR4	通道 4 比较的值 参考 CCR1 的描述。

10.5.18 TIM1_BDTR 刹车和死区寄存器

地址偏移: 0x44
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															DOE
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK		DTG							
rw	rw	rw	rw	rw	rw	rw		rw							

注：根据锁定设置，DOE、AOE、BKP、BKE、OSSI、OSSR 和 DTG 位均可被写保护，有必要在第一次写入 TIM1_BDTR 寄存器时对它们进行配置，详见互补输出和死区插入章节。

位	字段	描述
31：17	Reserved	保留,必须保持复位值.
16	DOE	直接输出 当刹车有效、MOE 置零后，有效。 0：刹车输入后，等待一个死区时间后输出空闲状态（输出使能信号关闭） 1：立即输出空闲状态（输出使能信号关闭） 注：当 LOCK 级别（TIM1_BDTR 寄存器中的 LOCK 位） 设为 1 时，该位不能被修改。
15	MOE	主输出使能 当通道 x 配置为输出时，根据 AOE 位的设置值，该位可以由软件清 0 或被自动置 1。当刹车输入有效时，该位被硬件异步清 0。 0：禁止 OCx 和 OCxN 输出或强制为空闲状态（输出使能信号关闭） 1：如果设置了相应的使能位（TIM1_CCER 寄存器的 CCxE、CCxNE 位），则开启 OCx 和 OCxN 输出
14	AOE	自动输出使能 0：MOE 不能被硬件置 1 1：MOE 能被软件置 1 或刹车无效时在下一个更新事件被硬件自动置 1 注：当 LOCK 级别（TIM1_BDTR 寄存器中的 LOCK 位） 设为 1 时，该位不能被修改。
13	BKP	刹车输入极性 0：刹车输入低电平有效 1：刹车输入高电平有效 注：当 LOCK 级别（TIM1_BDTR 寄存器中的 LOCK 位） 设为 1 时，该位不能被修改。
12	BKE	刹车功能使能 0：禁止刹车输入 1：开启刹车输入 注 1：当 LOCK 级别（TIM1_BDTR 寄存器中的 LOCK 位） 设为 1 时， 该位不能被修改。 注 2：刹车输入包括引脚输入、比较器比较结果输入两类事件，刹车使能前应先配置 TIM1_BKINF 寄存器中 BKIN_SEL 位，选择刹车源。
11	OSSR	运行模式下“关闭状态”选择 该位仅适用于当 MOE =1 且通道为互补输出。 0：当定时器不工作时，禁止 OC/OCN 输出 1：当定时器不工作时，如果 CCxE = 1 或 CCxNE = 1，首先开启 OC/OCN 并输出无效电平，然后置位 OC/OCN 输出使能信号。 注：当 LOCK 级别（TIM1_BDTR 寄存器中的 LOCK 位） 设为 2 时，该位不能被修改。

位	字段	描述
10	OSSI	空闲模式下“关闭状态”选择 该位仅适用于当 MOE=0 且通道设为输出时。 0：当定时器不工作时，禁止 OC/OCN 输出。 1：当定时器不工作时，如果 CCxE = 1 或 CCxNE = 1，首先 OC/OCN 输出无效电平，然后置位 OC/OCN 输出使能信号。 注：当 LOCK 级别（TIM1_BDTR 寄存器中的 LOCK 位） 设为 2 时，该位不能被修改。
9：8	LOCK	锁定设置 该位定义了寄存器的写保护功能。 00：写保护功能关闭，寄存器无写保护 01：锁定级别 1，不能写入 TIM1_BDTR 寄存器的 DOE、DTG、BKE、BKP、AOE 位和 TIM1_CR2 寄存器的 OISx/OISxN 位 10：锁定级别 2，不能写入锁定级别 1 中的各位，也不能写入 CC 极性位以及 OSSR/OSSI 位 11：锁定级别 3，不能写入锁定级别 2 中的各位，也不能写入 CC 控制位 注：在系统复位后，LOCK 位只能写一次，当写入 TIM1_BDTR 寄存器后，LOCK 被写保护。
7：0	DTG	死区发生器设置 这些位定义了插入互补输出之间的死区持续时间。 注：当 LOCK 级别（TIM1_BDTR 寄存器中的 LOCK 位） 设为 1、2 或 3 时，不能修改这些位。

10.5.19 TIM1_DCR DMA 控制寄存器

地址偏移: 0x48
复位值: 0x0000
注：本寄存器仅适用于有内置 DMA 的产品，详见 10.4.8 DMA 章节。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			DBL					Reserved			DBA				
			rw								rw				

位	字段	描述
15：13	Reserved	保留,必须保持复位值.
12：8	DBL	DMA 连续传送长度 这些位定义了 DMA 在连续模式下的访问寄存器的数量 00000：1 次传输 00001：2 次传输 00010：3 次传输 .... 10001：18 次传输
7：5	Reserved	保留,必须保持复位值.
4：0	DBA	DMA 基地址 这些位定义了 DMA 在连续模式下访问 TIM1_DMAR 寄存器的第一个地址。DBA 定义为从 TIM1_CR1 寄存器所在地址开始的偏移值： 00000：TIM1_CR1 00001：TIM1_CR2 00010：TIM1_SMCR .....

10.5.20 TIM1_DMAR 连续模式 DMA 地址寄存器

地址偏移: 0x4C
复位值: 0x0000
注：本寄存器仅适用于有内置 DMA 的产品，详见 10.4.8 DMA 章节。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB															
w															

位	字段	描述
15：0	DMAB	DMA 连续传送地址寄存器 对 TIM1_DMAR 寄存器的读写操作会导致对以下地址所在寄存器的存取操作： TIM1_CR1 地址 + DBA + DMA 索引，其中 TIM1_CR1 地址是 TIM1_CR1 寄存器所在的地址，DBA 是 TIM1_DCR 寄存器中定义的基地址，DMA 索引是 DMA 自动控制的偏移量，它取决于 TIM1_DCR 寄存器中定义的 DBL 值。

10.5.21 TIM1_CCMR3 比较模式寄存器 3

地址偏移: 0x54
复位值: 0x0000
通道仅适用于比较输出模式

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												OC5PE	Reserved		
												rw			

位	字段	描述
15：4	Reserved	保留,必须保持复位值.
3	OC5PE	比较输出 5 预装载使能 0：禁止 TIM1_CCR5 寄存器的预装载功能，写入 TIM1_CCR5 寄存器的数值立即生效。 1：开启 TIM1_CCR5 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIM1_CCR5 的预装载值在更新事件到来时生效。 注 1：当 LOCK 级别设为 3（TIM1_BDTR 寄存器中的 LOCK 位） 时，该位不能被修改。
2：0	Reserved	保留,必须保持复位值.

10.5.22 TIM1_CCR5 比较寄存器 5

地址偏移: 0x58
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR5															
rw															

位	字段	描述
15：0	CCR5	比较 5 的值 CC5 通道只能配置为输出： 如果在 TIM1_CCMR3 寄存器（OC5PE 位）中未选择预装载功能，写入的数值会立即传输至对应的当前比较影子寄存器中。否则只有当更新事件发生时， 此预装载值才传输至对应的当前比较影子寄存器中。当前比较影子寄存器参与同计数器 TIM1_CNT 的比较，由于 CC5 通道为内部通道，无法输出至引脚，比较结果用于内部触发事件。

10.5.23 TIM1_PDER PWM 移相/DMA 重复更新请求使能寄存器

地址偏移: 0x5C
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										CCR5_SHIFT_EN	CCR4_SHIFT_EN	CCR3_SHIFT_EN	CCR2_SHIFT_EN	CCR1_SHIFT_EN	CCDREPE
										rw	rw	rw	rw	rw	rw

位	字段	描述
15：6	Reserved	保留,必须保持复位值.

位	字段	描述
5	CCR5_SHIFT_EN	允许通道 5 输出 PWM 移相使能位 0：禁止通道 5 输出 PWM 移相 1：允许通道 5 输出 PWM 移相 具体见 CCRxFALL 寄存器描述移相操作
4	CCR4_SHIFT_EN	允许通道 4 输出 PWM 移相使能位 0：禁止通道 4 输出 PWM 移相 1：允许通道 4 输出 PWM 移相 具体见 CCRxFALL 寄存器描述移相操作
3	CCR3_SHIFT_EN	允许通道 3 输出 PWM 移相使能位 0：禁止通道 3 输出 PWM 移相 1：允许通道 3 输出 PWM 移相 具体见 CCRxFALL 寄存器描述移相操作
2	CCR2_SHIFT_EN	允许通道 2 输出 PWM 移相使能位 0：禁止通道 2 输出 PWM 移相 1：允许通道 2 输出 PWM 移相 具体见 CCRxFALL 寄存器描述移相操作
1	CCR1_SHIFT_EN	允许通道 1 输出 PWM 移相使能位 0：禁止通道 1 输出 PWM 移相 1：允许通道 1 输出 PWM 移相 具体见 CCRxFALL 寄存器描述移相操作
0	CCDREPE	使能 DMA 在每次 underflow 或是 overflow 时都发出更新请求 0：DMA 发生更新请求需要根据重复计数寄存器的值来产生。 1：使能 DMA 在每次 underflow 或 overflow 都发出更新请求。

10.5.24 TIM1_CCRxFALL PWM 移相递减计数比较寄存器

地址偏移: 0x60 ~ 0x70
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCRxFALL															
rw															

位	字段	描述
15：0	CCRxFALL	通道 x 在 PWM 中央对齐模式递减计数时的比较值 PWM 移相功能：开启 PDER 寄存器的 PWM 移相使能，根据需要移动相位， 配置 CCRxFALL 以及 CCRx，即可实现 PWM 输出可编程的移相波形，可左移或是右移。

10.5.25 TIM1_BKINF 刹车输入滤波寄存器

地址偏移: 0x74
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	COMPBKIN_SEL		IOBKIN_SEL							Res.	BKINF				BKINFE
	rw		rw								rw				rw

位	字段	描述
31：15	Reserved	保留,必须保持复位值.
14：13	COMPBKIN_SEL	COMP 刹车输入选择 COMPBKIN_SEL[1]： 0：COMP2_OUT 刹车输入无效 1：COMP2_OUT 刹车输入有效 COMPBKIN_SEL[0]： 0：COMP1_OUT 刹车输入无效 1：COMP1_OUT 刹车输入有效

位	字段	描述
12：6	IOBKIN_SEL	IO 刹车输入选择 IOBKIN_SEL[6]： 0：TIM1_BKIN7 刹车输入无效 1：TIM1_BKIN7 刹车输入有效 IOBKIN_SEL[5]： 0：TIM1_BKIN6 刹车输入无效 1：TIM1_BKIN6 刹车输入有效 IOBKIN_SEL[4]： 0：TIM1_BKIN5 刹车输入无效 1：TIM1_BKIN5 刹车输入有效 IOBKIN_SEL[3]： 0：TIM1_BKIN4 刹车输入无效 1：TIM1_BKIN4 刹车输入有效 IOBKIN_SEL[2]： 0：TIM1_BKIN3 刹车输入无效 1：TIM1_BKIN3 刹车输入有效 IOBKIN_SEL[1]： 0：TIM1_BKIN2 刹车输入无效 1：TIM1_BKIN2 刹车输入有效 IOBKIN_SEL[0]： 0：TIM1_BKIN1 刹车输入无效 1：TIM1_BKIN1 刹车输入有效
5	Reserved	保留,必须保持复位值.
4：1	BKINF	BKIN 数字滤波采样频率 0000： 2 周期 0001： 4 周期 0010： 8 周期 0011： 16 周 期 0100： 32 周 期 0101： 64 周 期 0110： 128 周 期 0111： 256 周 期 1000： 384 周 期 1001： 512 周 期 1010： 640 周 期 1011： 768 周 期 1100： 896 周 期 1101：1024 周期 1110：1152 周期 1111：1280 周期 注：更改档位时应先关闭刹车滤波使能位。
0	BKINFE	BKIN 数字滤波使能 1：使能 BKIN 管脚数字滤波 0：禁止 BKIN 管脚数字滤波 注：滤波使能信号在刹车条件配置之后打开。滤波功能用于过滤电平。

11 TIM2 通用定时器

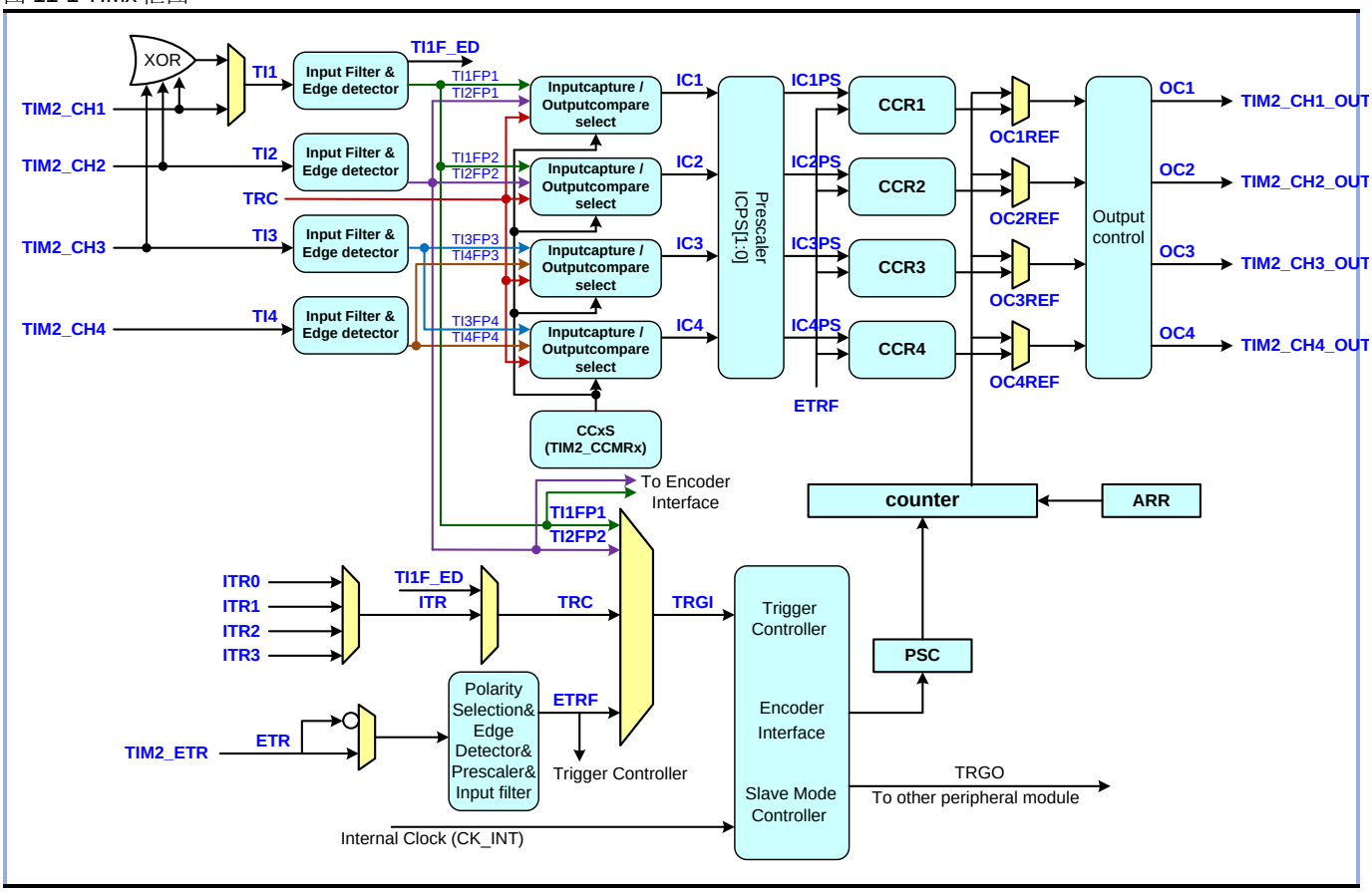
32 位通用定时器包含 TIM2、TIM5，具有相同的功能，本产品仅搭载 TIM2。本章节统一表述为 TIMx， 部分示意图以 TIM2 为例展示。

11.1 简介

TIMx 由一个 16 位可实时编程预分频器和一个 32 位计数方向可调的自动重装载计数器组成，可以为用户提供便捷的计数定时功能，计数器时钟由预分频器分频得到。通用定时器具有多种用途，如捕获输入功能（测量输入信号的脉冲宽度、频率，PWM 输入等），比较输出功能（PWM 输出、单脉冲模式输出等）。

11.2 功能框图

图 11-1 TIMx 框图



上图为 TIMx 的结构框图，主要由输入单元、输出单元、时基单元、捕获/比较模块等结构组成。

11.3 主要特性

- **16 位可实时编程预分频器，分频系数：1–65536 可调**
- **时钟源可选：内部时钟源，外部时钟输入（TIx、ETRx），内部触发输入(ITRx)**
- **32 位自动重载计数器（计数方向：递增、递减、递增/递减）**
- **同步电路用于控制定时器与外部信号，并将多个定时器相互连接。**
- **输入捕获：输入信号的脉冲宽度、周期的测量**
- **触发输入可以作为外部时钟或者逐周期管理**
- **支持编码器、霍尔传感器等接口**
- **4 个输出通道**
- **比较输出（控制输出波形或指示定时器已经计时结束）**
- **PWM 输出（边沿对齐或中心对齐模式）**
- **单脉冲输出**
- **产生中断/DMA 请求的事件：更新事件、触发事件、输入捕获、比较输出**

11.4 功能描述

11.4.1 时钟

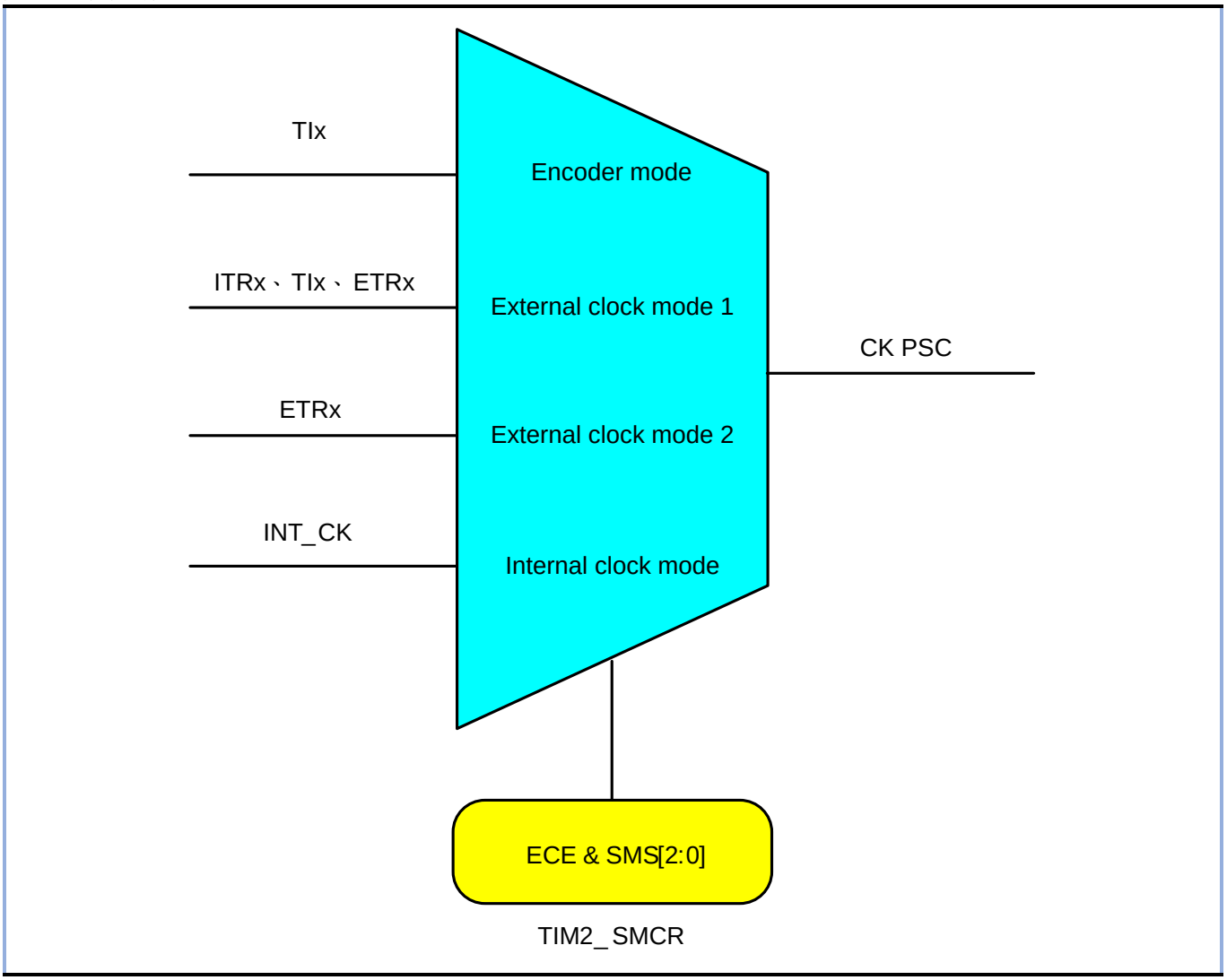
11.4.1.1 时钟选择

计数器的时钟源有以下几种：

- **内部时钟（INT_CK）**
- **外部时钟模式 1：外部触发输入 TRGI（包含 TIx、ITRx、ETRx）**
- **外部时钟模式 2：外部触发输入 ETR（包含 ETRx）**
- **编码器模式**

T 上述几种时钟选择示意图如下：

图 11-2 时钟选择



11.4.1.1.1 内部时钟源 (INT _CK)

当配置 TIMx_SMCR 寄存器的 SMS=000、关闭从模式时，计数器使能打开，预分频器的时钟直接由内部时钟驱动。此时计数器时钟为内部时钟分频后的时钟。

11.4.1.1.2 外部时钟模式 1(外部触发输入 TRGI,包含 TIx, ITRx, ETRx)

当配置 TIMx_SMCR 寄存器的 SMS = 111 时，选择外部时钟模式 1（TRGI）。计数器由选定的输入信号的每个上升沿或下降沿驱动。

例：计数器在 TI1 输入端的上升沿递增计数，具体配置如下：

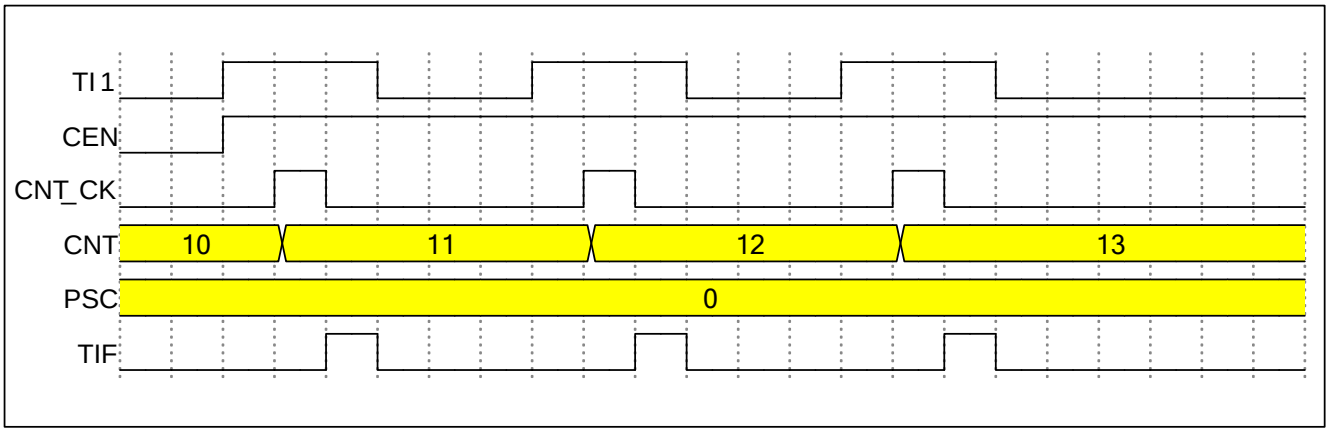
1.配置 TIMx_CCMR1 寄存器的 CC1S=01，CC1 通道被配置为输入，IC1 映射在 TI1 上；配置 TIMx_CCMR1 寄存器的 IC1F[3：0]，设置输入滤波器带宽；配置 TIMx_CCER 寄存器 CC1P=0，选择上升沿为有效沿。

2.配置 TIMx_SMCR 寄存器的 TS=101，选择 TI1 的作为触发输入源；配置 TIMx_SMCR 寄存器的 SMS=111，选择外部时钟模式 1。

3.配置 TIMx_CR1 寄存器的 DIR=0，选择递增计数模式，配置 TIMx_CR1 寄存器的 CEN=1，启动计数器。

当 TI1 出现有效边沿时，计数器递增计数一次且 TIF 标志位由硬件置 1。TI1 的有效边沿和计数器的实际时钟之间的延时取决于 TI1 输入端同步电路设计。

图 11-3 外部时钟模式 1 下的控制电路



注：使用外部时钟模式时，需要保持预分频器（TIMx_PSC）为复位值。

11.4.1.1.3 外部时钟模式 2(外部触发输入 ETR,包含 ETRx)

当配置 TIMx_SMCR 寄存器的 ECE=1 时，使能外部时钟模式 2，计数器由 ETR 信号上的有效边沿驱动。

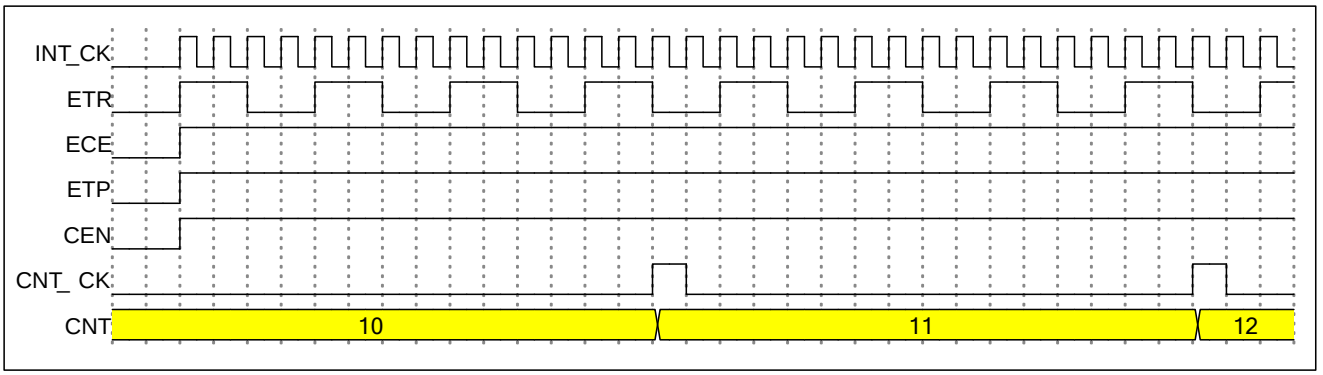
例：ETR 的每 4 个下降沿计数一次，递增计数，具体配置如下：

1.配置 TIMx_SMCR 寄存器的 ETF[3：0] = 0010，每 4 个 ETR 信号的有效边沿驱动计数器计数一次；配置 TIMx_SMCR 寄存器的 ETP=1，选择下降沿有效；配置 TIMx_SMCR 寄存器的 ECE=1，选择外部时钟模式 2。

2.配置 TIMx_CR1 寄存器的 DIR=0，选择递增计数模式；配置 TIMx_CR1 寄存器的 CEN=1 ，启动计数器。

在 ETR 的下降沿和计数器实际时钟之间的延时取决于在 ETR 信号端的同步电路设计。

图 11-4 外部时钟模式 2 下的控制电路



注：使用外部时钟模式时，需要保持预分频器（TIMx_PSC）为复位值。

11.4.1.1.4 编码器模式

具体参考从模式-编码器接口章节。

11.4.1.2 时基单元

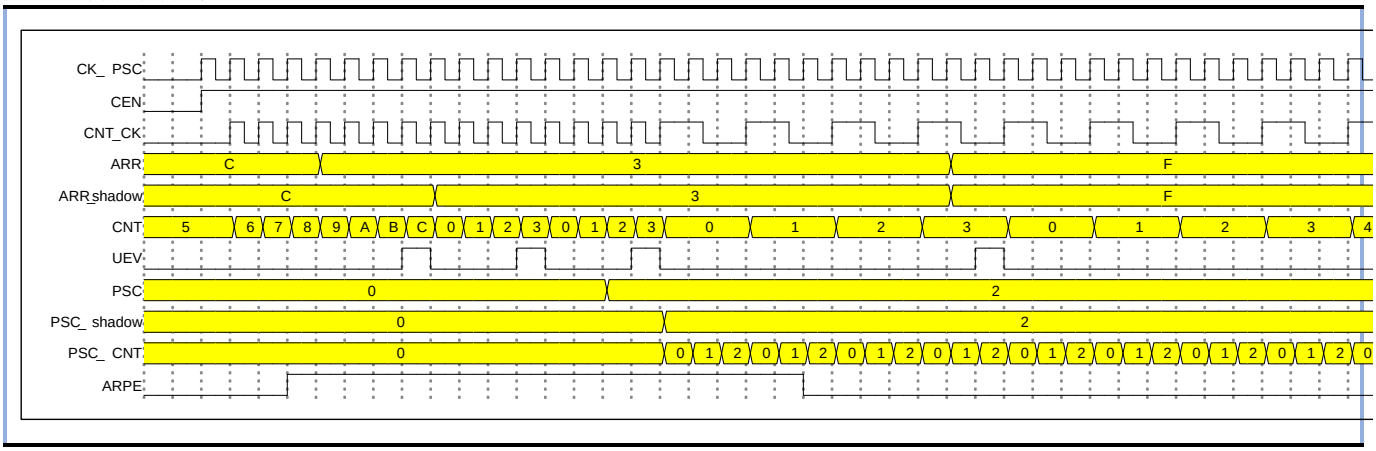
TIMx 的时基单元主要包括：计数器寄存器（TIMx_CNT）、预分频器寄存器（TIMx_PSC）和自动预装载寄存器（TIMx_ARR）。

计数单元由一个 32 位的计数器和对应的自动预装载寄存器组成，可以实现递增计数，递减计数，递增和递减计数的功能。

计数器的时钟由预分频器提供，预分频器由预分频计数器和对应的寄存器组成，分频系数为 1-65536，可以随时写入，在下一次更新事件时生效。

自动预装载寄存器有预装载功能的 32 位影子寄存器，通过设置 TIMx_CR1 寄存器的 ARPE 位选择写入 ARR 寄存器的值立即生效或发生更新事件时载入影子寄存器。

图 11-5 自动预转载



11.4.1.3 计数模式

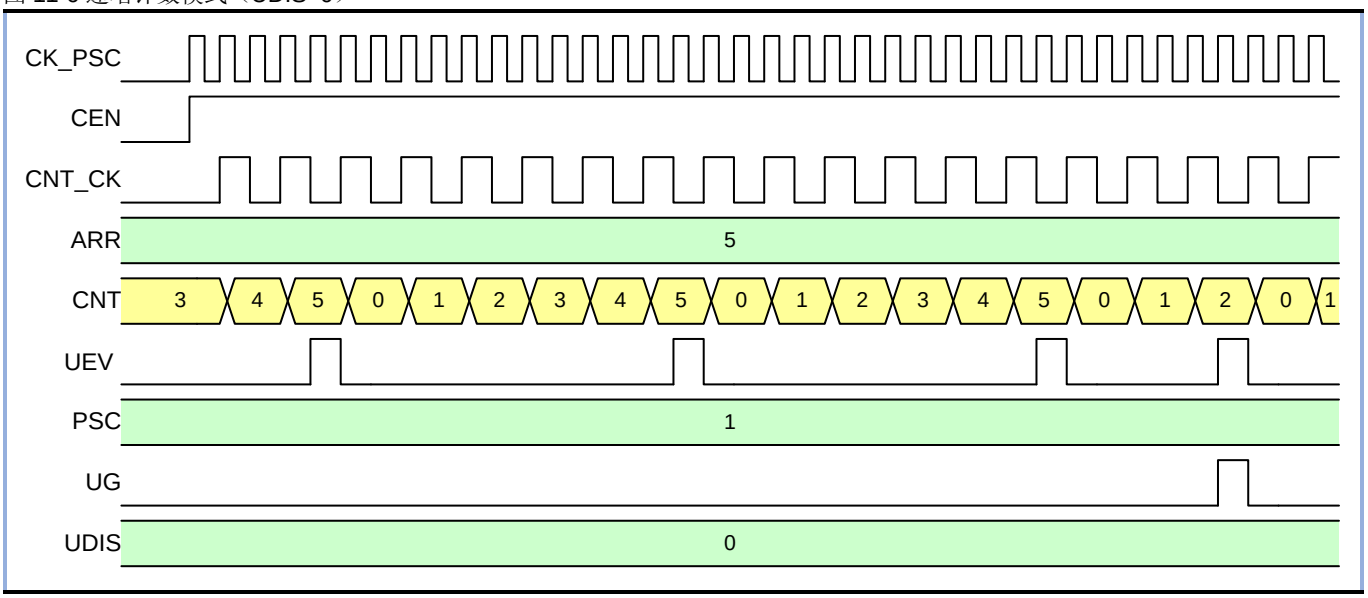
通过配置 TIMx_CR1 寄存器的 DIR 位和 CMS 位可以选择计数器的计数模式，可以分为三种计数模式， 递增计数模式、递减计数模式和中央对齐计数模式（递增/递减计数模式），下面对每种计数模式做详细介绍。

11.4.1.3.1 递增计数模式

配置 TIMx_CR1 寄存器 CMS=0，DIR＝0，选择递增计数模式。

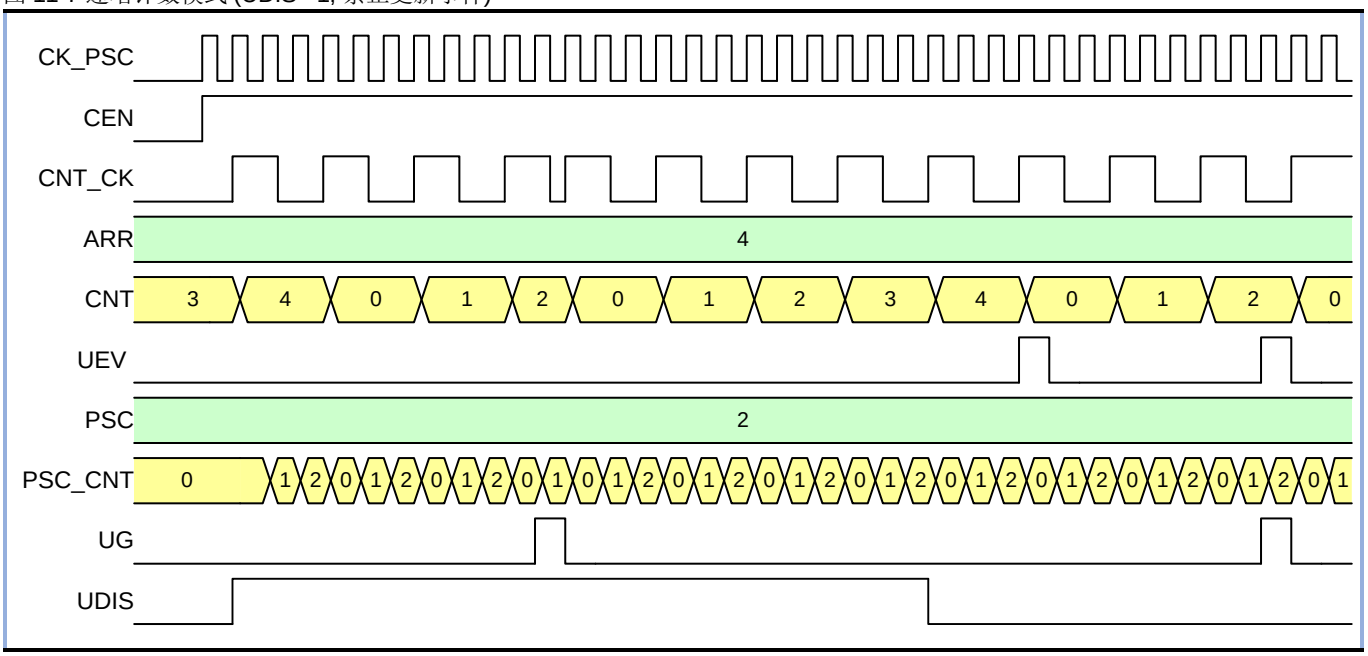
递增计数模式下，在使能 TIMx_CR1 寄存器的 CEN 后计数器由 0 开始递增计数，直至 TIMx_ARR 的值， 产生一个计数器上溢事件（更新事件），并从 0 开始重新递增计数。设置 TIMx_EGR 寄存器的 UG=1，同样可以产生一个更新事件。

图 11-6 递增计数模式（UDIS=0）



通过配置 TIMx_CR1 寄存器的 UDIS=1，可禁止产生更新事件，当计数器发生上溢事件时，不产生更新事件。此时若配置 UG=1，不产生更新事件，但是计数器和预分频器计数器会被初始化，从零开始递增计数。

图 11-7 递增计数模式 (UDIS =1, 禁止更新事件)



注：发生更新事件时:

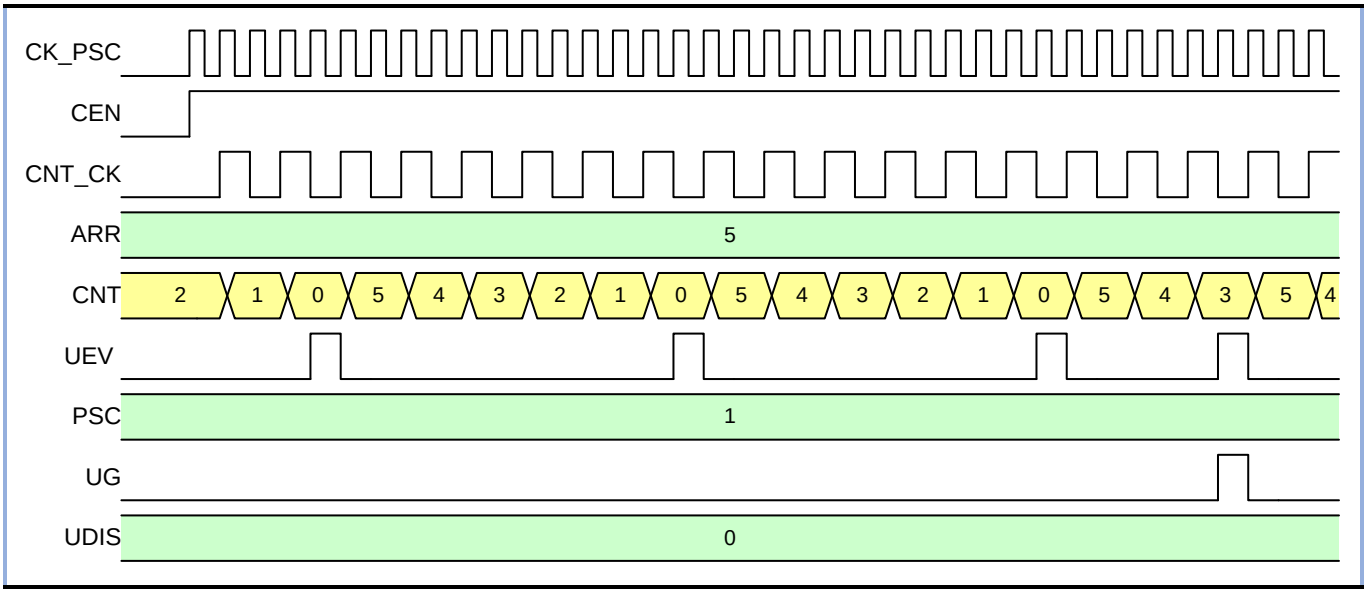
- **ARR 寄存器中的值被载入 ARR 影子寄存器中。**
- **预分频器的预装载值生效。**

11.4.1.3.2 递减计数模式

配置 TIMx_CR1 寄存器的 CMS=0，DIR＝1，选择递减计数模式。

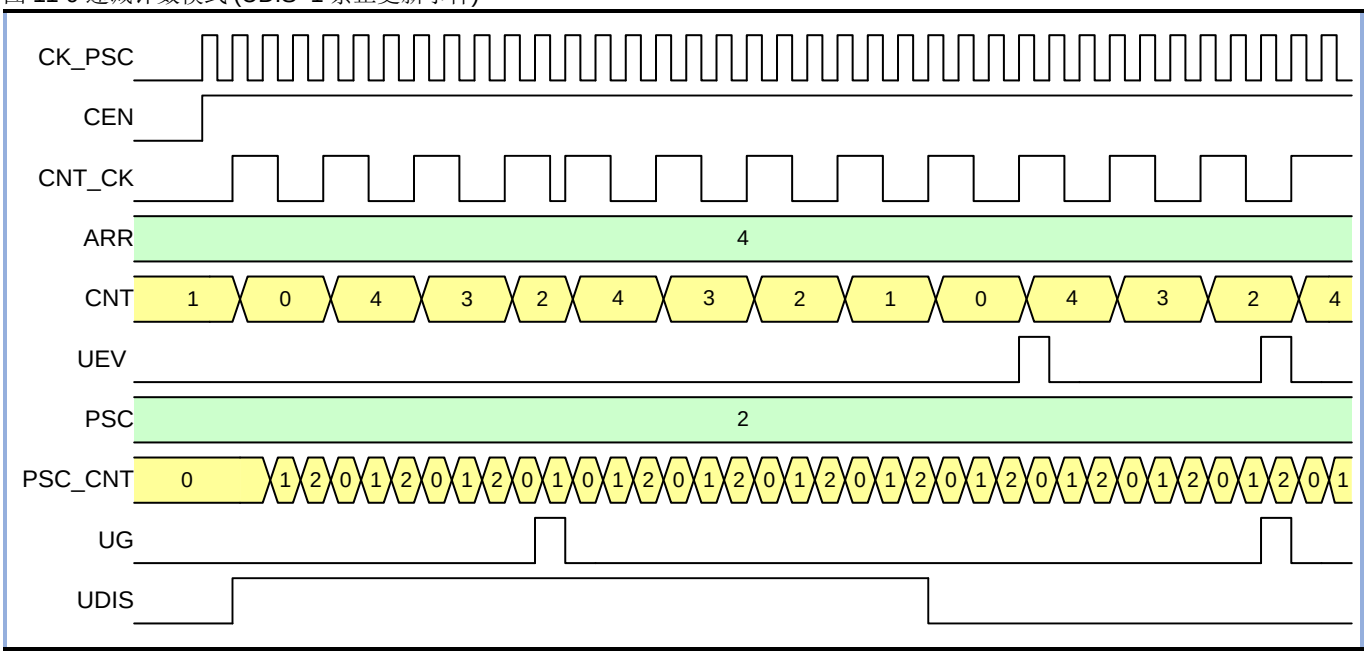
递减计数模式下，计数器从自动预装载值 TIMx_ARR 开始递减计数，计数到 0 时，产生一个下溢事件（更新事件）。设置 TIMx_EGR 寄存器的 UG=1，同样可以产生一个更新事件，更新事件后计数器从自动预装载值 TIMx_ARR 开始重新递减计数（TIMx_CR1 寄存器 UDIS=0）。

图 11-8 递减计数模式（UDIS＝0）



通过配置 TIMx_CR1 寄存器的 UDIS=1，可禁止产生更新事件，当计数器发生下溢事件时，不产生更新事件。此时若配置 UG=1，同样不产生更新事件，但是计数器和预分频器计数器会被初始化，从 TIMx_ARR 开始计数。

图 11-9 递减计数模式 (UDIS=1 禁止更新事件)



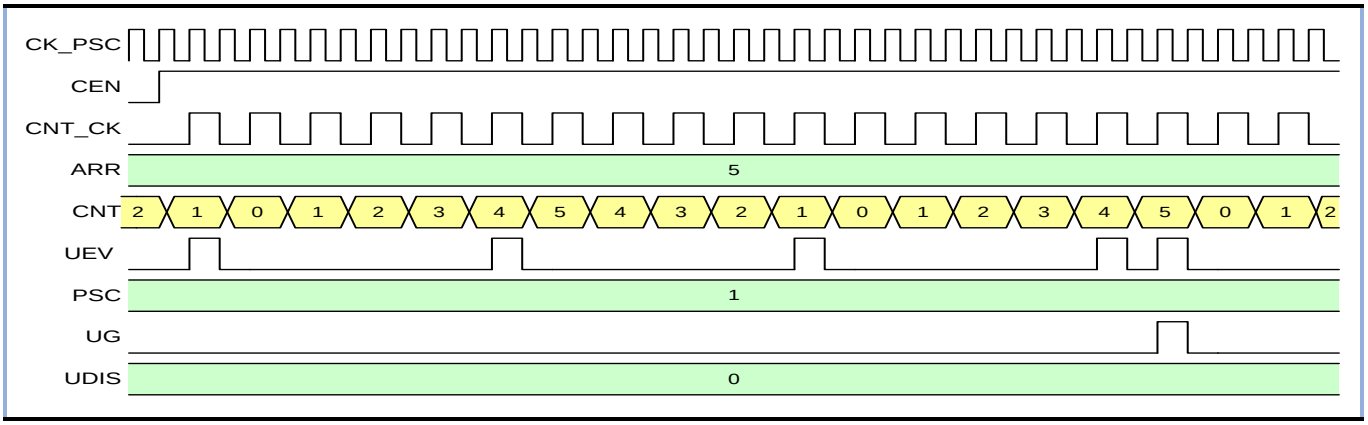
11.4.1.3.3 中心计数模式(递增/递减计数模式)

配置 TIMx_CR1 寄存器的 CMS ≠ 0（此时写入 DIR 无效），选择中心对齐计数模式。

中心对齐计数模式，递增计数和递减计数交替进行。递增计数到 ARR-1 时，产生一个上溢事件，然后从 ARR 开始递减计数到 1，产生一个下溢事件，再从 0 开始递增计数。

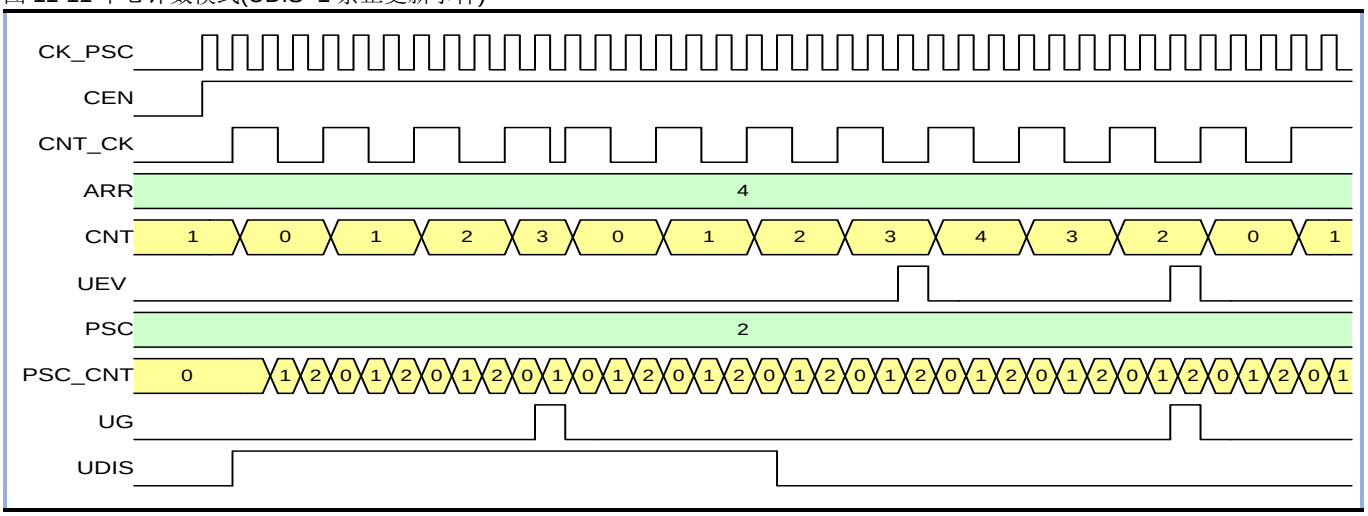
设置 TIMx_EGR 寄存器的 UG=1，同样可以产生一个更新事件，更新事件后计数器从 0 开始重新递增计数（TIMx_CR1 寄存器 UDIS=0）。

图 11-10 中心计数模式（UDIS=0）



通过配置 TIMx_CR1 寄存器的 UDIS=1，可禁止产生更新事件，当计数器发生上溢或下溢事件时，不产生更新事件。此时若配置 UG=1，同样不产生更新事件，但是计数器和预分频器计数器会被初始化，从零开始重新计数。

图 11-11 中心计数模式(UDIS=1 禁止更新事件)

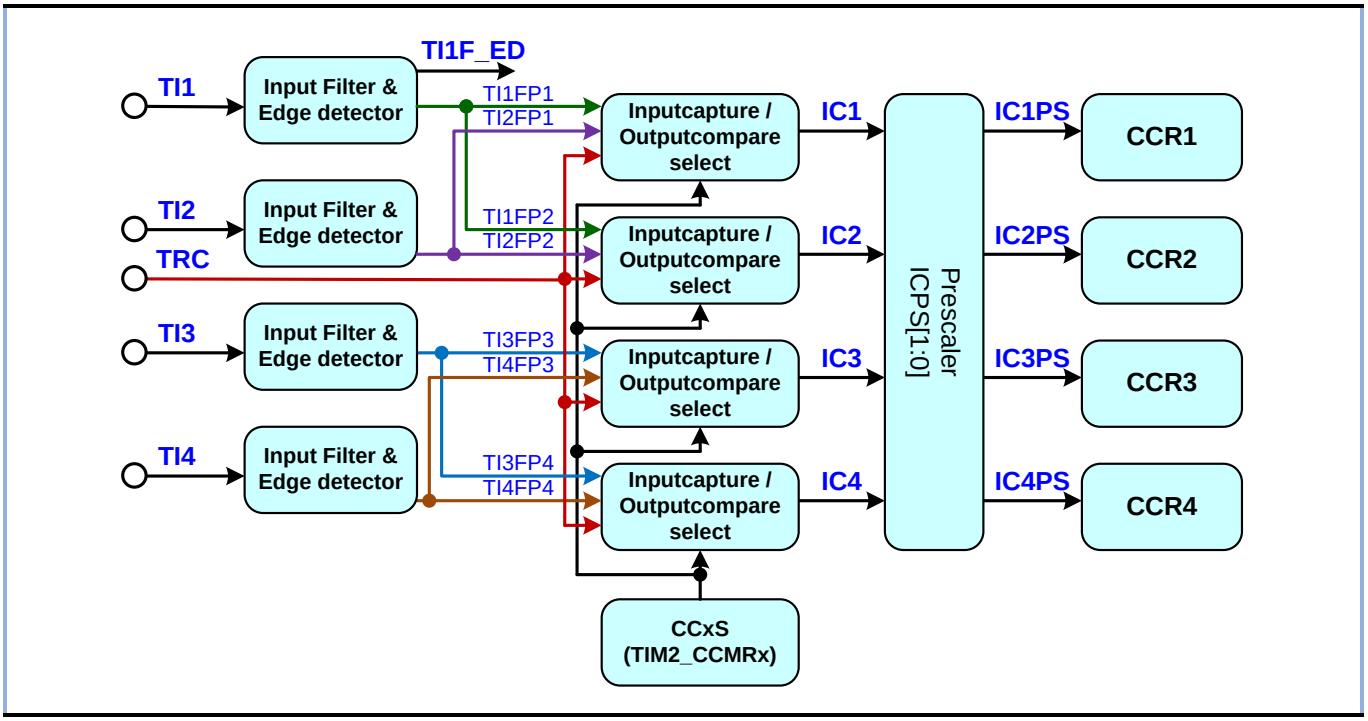


11.4.2 输入捕获

11.4.2.1 输入捕获

输入捕获部分包括数字滤波器、多路复用、预分频器等，其结构如下图所示：：

图 11-12 TIMx 输入捕获框图



通过配置 TIMx_CCMRx 寄存器的 ICxF，可以设置数字滤波器的滤波宽度（滤波器的采样频率及数字滤波宽度如下表所示），当数字滤波器的输入信号宽度大于滤波宽度时，输入信号有效；数字滤波器对输入引脚 TIx 的输入信号采样后，产生一个滤波后的信号 TIxF，然后通过极性可选的边沿检测器，产生一个有效信号 TIxFPx，这个信号可以作为从模式控制器的触发输入信号，同时该信号经过预分频器产生一个信号 ICxPS，用于触发输入捕获事件。

表 11.1 数字滤波器宽度与 ICxF 的对应关系

IC1F[3：0]	采样频率和滤波宽度	IC1F[3：0]	采样频率和滤波宽度
0000	无滤波器，以 f_{DTS} 采样	1000	采样频率 $f_{sampling}=f_{DTS}$ /8, N=6
0001	采样频率 fsampling=f_{INT_CK}, N=2	1001	采样频率 $f_{sampling}=f_{DTS}$ /8, N=8
0010	采样频率 fsampling=f_{INT_CK}, N=4	1010	采样频率 $f_{sampling}=f_{DTS}$ /16， N=5
0011	采样频率 fsampling=f_{INT_CK}, N=8	1011	采样频率 $f_{sampling}=f_{DTS}$/16, N=6
0100	采样频率 fsampling=f_{DTS} /2, N=6	1100	采样频率 $f_{sampling}=f_{DTS}$ /16, N=8
0101	采样频率 fsampling=f_{DTS}/2, N=8	1101	采样频率 $f_{sampling}=f_{DTS}$ /32, N=5
0110	采样频率 $f_{sampling}=f_{DTS}$ /4, N=6	1110	采样频率 $f_{sampling}=f_{DTS}$ /32, N=6
0111	采样频率 $f_{sampling}=f_{DTS}$ /4, N=8	1111	采样频率 $f_{sampling}=f_{DTS}$ /32, N=8

输入捕获模式下，当检测到信号 ICx 上的有效边沿后，计数器的当前值被锁存到对应的影子寄存器上，再复制到对应的捕获比较寄存器中。当开启了中断或 DMA 使能，发生捕获事件时，将产生相应的中断或 DMA 请求。发生捕获事件时，会将状态寄存器（TIMx_SR）中的捕获标志位 CCxIF 置 1，通过配置 CCxIF=0 或读取 TIMx_CCRx 中的数据，清除 CCxIF 标志位。当 CCxIF 未被清零时，发生输入捕获事件，重复捕获标志位 CCxOF 将会被置 1，通过配置 CCxOF=0，可以清除 CCxOF 标志位。

例如，通过采样 TI1 输入信号的有效沿，在 TI1 的上升沿来到时捕获当前计数器的值，锁存到 TIMx_CCR1 寄存器中，步骤如下：

1.配置 TIMx_CCMR1 寄存器的 CC1S=01，CC1 通道被配置为输入，IC1 映射在 TI1 上。

2.配置 TIMx_CCMR1 寄存器的 IC1F[3：0]，配置数字滤波器的滤波宽度（按需配置）。

3.配置 TIMx_CCER 寄存器的 CC1P=0，选择捕获发生在 TI1 信号的上升沿。

4.配置 TIMx_CCMR1 寄存器的 IC1PSC[1:0]，选择预分频系数。

5.配置 TIMx_CCER 寄存器的 CC1E = 1，开启输入/捕获通道 1 的捕获使能。

6.配置 TIMx_DIER 寄存器的 CC1IE=1，使能通道 1 的捕获/比较通道 1 中断请求；如果芯片有内置 DMA，配置 TIMx_DIER 寄存器的 CC1DE=1，允许捕获/比较通道 1 的 DMA 请求。

注：

- **当通道配置为输入模式时，TIMx_CCRx 寄存器属性变为只读。**
- **如果发生了两次以上连续捕获，但 CCxIF 标志未被清零，则重复捕获标志 CCxOF 被置 1。为了避免丢失重复捕获标志 CCxOF 置 1 之前可能产生的捕获信息，建议在读出重复捕获标志之前读取数据。**
- **设置 TIMx_EGR 寄存器中相应的 CCxG 位，可以通过软件产生输入捕获中断或 DMA 请求。**

11.4.2.2 PWM 捕获

PWM 输入模式的操作配置与一般输入捕获有以下不同点：

- **两个边沿有效且极性相反的 ICx 信号被映射至同一个 TIx 输入。**
- **配置从模式为复位模式，将其中一路 TIxFP 作为触发输入信号。**

例：测量 TI1 的 PWM 信号的宽度（TIMx_CCR1 寄存器）和占空比（TIMx_CCR2 寄存器），测量值取决于内部时钟 INT_CK 的频率和预分频器的值。具体步骤如下：

1.配置 TIMx_CR1 寄存器 DIR=0，选择计数器计数模式为递增计数模式。

2.配置 TIMx_CCMR1 寄存器的 CC1S = 01，将 IC1 映射在 TI1 上，选择 TIMx_CCR1 的有效输入。

3.配置 TIMx_CCER 寄存器的 CC1P =0，选择 TI1FP1 的有效极性（上升沿有效）（将计数器的值捕获到 TIMx_CCR1 中并清除计数器）。

4.配置 TIMx_CCMR1 寄存器的 CC2S =10，将 IC2 映射在 TI1 上，选择 TIMx_CCR2 的有效输入。

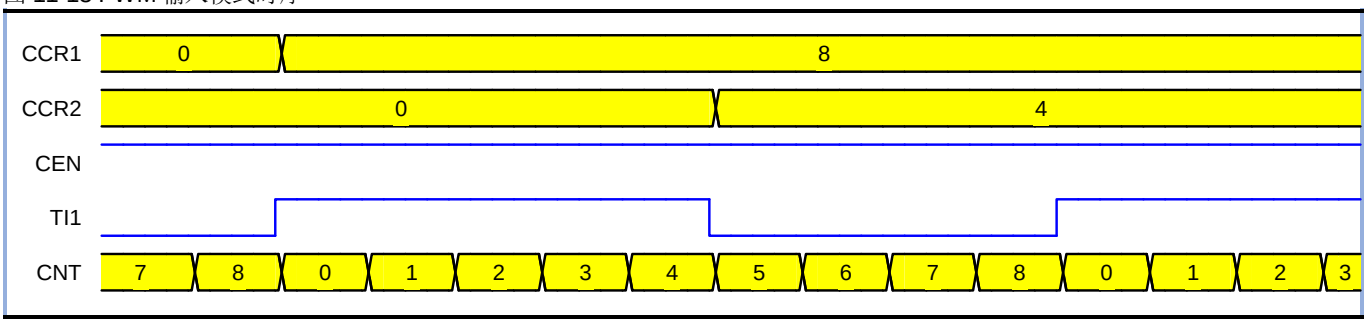
5.配置 TIMx_CCER 寄存器的 CC2P =1，选择 TI2FP2 的有效极性（下降沿有效）（将计数器的值捕获到 TIMx_CCR2 中）。

6.配置 TIMx_SMCR 寄存器中的 TS = 101，选择 TI1FP1 为有效的触发输入信号。

7.配置 TIMx_SMCR 中的 SMS = 100，从模式控制器设置为复位模式。

8.配置 TIMx_CCER 寄存器中 CC1E=1 且 CC2E = 1。开启 CC1 通道和 CC2 通道的捕获使能。

图 11-13 PWM 输入模式时序

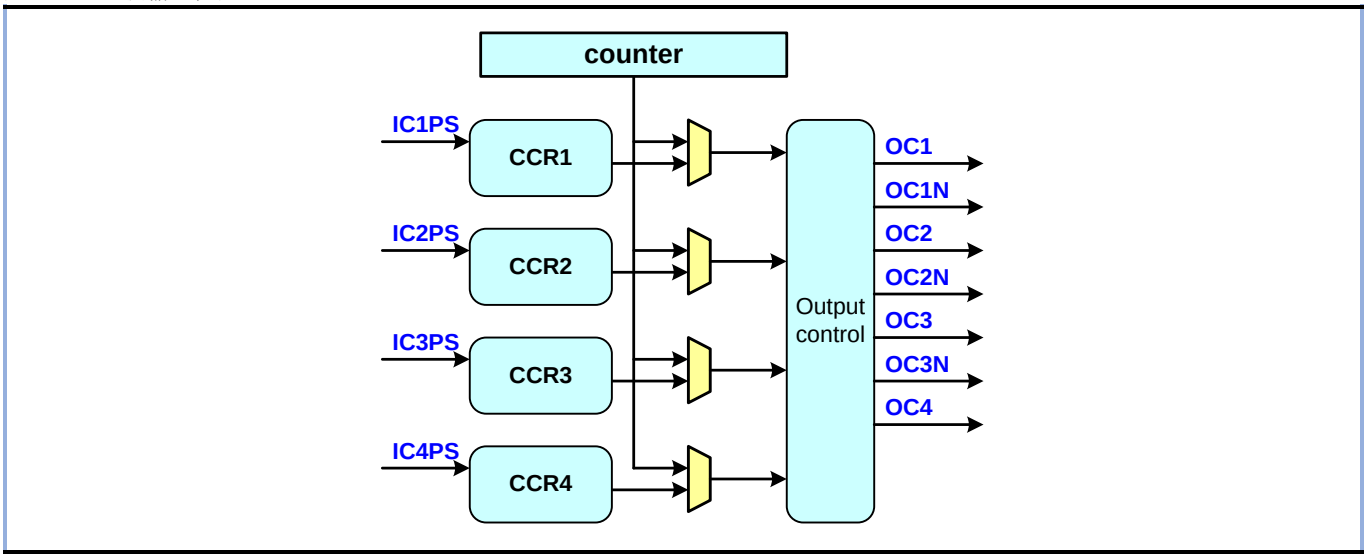


注：由于从模式控制器只连接了 TI1FP1 和 TI2FP2，所以 PWM 输入模式只适用于 TIMx_CH1/TIMx_CH2 端口输入信号。

11.4.3 比较输出

捕获比较通道的比较输出部分由比较器、输出控制电路和捕获/比较寄存器组成，其结构图如下图所示：

图 11-14 比较输出框图



在比较输出模式下，捕获比较寄存器的内容被载入到影子寄存器中，然后影子寄存器的内容和计数器当前值进行比较。捕获/比较模块包括一个捕获/比较寄存器（预装载寄存器）和一个影子寄存器，读写过程仅操作捕获/比较寄存器。

11.4.3.1 强制输出

配置 TIMx_CCMRx 寄存器的 CCxS = 00，将通道 CCx 设置为输出模式，通过配置 TIMx_CCMRx 寄存器 OCxM 位，可以直接将比较输出信号直接强制为有效或无效状态，不依赖于比较结果。配置 TIMx_CCMRx 寄存器 OCxM = 100，强置比较输出信号为无效状态。此时 OCxREF 被强置为低电平。配置 TIMx_CCMRx 寄存器 OCxM = 101，强置比较输出信号为有效状态。此时 OCxREF 被强置为高电平（OCxREF 始终为高电平有效）。

注：强制输出模式下，在 TIMx_CCRx 影子寄存器和计数器之间的比较输出仍在进行，比较结果的相应标志位也会被修改，如果开启了对应的中断和 DMA 请求，仍会产生对应的中断和 DMA 请求。

11.4.3.2 比较输出

比较输出模式下，当计数器与捕获比较寄存器值相同时，可以根据 TIMx_CCMRx 寄存器的 OCxM 位的配置用来输出不同的波形。

例如，当计数器与捕获/比较寄存器的内容匹配时，比较输出模式下的操作如下：

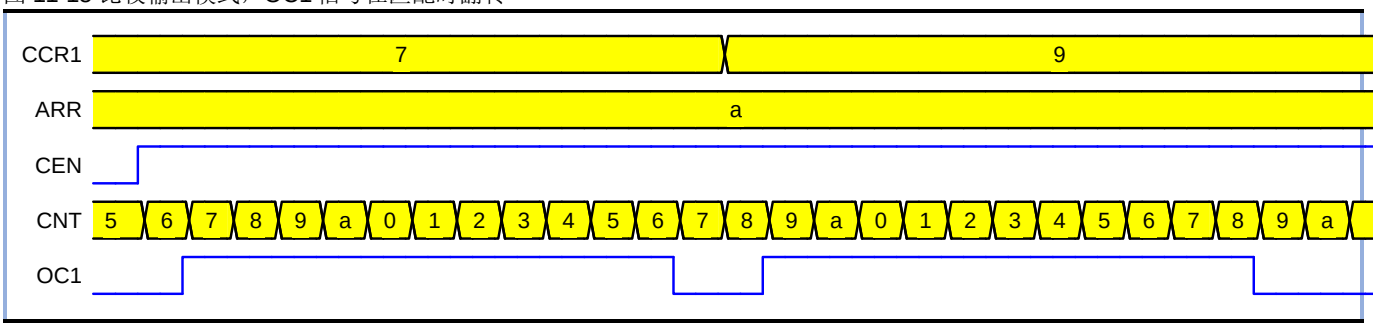
1. 在比较匹配时，OCxM 的值不同，输出通道 x 信号 OCx 的操作不同：
   - OCxM = 000：OCx 信号保持它的电平
   - OCxM = 001：OCx 信号被设置成有效电平
   - OCxM = 010：OCx 信号被设置成无效电平
   - OCxM = 011：OCx 信号进行翻转
2. 匹配时状态寄存器中的标志位置 1（TIMx_SR 寄存器中的 CCxIF 位）。
3. 当配置了 TIMx_DIER 寄存器中的 CCxIE =1，匹配时则产生一个中断。
4. 当配置了 TIMx_DIER 寄存器中的 CCxDE =1，匹配时则产生一个 DMA 请求（仅适用于有内置 DMA 的产品）。

比较输出模式也可以用来输出一个单脉冲（单脉冲输出模式）。例如，通道 1 的比较输出模式的配置步骤如下：

1. 配置计数器的时钟（选择时钟源，配置预分频系数）。
2. 配置 TIMx_ARR 和 TIMx_CCR1 寄存器。
3. 配置 TIMx_DIER 寄存器的 CC1IE =1，使能捕获/比较 1 中断。
4. 配置输出模式：
   - 配置 TIMx_CCMR1 寄存器的 OC1M = 011，OC1 比较匹配时翻转。
   - 配置 TIMx_CCMR1 寄存器的 OC1PE = 0 ，禁止 TIMx_CCR1 寄存器的预装载功能。
   - 配置 TIMx_CCER 寄存器的 CC1P = 1，OC1 低电平有效。
   - 配置 TIMx_CCER 寄存器的 CC1E = 1，开启输出/比较 1 输出使能，OC1 信号输出到对应的输出引脚。
5. 配置 TIMx_CR1 寄存器的 CEN =1，启动计数器。

当配置 TIMx_CCMRx 寄存器中 OCxPE=0，禁止 TIMx_CCRx 寄存器的预装载功能时，可以随时写入 TIMx_CCRx 寄存器，并且写入的值立即生效。当配置 TIMx_CCMRx 寄存器中 OCxPE=1，启用 TIMx_CCRx 寄存器的预装载功能时，读写仅对预装载寄存器进行操作，TIMx_CCRx 预装载寄存器的值在下次更新事件到来时生效。下图给出了一个例子。

图 11-15 比较输出模式，OC1 信号在匹配时翻转



注：比较输出模式下，更新事件不会对输出结果产生影响。强制输出模式下，在 TIMx_CCRx 影子寄存器和计数器之间的比较输出仍在进行，比较结果的相应标志位也会被修改，如果开启了对应的中断和 DMA 请求，仍会产生对应的中断和 DMA 请求。

11.4.3.3 PWM 输出

在PWM模式下，根据TIMx_ARR寄存器和TIMx_CCRx寄存器的值，产生一个频率、占空比可控的PWM波形。

配置与通道 x 对应的 TIMx_CCMRx 寄存器的 OCxM=110 或 OCxM=111，选择通道 x 进入 PWM 模式 1 或 PWM 模式 2。PWM 模式下，计数器和 CCRx 会一直进行比较，根据配置和比较结果，通道 x 输出不同的信 号，因此 TIMx 可以产生 4 个同频率下独立占空比的 PWM 输出信号。PWM 模式下可开启 TIMx_CCRx 的预装载功能和 TIMx_ARR 寄存器的预装载功能。写入 TIMx_CCRx 预装载寄存器和 TIMx_ARR 预装载寄存器的值在发生下个更新事件时，才会生效，载入相应的影子寄存器。PWM 模式下，使能计数器前设置 TIMx_EGR 的 UG=1，产生更新事件用于初始化所有的寄存器。

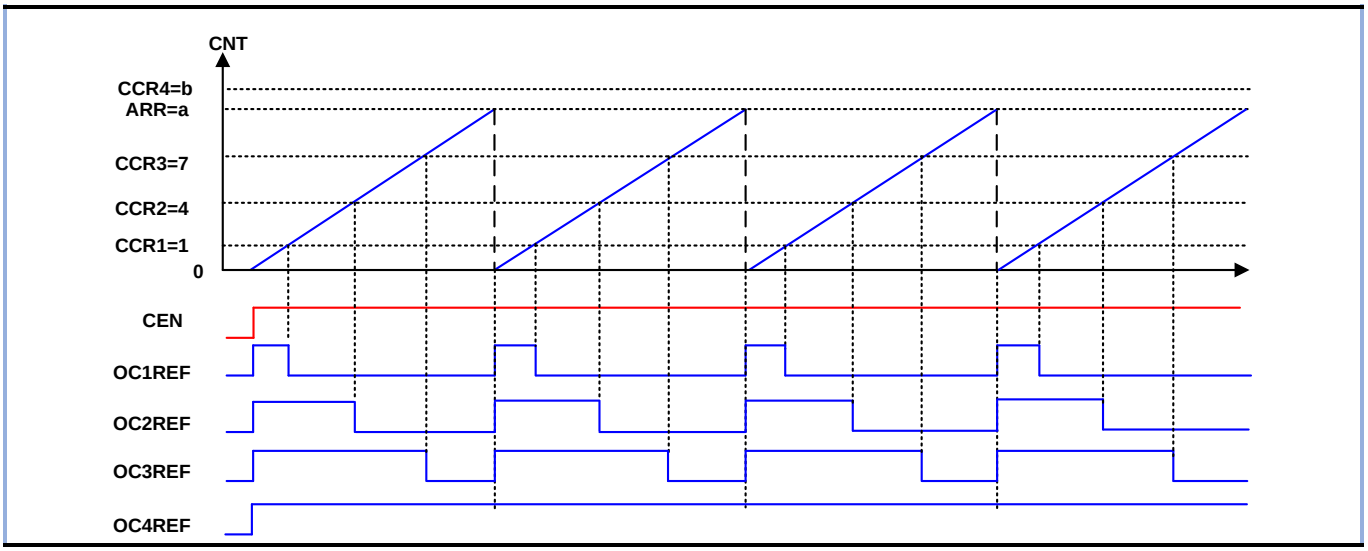
配置 TIMx_CCER 寄存器的 CCxP 位选择 OCx 的有效极性。配置 TIMx_CCER 寄存器的 CCxE 位控制 OCx 的输出使能。配置 TIMx_CR1 寄存器的 CMS 位，可以选择产生边沿对齐或中央对齐的 PWM 信号。

- **CMS=00，边沿对齐模式，再进一步配置 DIR，选择递增或递减计数模式。**
- **CMS=01，中央对齐模式 1。**
- **CMS=10，中央对齐模式 2。**
- **CMS=11，中央对齐模式 3。**

11.4.3.3.1 PWM 边沿对齐模式-递增计数模式

在递增计数模式配置的基础上，配置 TIMx_CCMRx 寄存器的 CCxS=00，选择输出模式，OCxM=110，选择 PWM 模式 1，当 TIMx_CNT < TIMx_CCRx 时通道 x（OCxREF）为有效电平，否则为无效电平。如果 TIMx_CCRx 中的比较值大于自动重装载值（TIMx_ARR），则 OCxREF 保持为有效电平。如果比较值为 0，则 OCxREF 保持为无效电平。下图为 CCR1=1，CCR2=4，CCR3=7，CCR4=b，ARR=a 时边沿对齐递增计数时 PWM 模式 1 的波形实例。

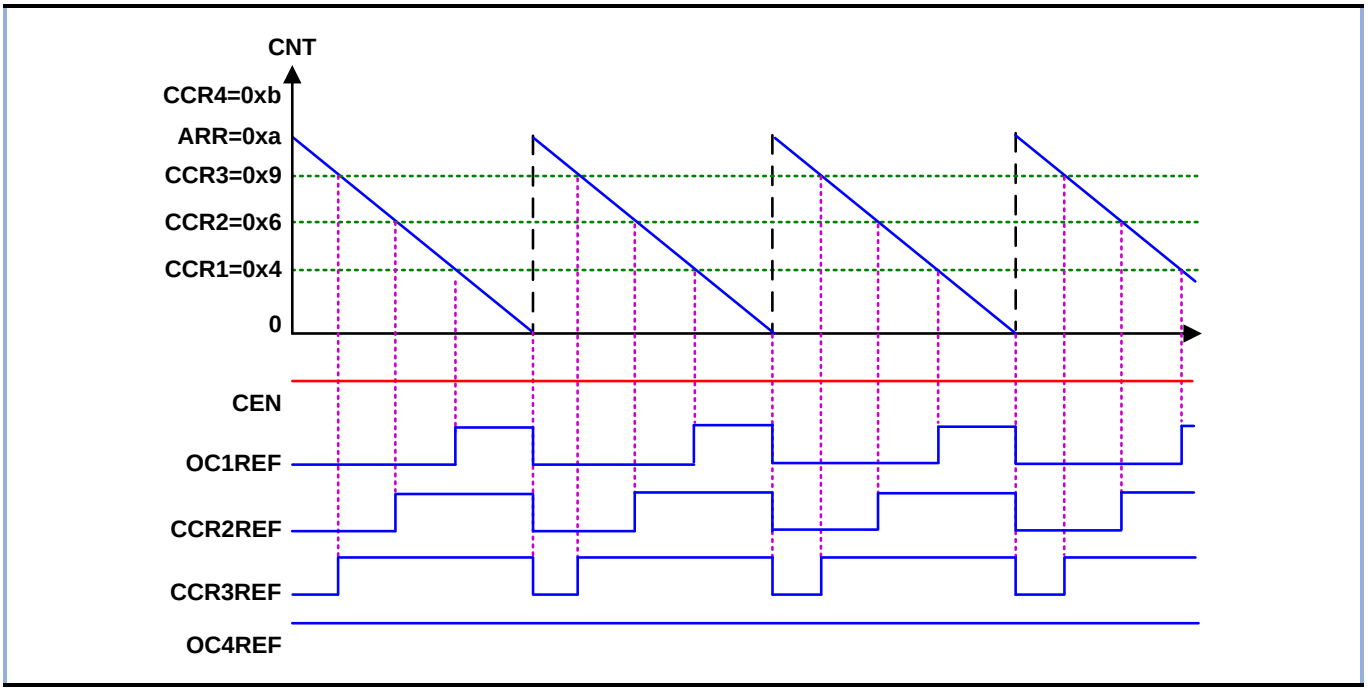
图 11-16 边沿对齐递增计数时 PWM 模式 1 的波形



11.4.3.3.2 PWM 边沿对齐模式-递减计数模式

在递减计数模式配置的基础上，配置 TIMx_CCMRx 寄存器的 CCxS=00，选择输出模式，OCxM=110，选择 PWM 模式 1，当 TIMx_CNT > TIMx_CCRx 时通道 x（OCxREF）为无效电平，否则有效电平。下图为 CCR1=4，CCR2=6，CCR3=9，CCR4=b，ARR=a 时边沿对齐递减计数时 PWM 模式 1 的波形实例。

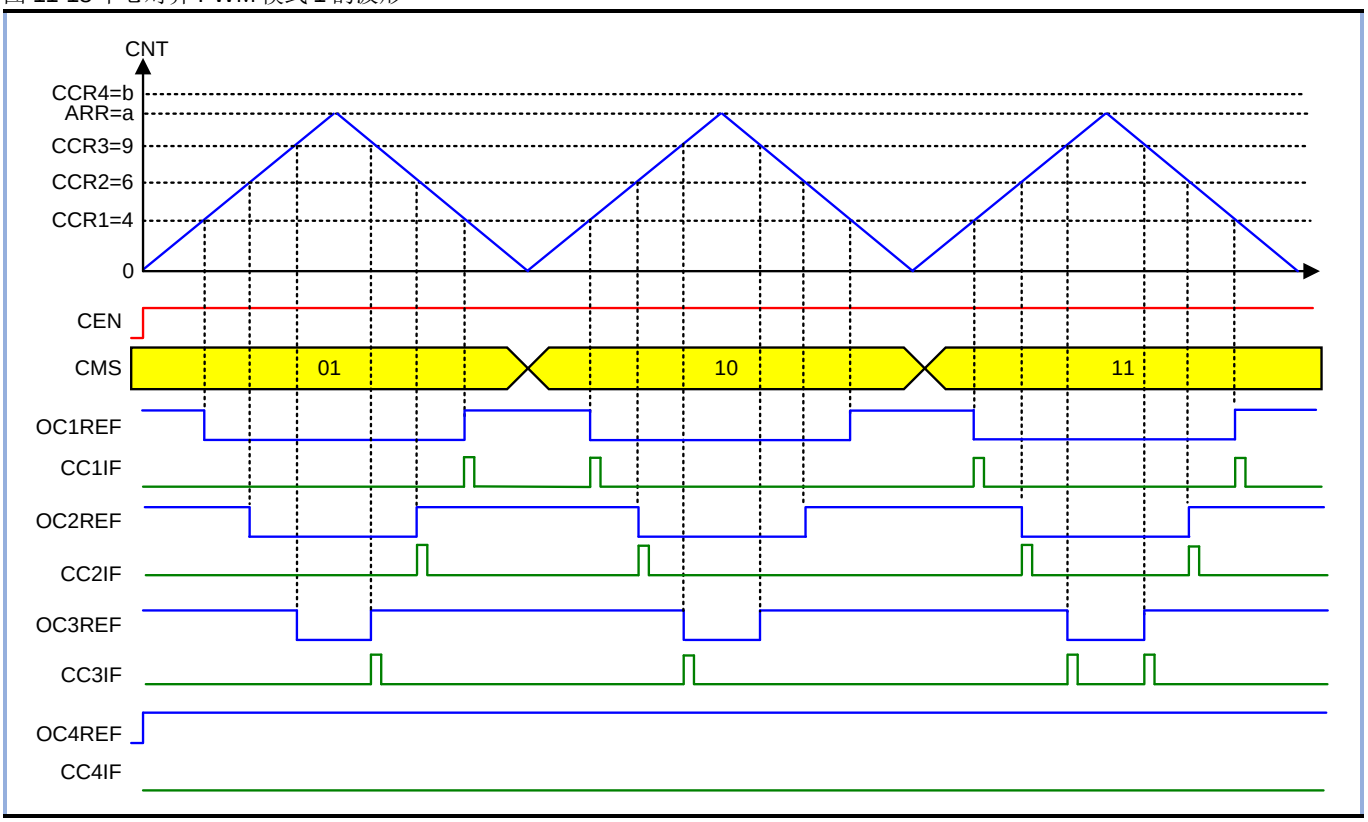
图 11-17 边沿对齐递减计数时 PWM 模式 1 的波形



11.4.3.3.3 PWM 中心对齐模式

首先配置 TIMx 计数器为中心对齐计数模式，配置 TIMx_CCMRx 寄存器的 CCxS=00，选择输出模式， 根据配置不同的 CMS，比较输出中断标志位在计数器递减计数时被设置（CMS=01）、在计数器递增计数时被设置（CMS=10）、或在计数器递增或递减计数时被设置（CMS=11）。下图为 CCR1=4，CCR2=6，CCR3=9，CCR4=b，ARR=a 时中央对齐 PWM 模式 1 的波形实例。

图 11-18 中心对齐 PWM 模式 1 的波形

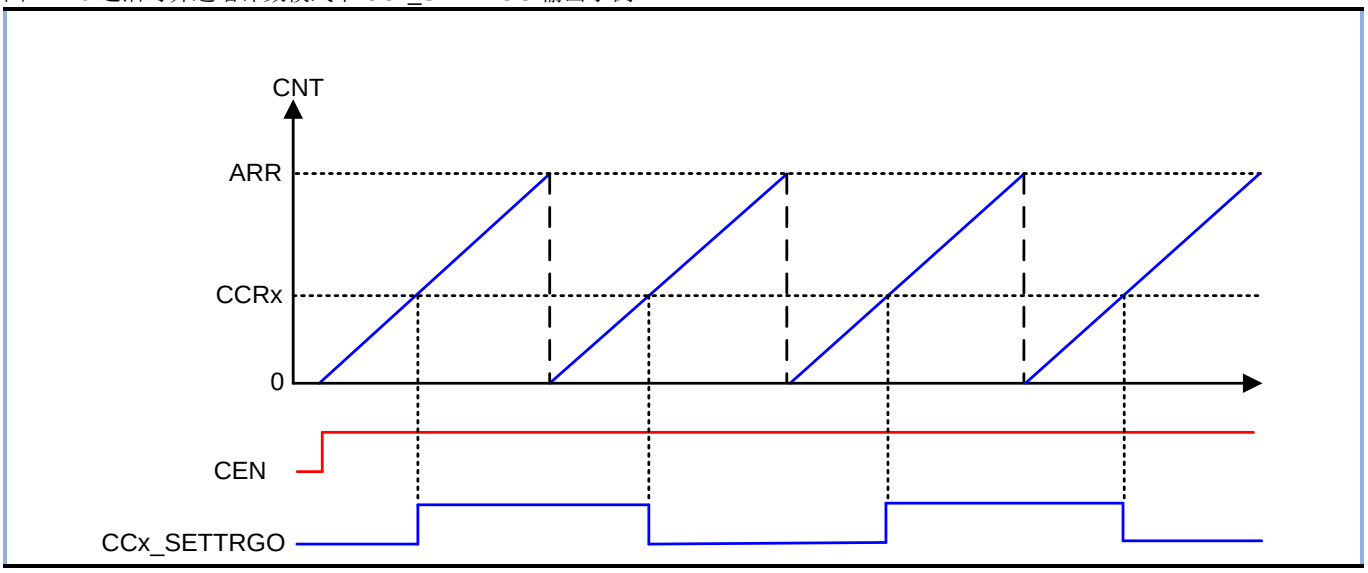


11.4.3.3.4 触发源输出

PWM 模式下，CCx_SETTRGO 信号可以用于触发 ADC 等模块。本章节仅介绍 CCx_SETTRGO 信号的触发逻辑，详细触发源选择，触发边沿选择等信息请参考 ADC 章节。

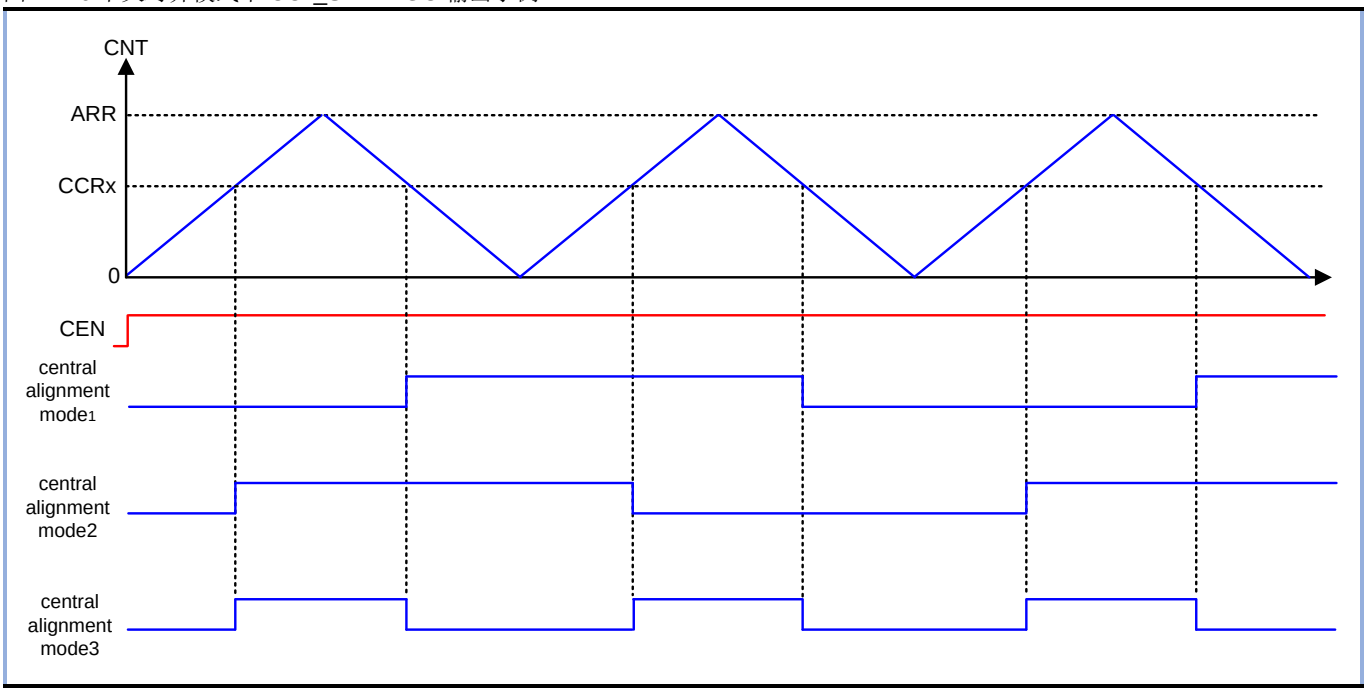
边沿对齐模式下，每次比较匹配（TIMx_CNT 当前计数值等于 TIMx_CCRx）时，CCx_SETTRGO 发生一次翻转。下图为边沿对齐递增计数模式下 CCx_SETTRGO 输出示例。

图 11-19 边沿对齐递增计数模式下 CCx_SETTRGO 输出示例



中央对齐模式 1 下，在递减计数周期比较匹配时 CCx_SETTRGO 发生一次翻转。中央对齐模式 2 下， 在递增计数周期比较匹配时 CCx_SETTRGO 发生一次翻转。中央对齐模式 3 下，在递增计数周期或递减计数周期比较匹配时 CCx_SETTRGO 发生一次翻转。下图为中央对齐模式下 CCx_SETTRGO 输出示例。

图 11-20 中央对齐模式下 CCx_SETTRGO 输出示例



11.4.3.4 外部事件清除 OCxREF

在配置 TIMx_CCMR 寄存器的 OCxCE=1 时，OCxREF 可以被 ETR 输入端的有效电平拉低直到发生下一次更新事件（UEV）。此功能只能用于比较输出模式和 PWM 模式，不能用于强制输出模式。

例，OCxREF 信号连到一个外部输入时，ETR 配置如下：

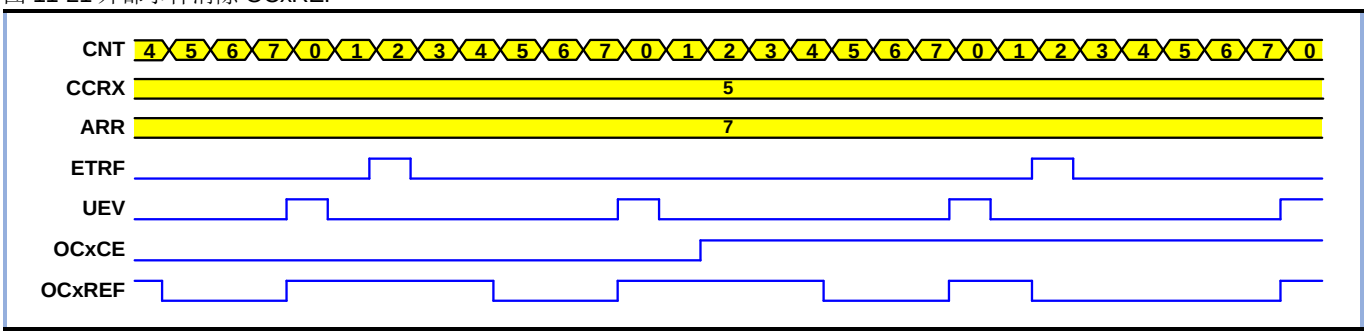
1.配置 TIMx_SMCR 寄存器的 ETPS[1：0]=00，关闭外部触发预分频。

2.配置 TIMx_SMCR 寄存器 ECE=0，禁用外部时钟模式 2。

3.配置 TIMx_SMCR 寄存器 ETF[3：0]和 ETP，配置 ETR 信号的触发极性和滤波宽度

下图显示了当 ETR 输入变化触发 ETRF 为高时，对应不同 OCxCE 的值，OCxREF 信号的动作（PWM 模式）。

图 11-21 外部事件清除 OCxREF



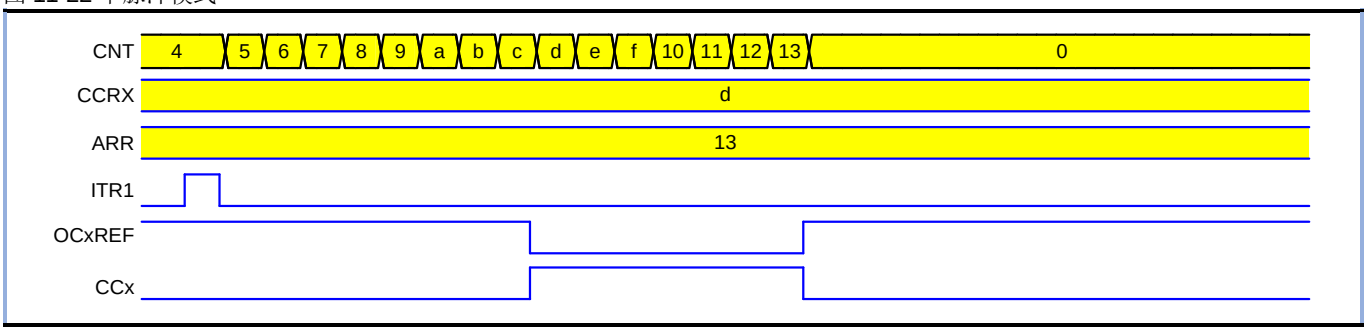
11.4.3.5 单脉冲输出

单脉冲模式（OPM）下，计数器响应一个激励，产生一个脉宽可调的脉冲。配置 TIMx_CR1 寄存器的 OPM=1，选择单脉冲模式，触发信号有效沿或配置 CEN=1 都可以启动计数器，直到下个更新事件发生或配置 CEN=0 时，计数器停止计数。

产生脉冲的必要条件是比较值与计数器的初始值不同。所以在计数器启动之前的必要配置如下：

- **递增计数方式：计数器 CNT < CCRx ≤ ARR。**
- **递减计数方式：计数器 CNT > CCRx。**

图 11-22 单脉冲模式



例如，在 TI2 检测到上升沿，延迟 t_{DELAY} 之后，在 OC2 上产生一个长度为 t_{PULSE} 的正脉冲。配置 TI2FP2 作为触发源：

1.配置 TIMx_CCMR1 寄存器中的 CC2S = 01，将 TI2FP2 映射到 TI2。
2.配置 TIMx_CCER 寄存器中的 CC2P = 0，检测 TI2FP2 的上升沿。
3.配置 TIMx_SMCR 寄存器中的 TS = 110，TI2FP2 作为从模式控制器的触发（TRGI）。
4.配置 TIMx_SMCR 寄存器中的 SMS = 110，选择触发模式，TI2FP2 使能计数器工作。

OPM 的波形由 TIMx_ARR 和 TIMx_CCR1 决定（要考虑时钟频率和计数器预分频器）：由 TIMx_CCR1 寄存器的值和 CNT 初始值决定触发信号与单脉冲开始之间的延迟 t_{DELAY}，TIMx_ARR - TIMx_CCR1 的值为脉冲的宽度 tPULSE。

下面是一个产生负脉冲的例子，即发生比较匹配时产生从 1 到 0 的波形，计数器达到预装载值时产生一个从 0 到 1 的波形：

1.配置 TIMx_CCMR1 寄存器 OC1M = 111，选择 PWM 模式 2。
2.配置 TIMx_CCER 寄存器 CC1P = 1，输出低电平有效。
3.配置 TIMx_CCMR1 中 OC1PE = 1 和 TIMx_CR1 寄存器中 ARPE=1，使能预装载寄存器。
4.配置 TIMx_CCR1 寄存器和 TIMx_ARR 寄存器。
5.配置 TIMx_EGR 寄存器 UG=1 产生一个更新事件。
6.等待在 TI2 上的一个外部触发事件。

此例中，TIMx_CR1 寄存器中的 DIR=0、CMS=0、OPM= 1，在下一个更新事件（当计数器从自动装载值返回到 0）时停止计数。

11.4.3.5.1 OCx 快速使能

OCx 快速使能，是单脉冲模式的一种特殊情况。在单脉冲模式下，通过设置 TIMx_CCMR 寄存器的 OCxFE=1，强制 OCxREF 直接响应激励而不是依赖计数器和比较值之间的比较结果，输出波形和比较匹配时的波形一样。这样可以去除比较的时间，快速输出比较结果。OCx 快速输出使能只在 PWM 模式下生效。

11.4.4 从模式

11.4.4.1 编码器接口

编码器接口模式就是计数器在 TI1 和 TI2 正交信号相互作用下计数，在输入源改变期间，计数方向被硬件自动修改。通过配置 TIMx_SMCR 寄存器 SMS 位可以选择输入源，根据输入源的不同，可以将编码器接口模式分为 3 种模式，SMS=001，编码器接口模式 1；SMS=010，编码器接口模式 2；SMS=011，编码器接口模式 3；三种模式具体计数操作如下表所示。两个输入 TI1 和 TI2 被用来作为正交编码器的接口。

编码器模式下，计数器开启之前必须先配置好 ARR 寄存器，因为使用编码器接口模式相当于使用了一个带有方向选择的外部时钟。计数器在 0 到 TIMx _ARR 寄存器的自动装载值之间连续计数（递增计数和递减计数由外部时钟控制）。

注：编码器模式不支持外部时钟模式 2。

编码器接口模式下，计数器依照增量编码器的速度和方向被自动的修改，因此计数器的内容始终指示着编码器的位置。计数方向与相连的传感器旋转的方向对应。下表列出了所有可能的组合，假设 TI1 和 TI2 不同时变换。

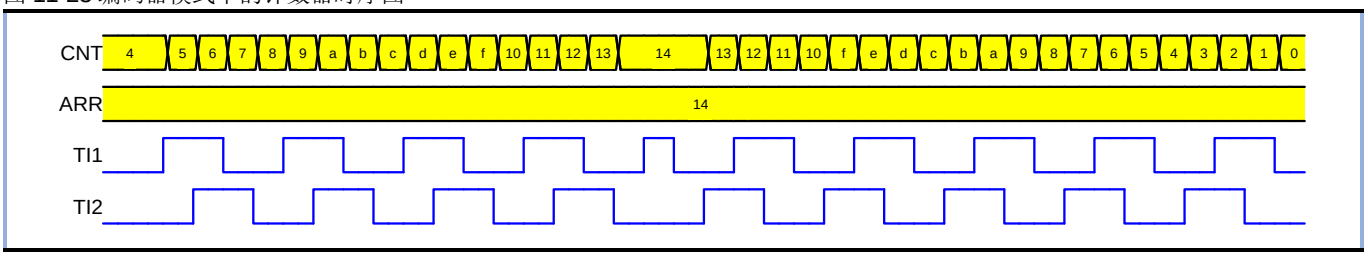
表 11.2 计数方向与编码器信号的关系

计数模式	相对电平 (TI1FP1 相对于 TI2, TI2FP2 相对于 TI1)	TI1FP1 信号		TI2FP2 信号	
		上升	下降	上升	下降
编码器接口模式 1 (仅在 TI2 计数)	高电平		-	递增计数	递减计数
编码器接口模式 1 (仅在 TI2 计数)	低电平		-	递减计数	递增计数
编码器接口模式 2 (仅在 TI1 计数)	高电平	递减计数	递增计数	-	-
编码器接口模式 2 (仅在 TI1 计数)	低电平	递增计数	递减计数	-	-
编码器接口模式 3 (仅在 TI1 和 TI2 计数)	高电平	递减计数	递增计数	递增计数	递减计数
编码器接口模式 3 (仅在 TI1 和 TI2 计数)	低电平	递增计数	递减计数	递减计数	递增计数

下例是计数器在编码器接口模式下的配置和时序图，从图中可以看出计数信号的产生和方向控制。具体配置如下：

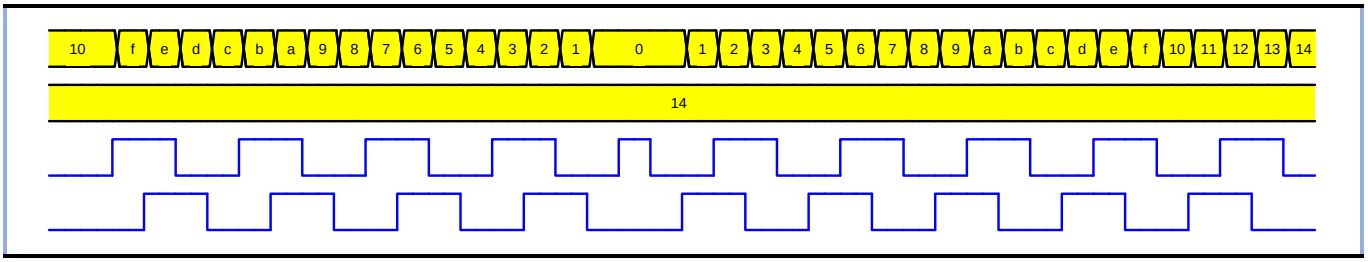
1. 配置 TIMx_CCMR 寄存器的 CC1S=01，将 IC1FP1 映射到 TI1 上。
2. 配置 TIMx_CCMR 寄存器的 CC2S =01，将 IC2FP2 映射到 TI2 上。
3. 配置 TIMx_CCER 寄存器的 CC1P =0，IC1 不反相，此时 IC1=TI1。
4. 配置 TIMx_CCER 寄存器的 CC2P =0，IC2 不反相，此时 IC1=TI2。
5. 配置 TIMx_SMCR 寄存器的 SMS =011，选择编码器模式 3，根据另一个信号的输入电平，计数器在 TI1FP1 和 TI2FP2 的边沿计数。
6. 配置 TIMx_CR1 寄存器的 CEN =1，开启计数器。

图 11-23 编码器模式下的计数器时序图



下图为当 IC1FP1 反相时计数器的时序图（CC1P = 1，其他配置不变）

图 11-24 IC1FP1 反相编码器接口模式时序图



编码器接口模式下，计数器可以提供传感器当前位置的信息。通过使用另一个配置在捕获模式的定时器测量两个编码器事件的间隔周期来获得动态的信息（速度，加速度，减速度）。根据两个编码器事件的间隔周期，可以定期读取计数器。可以通过把计数器的值锁存到第三个输入捕获寄存器（捕获信号必须是周期性的并且可以由另一个定时器产生）来实现计数器的定期读取。若芯片内置 DMA，还可以通过 DMA 请求来读取它的值。

11.4.4.2 复位模式

配置 TIMx_SMCR 寄存器的 SMS=100，从模式选择复位模式。此模式下，TRGI 输入事件会使计数器清零重启。

例如，TI2 输入端的下降沿触发计数器重启：

1.配置 TIMx_CCMR1 寄存器的 CC2S=01，CC2 通道被配置为输入模式；IC2 映射在 TI2 上，配置 TIMx_CCER 寄存器的 CC2P=1，检测下降沿。

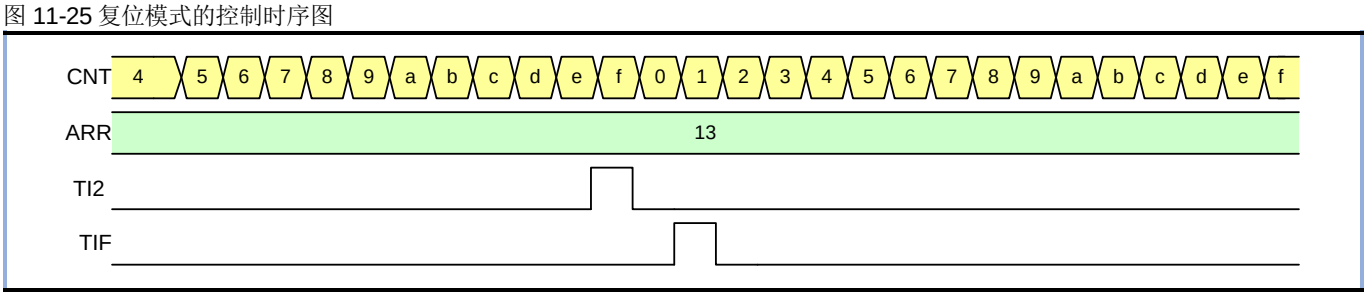
2.配置 TIMx_SMCR 寄存器的 SMS = 100，从模式选择复位模式；配置 TIMx_SMCR 寄存器的 TS =110，选择滤波后的定时器输入 2（TI2FP2）作为同步计数器的触发输入。

3.配置 TIMx_CR1 寄存器的 DIR=0，选择计数方向为递增计数；配置 PSC=0，不分频；配置 CEN=1， 使能计数器。

计数器的时钟源由内部时钟提供，当检测到 TI2 的下降沿，计数器被清零重启。此时触发器中断标记被硬件置 1。

下图为复位模式下 TIMx_ARR = 0x13 的时序图。

图 11-25 复位模式的控制时序图



11.4.4.3 门控模式

配置 TIMx_SMCR 寄存器 SMS=101，从模式选择门控模式。此模式下，根据 TIMx_CCER 寄存器 CCxP 的值来选择有效电平（0：高电平有效，1：低电平有效）。TRGI 输入为有效电平时，计数器始终开启，否则计数器停止（但不发生复位操作），计数器的开启和停止可控。

例如，计数器只在 TI1 为高时计数：

1.配置 TIMx_CCMR1 寄存器的 CC1S=01，CC1 通道被配置为输入模式，IC1 映射在 TI1 上；配置 TIMx_CCER 寄存器的 CC1P=0，检测 TI1 上的高电平。

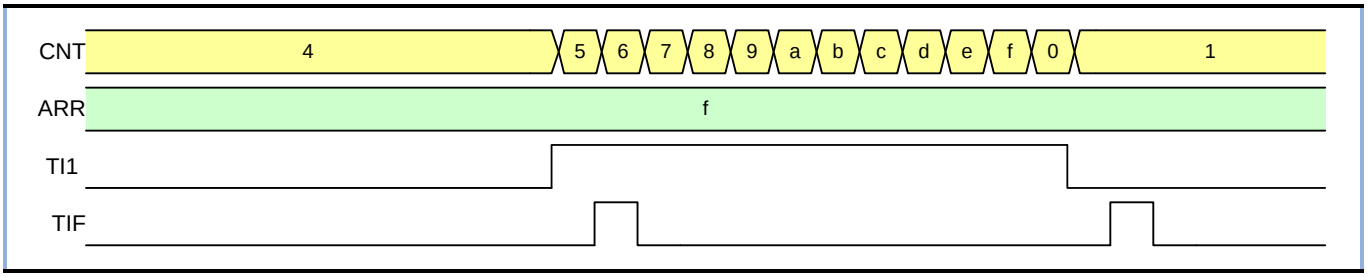
2.配置 TIMx_SMCR 寄存器的 SMS=101，从模式选择为门控模式；配置 TIMx_SMCR 寄存器的 TS=101，选择滤波后的定时器输入 1（TI1FP1）作为同步计数器的触发输入。

3.配置 TIMx_CR1 寄存器的 DIR=0，选择计数方向为递增计数；配置 PSC=0，不分频；配置 CEN=1， 使能计数器。

计数器的时钟源由内部时钟提供，当检测到 TI1 的高电平，计数器开始计数，当 TI1 为低电平时，计数器停止计数。计数器开启或停止都会将 TIF 置 1。

下图为门控模式下 TIMx_ARR=0xf 的时序图。

图 11-26 门控模式下的控制时序图



11.4.4.4 触发模式

配置 TIMx_SMCR 寄存器 SMS=110，从模式选择触发模式。根据 TIMx_CCER 寄存器 CCxP 的值来选择有效边沿（0：上升沿有效，1：下降沿有效），TRGI 输入为有效边沿时，计数器开始计数。计数器的启动可控，停止不可控。

例如，计数器在 TI1 输入的上升沿开始计数：

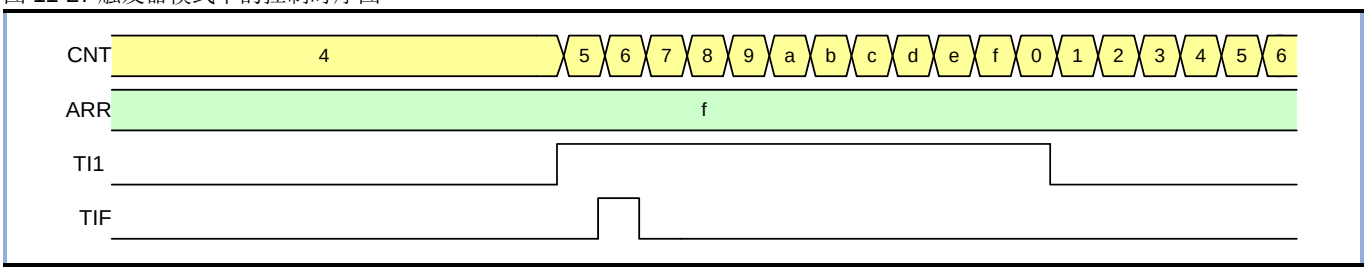
1.配置 TIMx_CCMR1 寄存器的 CC1S=01，CC1 通道被配置为输入模式，IC1 映射在 TI1 上，配置 TIMx_CCER 寄存器的 CC1P=0，检测上升沿。

2.配置 TIMx_SMCR 寄存器的 SMS = 110，从模式选择为触发模式; 配置 TIMx_SMCR 寄存器的 TS=101，选择滤波后的定时器输入 1（TI1FP1）作为计数器的触发输入。

3.配置 TIMx_CR1 寄存器的 DIR=0，选择计数方向为递增计数；配置 PSC=0，不分频。计数器的时钟源由内部时钟提供，当检测到 TI1 的上升沿，计数器开始计数。

下图为触发模式下 TIMx_ARR=0xf 的时序图。

图 11-27 触发器模式下的控制时序图



11.4.4.5 外部时钟模式 2+从模式

当时钟源选择外部时钟模式 2、ETR 信号被用作外部时钟的输入时，可以与从模式一起使用。这种使用方式时，从模式仅支持复位模式、门控模式、触发模式，不支持外部时钟模式 1 和编码器模式。例如，从模式选择触发模式，计数器在 ETR 的每一个上升沿计数一次：

1.配置 TIMx_SMCR 寄存器的 ETF = 0000，不使用数字滤波器；配置 TIMx_SMCR 寄存器的 ETPS =00，关闭预分频；配置 TIMx_SMCR 寄存器的 ETP = 0，检测 ETR 的上升沿；配置 TIMx_SMCR 寄存器的 ECE = 1，使能外部时钟模式 2。

2.配置 TIMx_CCMR1 寄存器的 CC1S=01，CC1 通道被配置为输入，IC1 映射在 TI1 上作为输入捕获源；配置 TIMx_CCER 寄存器的 CC1P=0，选择上升沿有效。

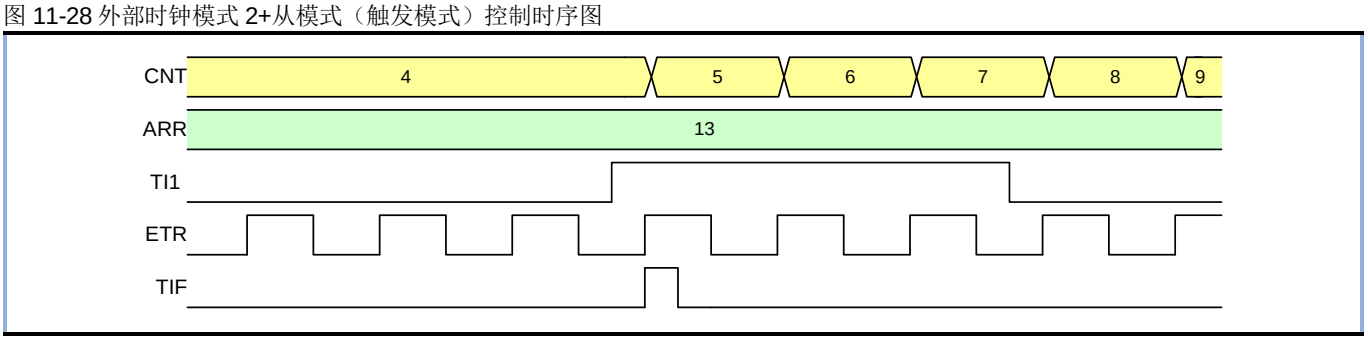
3.配置 TIMx_SMCR 寄存器的 SMS = 110，从模式选择为触发模式。配置 TIMx_SMCR 寄存器的 TS =101，选择 TI1 作为输入源。

4.配置 TIMx_CR1 寄存器的 DIR=0，选择计数方向为递增计数；配置 PSC=0，不分频。

计数器在 TI1 的上升沿开始计数，并将 TIF 置 1。ETR 信号的上升沿和计数器实际计数时钟间的延时取决于 ETR 输入端的同步电路设计。

下图为外部时钟模式 2+从模式（触发模式）下 TIMx_ARR=13 时的时序图。

图 11-28 外部时钟模式 2+从模式（触发模式）控制时序图



11.4.5 定时器同步

不同的定时器在内部连接，可以实现定时器之间的级联或同步。

详细描述请参考 TIM1 相关章节。

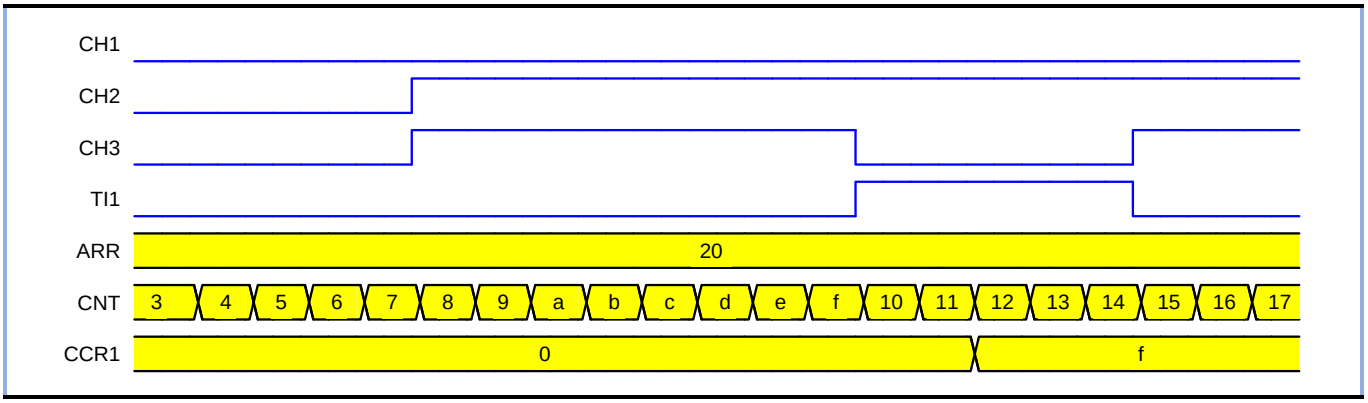
11.4.6 定时器异或功能

配置 TIMx_CR2 寄存器的 TI1S =1，将 TIMx_CH1、TIMx_CH2 和 TIMx_CH3 引脚经异或后连接到 TI1 的输入端，用于定时器的所有输入模式。

例：TIMx_CH1、TIMx_CH2 和 TIMx_CH3 引脚经异或后连接到 TI1 的输入端，采样 TI1 输入信号的有效沿，在 TI1 的上升沿来到时捕获当前计数器的值，锁存到 TIMx_CCR1 寄存器中。具体配置如下：

1. 配置 TIMx_CR2 寄存器的 TI1S=1，配置定时器的三个输入经异或后连接到 TI1 输入通道。
2. 配置 TIMx_CCMR1 寄存器的 CC1S=01，CC1 通道被配置为输入，IC1 映射在 TI1 上.
3. 配置 TIMx_CCMR1 寄存器的 IC1F[3：0]，配置数字滤波器的滤波宽度（按需配置）。
4. 配置 TIMx_CCER 寄存器的 CC1P=0，选择捕获发生在 TI1 信号的上升沿。
5. 配置 TIMx_CCMR1 寄存器的 IC1PSC，选择预分频系数。
6. 配置 TIMx_CCER 寄存器的 CC1E = 1，开启输入/捕获通道 1 的捕获使能。
7. 配置 TIMx_CR1 寄存器的 CEN=1，启动计数器。

图 11-29（TI1 异或输入）输入捕获波形图



霍尔接口电路

详细描述请参考 TIM1 相关章节。

11.4.7 调试模式

在调试模式下，配置 DBG_CR 寄存器中 DBG_TIMx_STOP=1，TIMx 计数器停止计数。（详见调试章节）

11.4.8 中断

TIMx 的中断包括：捕获/比较 1 中断、捕获/比较 2 中断、捕获/比较 3 中断、捕获/比较 4 中断、更新中断、触发中断，当相应的中断使能位打开，发生相应的事件时，产生相应的中断。

表 11.3 中断事件列表

中断事件	标志位	使能位
捕获/比较 1 中断	CC1IF	CC1IE
捕获/比较 2 中断	CC2IF	CC2IE
捕获/比较 3 中断	CC3IF	CC3IE
捕获/比较 4 中断	CC4IF	CC4IE
更新中断	UIF	UIE
触发中断	TIF	TIE

11.4.9 DMA

TIMx 能够在发生单个事件时生成一个或连续多个 DMA 请求。主要目的是在没有软件开销的情况下， 多次重新编程 TIMx 的一部分寄存器，也可以用于按周期读取数个寄存器。

TIMx_DCR 和 TIMx_DMAR 寄存器跟 DMA 模式相关。DMA 控制器的目标是唯一的，必须指向 TIMx_DMAR 寄存器。开启 DMA 使能后，在给定的 TIMx 事件发生时，TIMx 会给 DMA 发送请求。对 TIMx_DMAR 寄存器的每次写操作都被重定向到一个 TIMx 寄存器。

TIMx_DCR 寄存器的 DBL 位定义了 DMA 连续传送的长度，即传输寄存器数量。当对 TIMx_DMAR 进行读写操作时，定时器识别 DBL，确定需要传输的寄存器数量。TIMx_DCR 寄存器的 DBA 位定义了 DMA 传输的基地址，定义从 TIMx_CR1 寄存器地址开始的偏移量（00000 为 TIMx_CR1、00001 为 TIMx_CR2... 00110 为 TIMx_CCMR1 等）。

例：DMA 连续传送模式用于在发生更新事件时更新 CCR1、CCR2、CCR3 寄存器的内容。具体配置如下：

1. 配置相应的 DMA 通道。
2. 配置 TIMx_DCR 寄存器的 DBA=01101，配置 DMA 的基地址，选择偏移地址为 TIMx_CCR1 寄存器的地址。
3. 配置 TIMx_DCR 寄存器的 DBL=00010，配置传输长度为 3。
4. 配置 TIMx_DIER 寄存器的 UDE=1，允许更新事件的 DMA 请求。
5. 配置 TIMx_CR1 寄存器的 CEN=1，启动计数器。
6. 使能 DMA 通道。

此例中发生一次更新事件，DMA 将相应存储器地址中准备好的数据传输到 CCR1、CCR2、CCR3 寄存器中，或将 CCR1、CCR2、CCR3 寄存器的值传输到相应存储器地址中。

11.5 寄存器

表 11.4 TIMx 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	TIMx_CR1	控制寄存器 1	0x0000

Offset	Acronym	Register Name	Reset
0x04	TIMx_CR2	控制寄存器 2	0x0000
0x08	TIMx_SMCR	从模式控制寄存器	0x0000
0x0C	TIMx_DIER	DMA/中断使能寄存器（DMA 部分仅适用于有内置 DMA 的芯片）	0x0000
0x10	TIMx_SR	状态寄存器	0x0000
0x14	TIMx_EGR	事件产生寄存器	0x0000
0x18	TIMx_CCMR1	捕获/比较模式寄存器 1	0x0000
0x1C	TIMx_CCMR2	捕获/比较模式寄存器 2	0x0000
0x20	TIMx_CCER	捕获/比较使能寄存器	0x0000
0x24	TIMx_CNT	计数器	0x0000 0000
0x28	TIMx_PSC	预分频率器	0x0000
0x2C	TIMx_ARR	自动装载寄存器	0x0000 0000
0x34	TIMx_CCR1	捕获/比较寄存器 1	0x0000 0000
0x38	TIMx_CCR2	捕获/比较寄存器 2	0x0000 0000
0x3C	TIMx_CCR3	捕获/比较寄存器 3	0x0000 0000
0x40	TIMx_CCR4	捕获/比较寄存器 4	0x0000 0000
0x48	TIMx_DCR	DMA 控制寄存器（仅适用于有内置 DMA 的芯片）	0x0000
0x4C	TIMx_DMAR	连续模式的 DMA 地址（仅适用于有内置 DMA 的芯片）	0x0000
0x50	TIMx_OR	输入选项寄存器	0x0000

11.5.1 TIMx_CR1 控制寄存器 1

地址偏移: 0x00
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CKD		ARPE	CMS		DIR	OPM	URS	UDIS	CEN
						rw		rw	rw		rw	rw	rw	rw	rw

位	字段	描述
15：10	Reserved	保留,必须保持复位值.
9：8	CKD	时钟分频 定义定时器时钟（INT_CK）频率与死区时间计数器、数字滤波器（ETR，TIx）所用的时钟之间的分频比例。 00：$t_{DTS} = t_{INT_CK}$ 01：$t_{DTS} = 2x\ t_{INT_CK}$ 10：$t_{DTS} = 4x\ t_{INT_CK}$ 11：保留，不要使用这个配置
7	ARPE	自动重载预装载使能 0：关闭 TIMx_ARR 寄存器的影子寄存器 1：使能 TIMx_ARR 寄存器的影子寄存器
6：5	CMS	中央对齐模式选择 00：边沿对齐模式。计数方向取决于 DIR 位 01：中央对齐模式 1。计数器交替地递增和递减计数。通道为输出模式，只在计数器递减计数时比较中断标志位被置 1 10：中央对齐模式 2。计数器交替地递增和递减计数。通道为输出模式，只在计数器递增计数时比较中断标志位被置 1 11：中央对齐模式 3。计数器交替地递增和递减计数。通道为输出模式，在计数器递增和递减计数时比较中断标志位均被置 1 注：计数过程中，不允许更改此位。
4	DIR	计数方向 0：计数器递增计数 1：计数器递减计数 注：当计数器配置为中央对齐模式或编码器模式时，该位为只读。

位	字段	描述
3	OPM	单脉冲模式 0：禁止单脉冲模式，在发生更新事件时，计数器继续计数 1：使能单脉冲模式，在发生下一次更新事件或软件清除 CEN 位时，计数器停止计数
2	URS	更新请求源 软件配置该位，选择更新事件源。 0：以下事件可产生一个更新中断或 DMA 请求： -计数器上溢/下溢 -设置 UG 位 -从模式控制器产生的更新 1：只有计数器上溢/下溢才产生一个更新中断或 DMA 请求
1	UDIS	禁止更新 该位用来允许或禁止更新事件的产生 0：允许更新事件（UEV） 1：禁止更新事件。不产生更新事件，影子寄存器（ARR、PSC、CCRx）保持值不变。如果设置了 EGR_UG 位为 1，计数器和预分频器被初始化，如果从模式控制器接收到硬件复位，计数器将被初始化。
0	CEN	计数器使能 0：禁止计数器 1：使能计数器 注：在软件设置了 CEN 位后，外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置 CEN 位。

11.5.2 TIMx_CR2 控制寄存器 2

地址偏移: 0x04
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TI1S	MMS			CCDS	Reserved		
								rw	rw			rw			

位	字段	描述
15：8	Reserved	保留,必须保持复位值.
7	TI1S	TI1 选择 0：TIMx_CH1 管脚连到 TI1 输入 1：TIMx_CH1、TIMx_CH2 和 TIMx_CH3 管脚经异或后作为 TI1 输入
6：4	MMS	主模式选择 这些位控制 TRGO 信号的选择，用于选择在主模式下送到从定时器的同步信息： 000：复位 TIMx_EGR 寄存器的 UG 位触发一次 TRGO 脉冲。 001：使能 用于控制在一定时间内使能从定时器或同时启动多个定时器。计数器使能信号 CNT_EN 被用于作为触发输出（TRGO），计数器使能信号是通过 CEN 控制位和门控模式下的触发输入信号的逻辑或产生。当计数器使能信号受控于触发输入时，TRGO 上会有一个延迟，除非选择了主/从模式。 010：更新 更新事件被选为 TRGO。 011：捕获/比较脉冲 发生一次捕获或一次比较成功时，触发输出送出一个 TRGO 信号。 100：比较 OC1REF 信号被用于作为触发输出（TRGO） 101：比较 OC2REF 信号被用于作为触发输出（TRGO） 110：比较 OC3REF 信号被用于作为触发输出（TRGO） 111：比较 OC4REF 信号被用于作为触发输出（TRGO）
3	CCDS	DMA 请求源选择 0：当 CCx 发生捕获/比较事件时，发送 CCx 的 DMA 请求 1：发生更新事件时，发送 CCx 的 DMA 请求注：仅适用于有内置 DMA 的产品
2：0	Reserved	保留,必须保持复位值.

11.5.3 TIMx_SMCR 从模式控制寄存器

地址偏移: 0x08
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS		ETF				MSM	TS			OCCS	SMS		
rw	rw	rw		rw				rw	rw			rw	rw		

位	字段	描述
15	ETP	外部触发极性 该位选择 ETR 信号的极性。 0：高电平或上升沿有效 1：低电平或下降沿有效 注：仅适用于支持外部触发的产品
14	ECE	外部时钟使能位 该位启用外部时钟模式 2。 0：禁止外部时钟模式 2 1：使能外部时钟模式 2，ETRF 信号上的任意有效沿驱动计数器计数 注 1：仅适用于支持外部触发的产品。 注 2：配置 ECE=1 与配置 SMS = 111 和 TS = 111 效果一样。 注 3：TS ≠ 111 时，复位模式，门控模式和触发模式可以与外部时钟模式 2 同时使用。 注 4：同时使能外部时钟模式 1 和外部时钟模式 2 时，外部时钟的输入是 ETR。
13：12	ETPS	外部触发预分频 外部触发信号 ETRP 的频率必须低于 TIMx 主时钟 PCLK 频率的 1/4。当输入较快的外部时钟时，可以使用预分频降低 ETRP 的频率。 00：关闭预分频 01：ETRP 频率除以 2 10：ETRP 频率除以 4 11：ETRP 频率除以 8 注：仅适用于支持外部触发的产品。
11：8	ETF	外部触发滤波 这些位定义了对 ETRP 信号采样的频率和对 ETRP 数字滤波的带宽。实际上，数字滤波器是一个事件计数器，它记录到 N 个事件后会产生一个输出的跳变。 0000：无滤波器，以 f_{DTS} 采样 001: 采样频率 $f_{sampling}$ =f_{INT_CK}, N =2 0010: 采样频率 $f_{sampling}$ =f_{INT_CK}, N =4 0011: 采样频率 $f_{sampling}$ =f_{INT_CK}, N =8 0100: 采样频率 $f_{sampling}$ =$f_{DTS/2}$, N =6 0101: 采样频率 $f_{sampling}$ =$f_{DTS/2}$, N =8 0110: 采样频率 $f_{sampling}$ =$f_{DTS/4}$, N =6 0101: 采样频率 $f_{sampling}$ =$f_{DTS/2}$, N =8 0110: 采样频率 $f_{sampling}$ =$f_{DTS/4}$, N =6 0111: 采样频率 $f_{sampling}$ =$f_{DTS/4}$, N =8 1000: 采样频率 $f_{sampling}$ =$f_{DTS/8}$, N =6 1001:采样频率 $f_{sampling}$ =$f_{DTS/8}$, N =8 1010: 采样频率 $f_{sampling}$ =$f_{DTS/16}$, N =5 1011: 采样频率 $f_{sampling}$ =$f_{DTS/16}$, N =6 1100: 采样频率 $f_{sampling}$ =$f_{DTS/16}$, N =8 1101: 采样频率 $f_{sampling}$ =$f_{DTS/32}$, N =5 1110: 采样频率 $f_{sampling}$ =$f_{DTS/32}$, N =6 1111: 采样频率 $f_{sampling}$ =$f_{DTS/32}$, N =8 注：仅适用于支持外部触发的产品。
7	MSM	主/从 模 式 0：无作用 1：触发输入（TRGI） 事件被延迟，以实现当前定时器（通过 TRGO） 与它的从定时器间的完美同步，该功能可以把几个定时器同步到一个单一的外部事件。
6：4	TS	触发选择 触发输入源选择。 000：内部触发 0（ITR0） 001：内部触发 1（ITR1） 010：内部触发 2（ITR2） 011：内部触发 3（ITR3） 100：TI1 的边沿检测器（TI1F_ED） 101：滤波后的定时器输入 1（TI1FP1） 110：滤波后的定时器输入 2（TI2FP2） 111：外部触发输入（ETR） 更多有关 ITRx 的细节，参见下表。 注：从模式使能后这些位不能修改。

位	字段	描述
3	OCCS	比较输出信号（OCxREF）清除选择 在 PWM 模式下，清除比较输出（OCxREF）。 0：外部触发信号作为清除信号 1：比较器（COMP）输出作为清除信号 注：仅适用于支持外部触发或有内置比较器（COMP）的产品。
2：0	SMS	从模式选择 当选择了外部信号作为触发源，触发信号（TRGI） 的有效边沿与选中的外部输入极性相关。 000：关闭从模式 - 如果 CEN = 1，则预分频器直接由内部时钟驱动。 001：编码器模式 1- 根据 TI1FP1 的电平，计数器在 TI2FP2 的边沿递增/递减计数。 010：编码器模式 2- 根据 TI2FP2 的电平，计数器在 TI1FP1 的边沿递增/递减计数。 011：编码器模式 3 - 根据另一个输入的电平，计数器在 TI1FP1 和 TI2FP2 的边沿递增/递减计数。 100：复位模式 - 选中的触发输入（TRGI） 的上升沿重新初始化计数器，并且产生一个更新事件。 101：门控模式 - 当触发输入（TRGI） 为高时，计数器开始计数并且产生一个更新事件。当触发输入变为低时，计数器停止计数（但不复位）并且产生一个更新事件。计数器的启动和停止都是受控的。 110：触发模式 - 计数器在触发输入 TRGI 的上升沿启动（但不复位）并且产生一个更新事件，只有计数器的启动是受控的。 111：外部时钟模式 1 - 选中的触发输入（TRGI） 的上升沿驱动计数器并且产生一个更新事件。 注：如果 TI1F_ED 被选为触发输入（TS = 100） 时，不要使用门控模式。这是因为，TI1F_ED 在每次 TI1F 变化时输出一个脉冲，然而门控模式是要检查触发输入的电平。

表 11.5 TIMx 内部触发连接

从定时器	ITR0	ITR1	ITR2	ITR3
TIM1	-	TIM2_TRGO	TIM14_OC1REF	TIM13_OC1REF
TIM2	TIM1_TRGO	-	TIM14_OC1REF	TIM13_OC1REF

11.5.4 TIMx_DIER DMA/中断使能寄存器

地址偏移: 0x0C
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	TDE	Res.	CC4DE	CC3DE	CC2DE	CC1DE	UDE	Res.	TIE	Res.	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	rw		rw	rw	rw	rw	rw		rw		rw	rw	rw	rw	rw

位	字段	描述
15	Reserved	保留,必须保持复位值.
14	TDE	允许触发 DMA 请求 0：禁止触发 DMA 请求 1：允许触发 DMA 请求 注：仅适用于有内置 DMA 的产品。
13	Reserved	保留,必须保持复位值.
12	CC4DE	允许捕获/ 比较 4 的 DMA 请求 0：禁止捕获/比较 4 的 DMA 请求 1：允许捕获/比较 4 的 DMA 请求 注：仅适用于有内置 DMA 的产品。
11	CC3DE	允许捕获/ 比较 3 的 DMA 请求 0：禁止捕获/比较 3 的 DMA 请求 1：允许捕获/比较 3 的 DMA 请求 注：仅适用于有内置 DMA 的产品。
10	CC2DE	允许捕获/ 比较 2 的 DMA 请求 0：禁止捕获/比较 2 的 DMA 请求 1：允许捕获/比较 2 的 DMA 请求 注：仅适用于有内置 DMA 的产品。

位	字段	描述
9	CC1DE	允许捕获/ 比较 1 的 DMA 请求 0：禁止捕获/比较 1 的 DMA 请求 1：允许捕获/比较 1 的 DMA 请求 注：仅适用于有内置 DMA 的产品。
8	UDE	允许更新 DMA 请求 0：禁止更新 DMA 请求 1：允许更新 DMA 请求 注：仅适用于有内置 DMA 的产品。
7	Reserved	保留,必须保持复位值.
6	TIE	允许触发中断 0：禁止触发中断 1：允许触发中断
5	Reserved	保留,必须保持复位值.
4	CC4IE	允许捕获/比较 4 中断 0：禁止捕获/比较 4 中断 1：允许捕获/比较 4 中断
3	CC3IE	允许捕获/比较 3 中断 0：禁止捕获/比较 3 中断 1：允许捕获/比较 3 中断
2	CC2IE	允许捕获/比较 2 中断 0：禁止捕获/比较 2 中断 1：允许捕获/比较 2 中断
1	CC1IE	允许捕获/比较 1 中断 0：禁止捕获/比较 1 中断 1：允许捕获/比较 1 中断
0	UIE	允许更新事件中断 0：禁止更新事件中断 1：允许更新事件中断

11.5.5 TIMx_SR 状态寄存器

地址偏移: 0x10
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			CC4OF	CC3OF	CC2OF	CC1OF	Reserved		TIF	Res.	CC4IF	CC3IF	CC2IF	CC1IF	UIF
			r_w0c						r_w0c		r_w0c				

位	字段	描述
15：13	Reserved	保留,必须保持复位值.
12	CC4OF	捕获/比较 4 重复捕获标记 参考 CC1OF 描述。
11	CC3OF	捕获/比较 3 重复捕获标记 参考 CC1OF 描述。
10	CC2OF	捕获/比较 2 重复捕获标记 参考 CC1OF 描述。
9	CC1OF	捕获/比较 1 重复捕获标记 仅当通道 1 被配置为输入捕获，CC1IF 已经为 1 后，捕获事件再次发生时， 该标记可由硬件置 1。写 0 可清除该位。 0：无重复捕获产生 1：重复捕获产生
8：7	Reserved	保留,必须保持复位值.
6	TIF	触发器中断标记 当发生触发事件（当从模式控制器处于除门控模式外的其它模式时，在 TRGI 输入端检测到有效边沿，或门控模式下的任一边沿） 时由硬件对该位置 1。它由软件清 0。 0：无触发器事件产生 1：触发器中断产生
5	Reserved	保留,必须保持复位值.

位	字段	描述
4	CC4IF	捕获/比较 4 中断标记 参考 CC1IF 描述。
3	CC3IF	捕获/比较 3 中断标记 参考 CC1IF 描述。
2	CC2IF	捕获/比较 2 中断标记 参考 CC1IF 描述。
1	CC1IF	捕获/比较 1 中断标记 通道 1 为输出模式： 当计数器值与比较值匹配时该位由硬件置 1 （在中央对齐模式下根据 TIMx_CR1.CMS[1:0]的选择来置位）。它由软件清 0。 0：无匹配发生 1：TIMx_CNT 的值与 TIMx_CCR1 的值匹配通道 1 为输入模式： 当发生捕获事件时该位由硬件置 1，由软件清 0 或读取 TIMx_CCR1 的值清 0。 0：无输入捕获产生 1：计数器值已被捕获至 TIMx_CCR1
0	UIF	更新中断标记 当产生更新事件时该位由硬件置 1。它由软件清 0。 0：无更新中断发生 1：发生更新中断 当寄存器被更新时该位由硬件置 1： -若 TIMx_CR1 寄存器的 UDIS=0，且 REP_CNT=0，当计数器产生上溢/下溢事件时。 -若 TIMx_CR1 寄存器的 UDIS=0、URS=0，当 TIMx_EGR 寄存器的 UG=1 时。 -若 TIMx_CR1 寄存器的 UDIS=0、URS=0，从模式控制器产生更新事件时。

11.5.6 TIMx_EGR 事件产生寄存器

地址偏移: 0x14
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									TG	Res.	CC4G	CC3G	CC2G	CC1G	UG
									w		w	w	w	w	w

位	字段	描述
15：7	Reserved	保留,必须保持复位值.
6	TG	产生触发事件 0：无动作 1：产生触发事件，TIMx_SR 寄存器的 TIF = 1，若开启对应的中断和 DMA， 则产生相应的中断和 DMA，由硬件自动清 0。
5	Reserved	保留,必须保持复位值.
4	CC4G	产生捕获/比较 4 事件 参考 CC1G 描述。
3	CC3G	产生捕获/比较 3 事件 参考 CC1G 描述。
2	CC2G	产生捕获/比较 2 事件 参考 CC1G 描述。
1	CC1G	产生通道 1 捕获/比较事件 该位由软件置 1，用于产生一个捕获/比较事件，由硬件自动清 0。 0：无动作 1：通道 CC1 上产生一个捕获/比较事件： 若通道 CC1 配置为输出：CC1IF 置 1，若开启对应的中断和 DMA，则产生相应的中断和 DMA。 若通道 CC1 配置为输入：当前的计数器值被捕获至 TIMx_CCR1 寄存器，CC1IF 置 1，若开启对应的中断和 DMA，则产生相应的中断和 DMA。若 CC1IF 已经为 1，则设置 CC1OF = 1。

位	字段	描述
0	UG	产生更新事件 0：无动作 1：初始化计数器，并产生一个更新事件。由硬件自动清 0，如果选择了中央对齐或递增计数模式，计数器被清 0；如果选择递减计数模式，计数器将载入自动重载值。预分频计数器将同时被清除。

11.5.7 TIMx_CCMR1 捕获/比较模式寄存器 1

地址偏移: 0x18
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2CE	OC2M			OC2PE	OC2FE	CC2S		OC1CE	OC1M			OC1PE	OC1FE	CC1S	
IC2F				IC2PSC		CC2S		IC1F				IC1PSC		CC1S	
rw	rw			rw	rw	rw		rw	rw			rw	rw	rw	

通道可用于输入（捕获模式）或输出（比较模式），通道的方向由相应的 CCxS 定义。该寄存器 CCxS 以外其它位的作用在输入模式和输出模式下不同。OCxx 描述了通道在输出模式下的功能，ICxx 描述了通道在输入模式下的功能。

比较输出模式：

位	字段	描述
15	OC2CE	通道 2 比较输出清零使能 参考 OC1CE 的描述。
14：12	OC2M	通道 2 比较输出模式 参考 OC1M 的描述。
11	OC2PE	通道 2 比较输出预装载使能 参考 OC1PE 的描述。
10	OC2FE	通道 2 比较输出快速使能 参考 OC1FE 的描述。
9：8	CC2S	通道 2 捕获/比较选择 该位定义通道的方向和输入信号的选择，只有在通道关闭时这些位才可写入： 00：通道 2 被配置为输出 01：通道 2 被配置为输入，IC2 映射在 TI2 上 10：通道 2 被配置为输入，IC2 映射在 TI1 上 11：通道 2 被配置为输入，IC2 映射在 TRC 上，此模式仅工作在内部触发器输入被选中时（由 TIMx_SMCR 寄存器的 TS 位选择）
7	OC1CE	通道 1 比较输出清 0 使能 0：OC1REF 不受 ETR 输入的影响 1：当检测到 ETR 输入有效电平时，OC1REF 清零
6：4	OC1M	通道 1 比较输出模式 该位定义了输出参考信号 OC1REF 的动作，而 OC1REF 决定了 OC1 的值。OC1REF 是高电平有效，而 OC1 的有效电平取决于 CC1P 位。 000：冻结。TIMx_CCR1 与 TIMx_CNT 间的比较结果对 OC1REF 不起作用。 001：匹配时设置为高。当 TIMx_CNT 的值与 TIMx_CCR1 的值相同时，强制 OC1REF 为高电平。 010：匹配时设置为低。当 TIMx_CNT 的值与 TIMx_CCR1 的值相同时，强制 OC1REF 为低电平。 011：匹配时翻转。当 TIMx_CCR1=TIMx_CNT 时，翻转 OC1REF 的电平。 100：强制为低。强制 OC1REF 为低电平。 101：强制为高。强制 OC1REF 为高电平。 110：PWM 模式 1。在递增计数时，当 TIMx_CNT<TIMx_CCR1 时强制 OC1REF 为高电平，否则为低电平;在递减计数时，当 TIMx_CNT >TIMx_CCR1 时强制 OC1REF 为低电平，否则为高电平。 111：PWM 模式 2。在递增计数时，当 TIMx_CNT<TIMx_CCR1 时通道 1 为强制 OC1REF 为低电平，否则为高电平;在递减计数时， 当 TIMx_CNT >TIMx_CCR1 时强制 OC1REF 为高电平，否则为低电平。 注：在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在比较输出模式中从冻结模式切换到 PWM 模式时，OC1REF 电平才改变。

位	字段	描述
3	OC1PE	通道 1 比较输出预装载使能 0：禁止 TIMx_CCR1 寄存器的预装载功能，写入 TIMx_CCR1 寄存器的数值立即生效。 1：开启 TIMx_CCR1 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIMx_CCR1 的预装载值在更新事件到来时生效。 注：若该位置 1，在单脉冲模式下（TIMx_CR1 寄存器的 OPM= 1），是否设定预装载寄存器无影响；其它情况下，需要设定预装载寄存器，否则后续动作不确定。
2	OC1FE	通道 1 比较输出快速使能 该位为 1 时，若通道配置为 PWM 模式，会加快捕获/比较输出对触发时间的响应。输出通道将触发输入信号的有效边沿的作用等同于发生了一次比较匹配，此时 OC 被设置为比较电平，与比较结果无关。 0：禁止通道 1 比较输出快速使能 1：开启通道 1 比较输出快速使能
1：0	CC1S	通道 1 捕获/比较选择 该位定义通道的方向和输入信号的选择，只有在通道关闭时这些位才可写入： 00：通道 1 被配置为输出 01：通道 1 被配置为输入，IC1 映射在 TI1 上 10：通道 1 被配置为输入，IC1 映射在 TI2 上 11：通道 1 被配置为输入，IC1 映射在 TRC 上。 此模式仅工作在内部触发器输入被选中时（由 TIMx_SMCR 寄存器的 TS 位选择）

输入捕获模式：

位	字段	描述
15：12	IC2F	输入捕获 2 滤波器 参考 IC1F 的描述
11：10	IC2PSC	输入/捕获 2 预分频器 参考 IC1PSC 的描述
9：8	CC2S	通道 2 捕获/比较选择 该位定义通道的方向和输入信号的选择，只有在通道关闭时这些位才可写入： 00：通道 2 被配置为输出 01：通道 2 被配置为输入，IC2 映射在 TI2 上 10：通道 2 被配置为输入，IC2 映射在 TI1 上 11：通道 2 被配置为输入，IC2 映射在 TRC 上 此模式仅工作在内部触发器输入被选中时（由 TIMx_SMCR 寄存器的 TS 位选择）
7：4	IC1F	通道 1 输入捕获滤波器 数字滤波器由一个事件计数器组成，它记录 N 个输入事件后会产生一个输出的跳变。这些位定义了 IC1 输入信号的采样频率和数字滤波器的长度。 0000: 无滤波器，以 f_{DTS} 采样 001: 采样频率 $f_{sampling}$ =f_{INT_CK}, N =2 0010: 采样频率 $f_{sampling}$ =f_{INT_CK}, N =4 0011: 采样频率 $f_{sampling}$ =f_{INT_CK}, N =8 0100: 采样频率 $f_{sampling}$ =$f_{DTS/2}$, N =6 0101: 采样频率 $f_{sampling}$ =$f_{DTS/2}$, N =8 0110: 采样频率 $f_{sampling}$ =$f_{DTS/4}$, N =6 0111: 采样频率 $f_{sampling}$ =$f_{DTS/4}$, N =8 1000: 采样频率 $f_{sampling}$ =$f_{DTS/8}$, N =6 1001:采样频率 $f_{sampling}$ =$f_{DTS/8}$, N =8 1010: 采样频率 $f_{sampling}$ =$f_{DTS/16}$, N =5 1011: 采样频率 $f_{sampling}$ =$f_{DTS/16}$, N =6 1100: 采样频率 $f_{sampling}$ =$f_{DTS/16}$, N =8 1101: 采样频率 $f_{sampling}$ =$f_{DTS/32}$, N =5 1110: 采样频率 $f_{sampling}$ =$f_{DTS/32}$, N =6 1111: 采样频率 $f_{sampling}$ =$f_{DTS/32}$, N =8

位	字段	描述
3：2	IC1PSC	通道 1 输入/捕获预分频器 该位定义了 IC1 的预分频系数。当 CC1E=0（TIMx_CCER 寄存器中）时，预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获 01：每 2 个事件触发一次捕获 10：每 4 个事件触发一次捕获 11：每 8 个事件触发一次捕获
1：0	CC1S	通道 1 捕获/比较选择 该位定义通道的方向和输入信号的选择，只有在通道关闭时这些位才可写入： 00：通道 1 被配置为输出 01：通道 1 被配置为输入，IC1 映射在 TI1 上 10：通道 1 被配置为输入，IC1 映射在 TI2 上 11：通道 1 被配置为输入，IC1 映射在 TRC 上。 此模式仅工作在内部触发器输入被选中时（由 TIMx_SMCR 寄存器的 TS 位选择）

11.5.8 TIMx_CCMR2 捕获/比较模式寄存器 2

地址偏移: 0x1C
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4CE	OC4M			OC4PE	OC4FE	CC4S		OC3CE	OC3M			OC3PE	OC3FE	CC3S	
IC4F				IC4PSC		CC4S		IC3F				IC3PSC		CC3S	
rw	rw			rw	rw	rw		rw	rw			rw	rw	rw	

比较输出模式:

位	字段	描述
15	OC4CE	通道 4 比较输出清零使能 参考 OC3CE 的描述
14：12	OC4M	通道 4 比较输出模式 参考 OC3M 的描述
11	OC4PE	通道 4 比较输出预装载使能 参考 OC3PE 的描述
10	OC4FE	通道 4 比较输出快速使能 参考 OC3FE 的描述
9：8	CC4S	通道 4 捕获/比较选择 该位定义通道的方向和输入信号的选择，只有在通道关闭时这些位才可写入： 00：通道 4 被配置为输出 01：通道 4 被配置为输入，IC4 映射在 TI4 上 10：通道 4 被配置为输入，IC4 映射在 TI3 上 11：通道 4 被配置为输入，IC4 映射在 TRC 上 此模式仅工作在内部触发器输入被选中时（由 TIMx_SMCR 寄存器的 TS 位选择）
7	OC3CE	通道 3 比较输出清 0 使能 0：OC3REF 不受 ETR 输入的影响 1：当检测到 ETR 输入有效电平时，OC3REF 清零

位	字段	描述
6：4	OC3M	通道 3 比较输出模式 该位定义了输出参考信号 OC3REF 的动作，而 OC3REF 决定了 OC3 的值。OC3REF 是高电平有效，而 OC3 的有效电平取决于 CC3P 位。 000：冻结。TIMx_CCR3 与 TIMx_CNT 间的比较结果对 OC3REF 不起作用 001：匹配时设置为高。当 TIMx_CNT 的值与 TIMx_CCR3 的值相同时，强制 OC3REF 为高电平 010：匹配时设置为低。当 TIMx_CNT 的值与 TIMx_CCR3 的值相同时，强制 OC3REF 为低电平 011：匹配时翻转。当 TIMx_CCR3=TIMx_CNT 时，翻转 OC3REF 的电平 100：强制为低。强制 OC3REF 为低电平 101：强制为高。强制 OC3REF 为高电平 110：PWM 模式 1。在递增计数时，当 TIMx_CNT<TIMx_CCR3 时强制 OC3REF 为高电平，否则为低电平;在递减计数时，当 TIMx_CNT >TIMx_CCR3 时强制 OC3REF 为低电平，否则为高电平。 111：PWM 模式 2。在递增计数时，当 TIMx_CNT<TIMx_CCR3 时强制 OC3REF 为低电平，否则为高电平;在递减计数时，当 TIMx_CNT>TIMx_CCR3 时强制 OC3REF 为高电平，否则为低电平。 注：在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在比较输出模式中从冻结模式切换到 PWM 模式时，OC3REF 电平才改变。
3	OC3PE	通道 3 比较输出预装载使能 0：禁止 TIMx_CCR3 寄存器的预装载功能，写入 TIMx_CCR3 寄存器的数值立即生效 1：开启 TIMx_CCR3 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIMx_CCR3 的预装载值在更新事件到来时生效 注：仅在单脉冲模式下（TIMx_CR1 寄存器的 OPM= 1），无需设定预装载寄存器，其它情况下，需要设定预装载寄存器，否则后续动作不确定。
2	OC3FE	通道 3 比较输出快速使能 该位为 1 时，若通道配置为 PWM 模式，会加快捕获/比较输出对触发时间的响应。输出通道将触发输入信号的有效边沿的作用等同于发生了一次比较匹配，此时 OC 被设置为比较电平，与比较结果无关。 0：禁止通道 3 比较输出快速使能 1：开启通道 3 比较输出快速使能
1：0	CC3S	通道 3 捕获/比较选择 该位定义通道的方向和输入信号的选择，只有在通道关闭时这些位才可写入： 00：通道 3 被配置为输出 01：通道 3 被配置为输入，IC3 映射在 TI3 上 10：通道 3 被配置为输入，IC3 映射在 TI4 上 11：通道 3 被配置为输入，IC3 映射在 TRC 上 此模式仅工作在内部触发器输入被选中时（由 TIMx_SMCR 寄存器的 TS 位选择）

Input capture mode:

位	字段	描述
15：12	IC4F	输入捕获 4 滤波器 参考 IC3F 的描述
11：10	IC4PSC	输入/捕获 4 预分频器 参考 IC3PSC 的描述
9：8	CC4S	通道 4 捕获/比较选择 该位定义通道的方向和输入信号的选择，只有在通道关闭时这些位才可写入： 00：通道 4 被配置为输出 01：通道 4 被配置为输入，IC4 映射在 TI4 上 10：通道 4 被配置为输入，IC4 映射在 TI3 上 11：通道 4 被配置为输入，IC4 映射在 TRC 上 此模式仅工作在内部触发器输入被选中时（由 TIMx_SMCR 寄存器的 TS 位选择）

位	字段	描述
7：4	IC3F	通道 3 输入捕获滤波器 数字滤波器由一个事件计数器组成，它记录 N 个输入事件后会产生一个输出的跳变。这些位定义了 IC1 输入信号的采样频率和数字滤波器的长度。 0000：无滤波器，以 f_{DTS} 采样 001: 采样频率 $f_{sampling}$ =f_{INT_CK}, N =2 0010: 采样频率 $f_{sampling}$ =f_{INT_CK}, N =4 0011: 采样频率 $f_{sampling}$ =f_{INT_CK}, N =8 0100: 采样频率 $f_{sampling}$ =$f_{DTS/2}$, N =6 0101: 采样频率 $f_{sampling}$ =$f_{DTS/2}$, N =8 0110: 采样频率 $f_{sampling}$ =$f_{DTS/4}$, N =6 0111: 采样频率 $f_{sampling}$ =$f_{DTS/4}$, N =8 1000: 采样频率 $f_{sampling}$ =$f_{DTS/8}$, N =6 1001:采样频率 $f_{sampling}$ =$f_{DTS/8}$, N =8 1010: 采样频率 $f_{sampling}$ =$f_{DTS/16}$, N =5 1011: 采样频率 $f_{sampling}$ =$f_{DTS/16}$, N =6 1100: 采样频率 $f_{sampling}$ =$f_{DTS/16}$, N =8 1101: 采样频率 $f_{sampling}$ =$f_{DTS/32}$, N =5 1110: 采样频率 $f_{sampling}$ =$f_{DTS/32}$, N =6 1111: 采样频率 $f_{sampling}$ =$f_{DTS/32}$, N =8
3：2	IC3PSC	通道 3 输入/捕获预分频器 该位定义了 IC3 的预分频系数。当 CC3E=0（TIMx_CCER 寄存器中）时，预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获 01：每 2 个事件触发一次捕获 10：每 4 个事件触发一次捕获 11：每 8 个事件触发一次捕获
1：0	CC3S	通道 3 捕获/比较选择 该位定义通道的方向和输入信号的选择，只有在通道关闭时这些位才可写入： 00：通道 3 被配置为输出 01：通道 3 被配置为输入，IC3 映射在 TI3 上 10：通道 3 被配置为输入，IC3 映射在 TI4 上 11：通道 3 被配置为输入，IC3 映射在 TRC 上 此模式仅工作在内部触发器输入被选中时（由 TIMx_SMCR 寄存器的 TS 位选择）

11.5.9 TIMx_CCER 捕获/比较使能寄存器

地址偏移: 0x20
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4NP	Res.	CC4P	CC4E	CC3NP	Res.	CC3P	CC3E	CC2NP	Res.	CC2P	CC2E	CC1NP	Res.	CC1P	CC1E
rw		rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw

位	字段	描述
15	CC4NP	通道 4 输入捕获极性 参考 CC1NP 的描述。
14	Reserved	保留,必须保持复位值.
13	CC4P	通道 4 输入/捕获输出极性 参考 CC1P 的描述。
12	CC4E	通道 4 输入/捕获输出使能 参考 CC1E 的描述。
11	CC3NP	通道 3 输入捕获极性 参考 CC1NP 的描述。
10	Reserved	保留,必须保持复位值.
9	CC3P	通道 3 输入/捕获输出极性 参考 CC1P 的描述。
8	CC3E	通道 3 输入/捕获输出使能 参考 CC1E 的描述。

位	字段	描述
7	CC2NP	通道 2 输入捕获极性 参考 CC1NP 的描述。
6	Reserved	保留,必须保持复位值.
5	CC2P	通道 2 输入捕获输出极性 参考 CC1P 的描述。
4	CC2E	通道 2 输入/捕获输出使能 参考 CC1E 的描述。
3	CC1NP	通道 1 输入/捕获互补输出极性 当通道 1 配置为输出时，该位定义了输入信号极性： 0：表示 OC1N 高电平有效 1: OC1N 低电平有效 当通道 1 配置为输入时，CC1P/CC1NP 匹配使用已经定义了输入信号的极性和电平。详细信息见 ICx 极性/电平选择表。 注：当 LOCK 级别（TIMx_BDTR 寄存器 LCCK 位）设置为 3 或 2 且 CC1S = 00（通道配置为输出）时，该位不能更改
2	Reserved	保留,必须保持复位值.
1	CC1P	通道 1 输入/捕获输出极性 当通道 1 配置为输出时，该位定义输出信号极性： 0：表示 OC1 高电平有效 1: OC1 低电平有效 当通道 1 配置为输入时，CC1P/CC1NP 匹配使用已经定义了输入信号的极性和电平。详细信息见 ICx 极性/电平选择表。 注意：当 LOCK 级别（TIMx_BDTR 寄存器 LCCK）设置为 3 或 2 时，该位不能更改。
0	CC1E	通道 1 输入/捕获输出使能 通道 1 配置为输出时： 0：关闭。OC1 禁止输出 1：开启。OC1 信号输出到对应的输出引脚 CC1 通道配置为输入： 该位决定了输入捕获功能是否启用。 0：捕获禁止 1：捕获使能

输入模式下，ICx 的极性/电平选择如下表所示：

表 11.6 ICx 极性/电平选择表

CCxP	CCxNP	ICx 极性/电平
0	0	上升沿有效/高电平有效
1	0	下降沿有效/低电平有效
1	1	上升沿或下降沿有效/低电平有效
0	1	保留

11.5.10 TIMx_CNT 计数器

地址偏移: 0x24

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNT															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw															

位	字段	描述
31：0	CNT	计数器值

11.5.11 TIMx_PSC 预分频器

地址偏移: 0x28

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC															
rw															

位	字段	描述
15：0	PSC	预分频器的值 计数器的时钟频率(ck_cnt) =$f_{CK_PSC/（PSC+1）}$ 当发生更新事件时，PSC 的值装入当前预分频寄存器。

11.5.12 TIMx_ARR 自动预装载值

地址偏移: 0x2C
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ARR															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR															
rw															

位	字段	描述
31：0	ARR	自动预装载值 这些位定义了计数器的自动预装载值。当自动预装载的值为 0 时， 计数器不工作。

11.5.13 TIMx_CCR1 捕获/比较寄存器 1

地址偏移: 0x34
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR1															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1															
rw															

位	字段	描述
31：0	CCR1	通道 1 捕获/比较的值 通道 1 配置为输入： 上一次捕获事件发生时捕获的计数器值存放于 CCR1（此时 CCR1 寄存器为只读）。 通道 1 配置为输出： 如果在 TIMx_CCMR1 寄存器（OC1PE 位）中未选择预装载功能， 写入的数值会立即传输至对应的当前捕获/比较影子寄存器中。否则只有当更新事件发生时，此预装载值才传输至对应的当前捕获/比较影子寄存器中。当前捕获/比较影子寄存器参与同计数器 TIMx_CNT 的比较，并将比较结果反映到 OC1 端口的输出信号上。

11.5.14 TIMx_CCR2 捕获/比较寄存器 2

地址偏移: 0x38
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR2															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

CCR2
rw

位	字段	描述
31：0	CCR2	通道 2 捕获/比较的值 参考 CCR1 的描述。

11.5.15 TIMx_CCR3 捕获/比较寄存器 3

地址偏移: 0x3C
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR3															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3															
rw															

位	字段	描述
31：0	CCR3	通道 3 捕获/比较的值 参考 CCR1 的描述。

11.5.16 TIMx_CCR4 捕获/比较寄存器 4

地址偏移: 0x40
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR4															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4															
rw															

位	字段	描述
31：0	CCR4	通道 4 捕获/比较的值 参考 CCR1 的描述。

11.5.17 TIMx_DCR DMA 控制寄存器

地址偏移: 0x48
复位值: 0x0000
注：本寄存器仅适用于有内置 DMA 的产品，详见 10.4.8 DMA 章节.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			DBL					Reserved			DBA				
			rw								rw				

位	字段	描述
15：13	Reserved	保留,必须保持复位值.
12：8	DBL	DMA 连续传送长度 这些位定义了 DMA 在连续模式下的访问寄存器的数量 00000：1 次传输 00001：2 次传输 00010：3 次传输 .... 10001：18 次传输
7：5	Reserved	保留,必须保持复位值.

位	字段	描述
4：0	DBA	DMA 基地址 这些位定义了 DMA 在连续模式下访问 TIMx_DMAR 寄存器的第一个地址。DBA 定义为从 TIMx_CR1 寄存器所在地址开始的偏移值： 00000：TIMx_CR1 00001：TIMx_CR2 00010：TIMx_SMCR .....

11.5.18 TIMx_DMAR 连续模式 DMA 地址寄存器

地址偏移: 0x4C
复位值: 0x0000
注：本寄存器仅适用于有内置 DMA 的产品，详见 10.4.8 DMA.章节

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB															
w															

位	字段	描述
15：0	DMAB	DMA 连续传送地址寄存器 对 TIMx_DMAR 寄存器的读写操作会导致对以下地址所在寄存器的存取操作： TIMx_CR1 地址 + DBA + DMA 索引， 其中 TIMx_CR1 地址是 TIMx_CR1 寄存器所在的地址，DBA 是 TIMx_DCR 寄存器中定义的基地址，DMA 索引是 DMA 自动控制的偏移量，它取决于 TIMx_DCR 寄存器中定义的 DBL 值。

11.5.19 TIMx_OR 输入选项寄存器

地址偏移: 0x50
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TI4_RMP		Reserved				ETR_RMP	
								rw						rw	

位	字段	描述
15:8	Reserved	保留,必须保持复位值.
7:6	TI4_RMP	00：GPIO 或比较器输入 01：LSI 时钟输入 10：保留 11：保留
5:2	Reserved	保留,必须保持复位值.
1:0	ETR_RMP	00：GPIO 输入 其他保留

12 TIM6 基本定时器

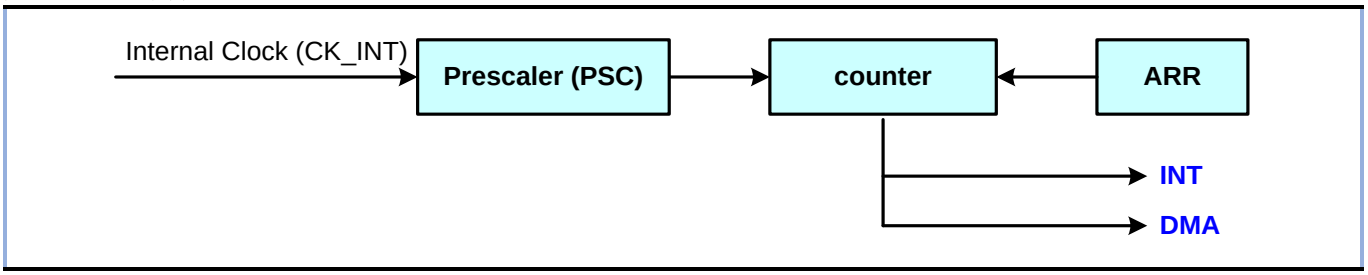
16 位基本定时器包含 TIM6、TIM7，具有相同的功能，本产品仅搭载 TIM6。本章节统一表述为 TIMx， 部分示意图以 TIM6 为例展示。

12.1 简介

TIMx 由一个 16 位可实时编程预分频器和一个 16 位自动重装载计数器组成，可以为用户提供便捷的计数定时功能，计数器时钟由预分频器分频得到。

12.2 功能框图

图 12-1 TIMx 结构



上图为 TIMx 结构框图

12.3 主要特性

- **16 位可实时编程预分频器，分频系数：1–65536 可调**
- **16 位自动重载计数器（计数方向：递增）**
- **产生中断/DMA 请求的事件：更新事件**

12.4 功能描述

12.4.1 时钟

12.4.1.1 时钟选择

计数器的时钟由内部时钟(INT_CK)提供。

12.4.1.2 时基单元

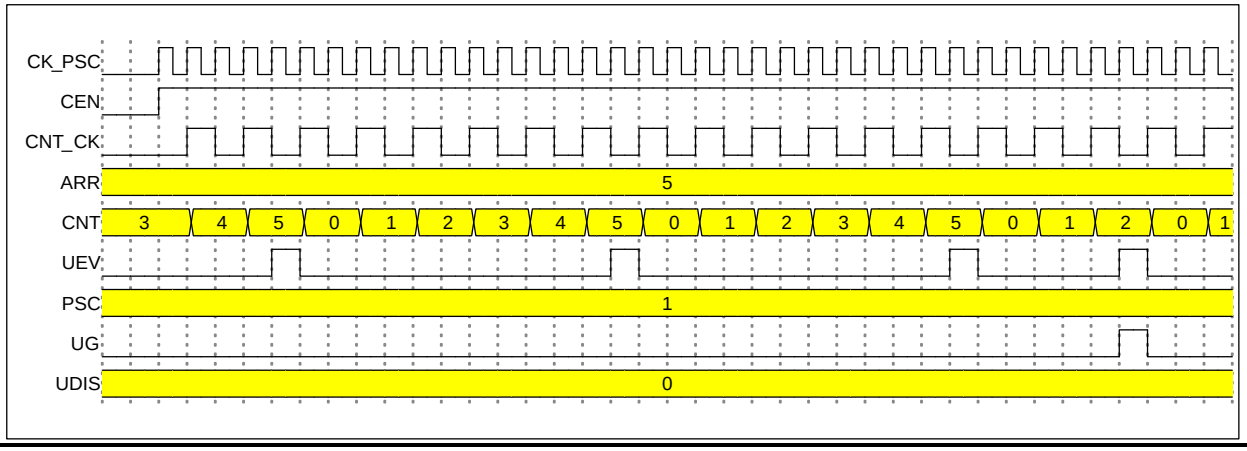
TIMx 的时基单元主要包括：计数器寄存器（TIMx_CNT）、预分频器寄存器（TIMx_PSC）和自动预装载寄存器（TIMx_ARR）。

计数单元由一个 16 位的计数器和对应的自动预装载寄存器组成，可以实现递增计数功能。

计数器的时钟由预分频器提供，预分频器由预分频计数器和对应的寄存器组成，分频系数为 1-65536，可以随时写入，在下一次更新事件时生效。

自动预装载寄存器有预装载功能的 16 位影子寄存器，通过设置 TIMx_CR1 寄存器的 ARPE 位选择写入 ARR 寄存器的值立即生效或发生更新事件时载入影子寄存器。

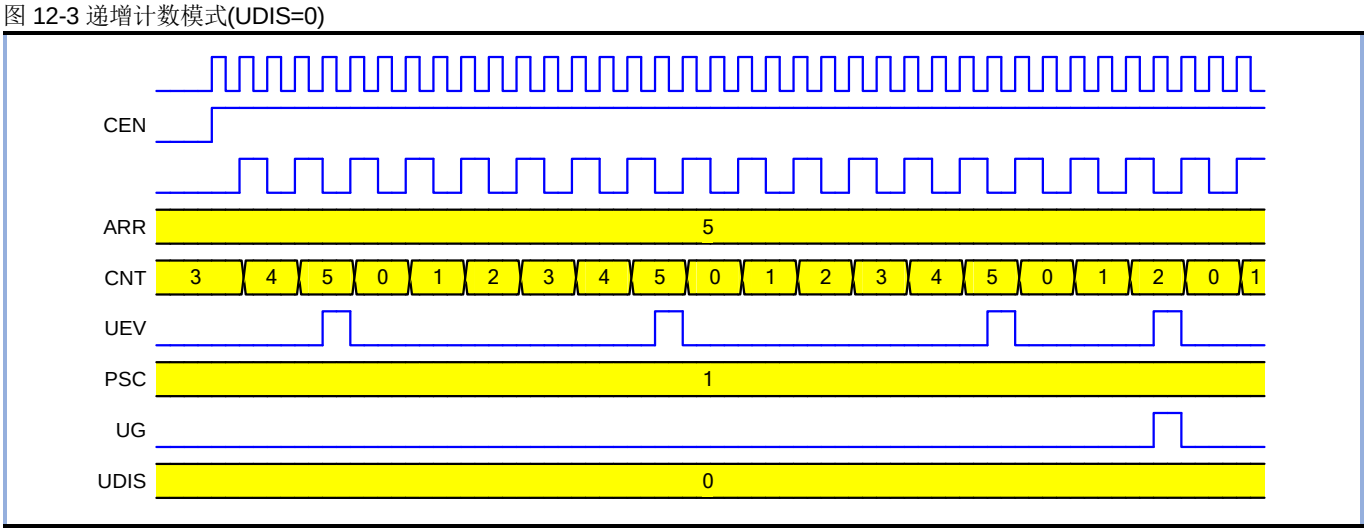
图 12-2 自动预转载



12.4.1.3 计数模式

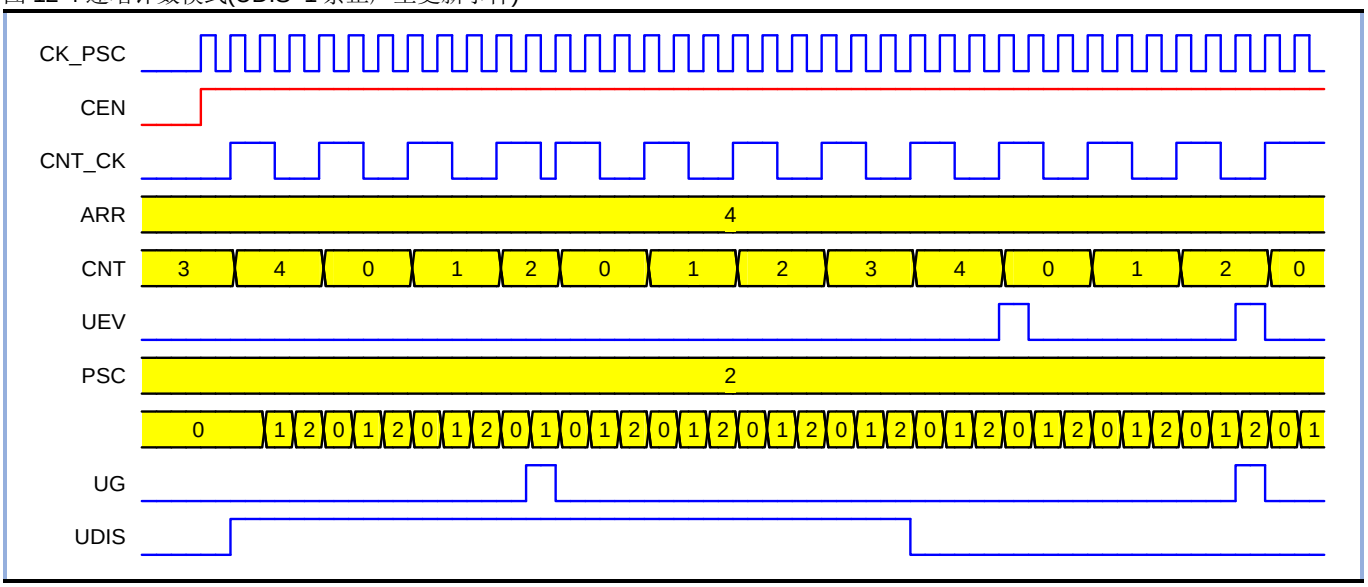
TIMx 仅支持递增计数模式。在使能 TIMx_CR1 寄存器的 CEN 后计数器由 0 开始递增计数，直至 TIMx_ARR 的值，产生一个计数器上溢事件（更新事件），并从 0 开始重新递增计数。设置 TIMx_EGR 寄存器的 UG=1，同样可以产生一个更新事件。

图 12-3 递增计数模式(UDIS=0)



通过配置 TIMx_CR1 寄存器的 UDIS=1，可禁止产生更新事件，当计数器发生上溢事件时，不产生更新事件。此时若配置 UG=1，不产生更新事件，但是计数器和预分频器计数器会被初始化，从零开始递增计数。

图 12-4 递增计数模式(UDIS=1 禁止产生更新事件)



注：发生更新事件时

- **ARR 寄存器中的值被载入 ARR 影子寄存器中。**
- **预分频器的预装载值生效。**

12.4.2 调试模式

在调试模式下，配置 DBG_CR 寄存器中 DBG_TIMx_STOP=1，TIMx 计数器停止计数。（详见调试章节）

12.4.3 中断

TIMx 仅提供更新中断，当更新中断使能位打开，发生更新事件时，产生更新中断。

表 12.1 中断事件一览表

中断事件	标志位	使能位
更新中断	UIF	UIE

12.4.4 DMA

TIMx 能够在发生更新事件时生成 DMA 请求。

12.5寄存器

表 12.2 TIMx 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	TIMx_CR1	控制寄存器 1	0x0000
0x0C	TIMx_DIER	DMA/中断使能寄存器（DMA 部分仅适用于有内置 DMA 的芯片）	0x0000
0x10	TIMx_SR	状态寄存器	0x0000
0x14	TIMx_EGR	事件产生寄存器	0x0000
0x24	TIMx_CNT	计数器	0x0000
0x28	TIMx_PSC	预分频率器	0x0000
0x2C	TIMx_ARR	自动装载寄存器	0x0000

12.5.1 TIMx_CR1 控制寄存器 1

地址偏移: 0x0
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								ARPE	Reserved			OPM	URS	UDIS	CEN
								rw				rw	rw	rw	rw

位	字段	描述
15：8	Reserved	保留,必须保持复位值.
7	ARPE	自动重载预装载使能 0：关闭 TIMx_ARR 寄存器的影子寄存器 1：使能 TIMx_ARR 寄存器的影子寄存器
6：4	Reserved	保留,必须保持复位值.
3	OPM	单脉冲模式 0：禁止单脉冲模式，在发生更新事件时，计数器继续计数 1：使能单脉冲模式，在发生下一次更新事件或软件清除 CEN 位时， 计数器停止计数
2	URS	更新请求源 软件配置该位，选择更新事件源。 0：以下事件可产生一个更新中断或 DMA 请求： -计数器上溢 -设置 UG 位 1：只有计数器上溢才产生一个更新中断或 DMA 请求
1	UDIS	禁止更新 该位用来允许或禁止更新事件的产生 0：允许更新事件（UEV） 1：禁止更新事件。不产生更新事件，影子寄存器（ARR、PSC）保持值不变。如果设置了 EGR_UG 位为 1，计数器和预分频器被初始化。
0	CEN	计数器使能 0：禁止计数器 1：使能计数器

12.5.2 TIMx_DIER DMA/中断使能寄存器

地址偏移: 0x0C
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							UDE	Reserved							UIE
							rw								rw

位	字段	描述
15：9	Reserved	保留,必须保持复位值.

位	字段	描述
8	UDE	允许更新 DMA 请求 0：禁止更新 DMA 请求 1：允许更新 DMA 请求 注：仅适用于有内置 DMA 的产品。
7：1	Reserved	保留,必须保持复位值.
0	UIE	允许更新事件中断 0：禁止更新事件中断 1：允许更新事件中断

12.5.3 TIMx_SR 状态寄存器

地址偏移: 0x10
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															UIF
															r_w0c

位	字段	描述
15：1	Reserved	保留,必须保持复位值.
0	UIF	更新中断标记 当产生更新事件时该位由硬件置 1。它由软件清 0。 0：无更新中断发生 1：发生更新中断 当寄存器被更新时该位由硬件置 1： - 若 TIMx_CR1 寄存器的 UDIS=0，当计数器产生上溢事件时。 -若 TIMx_CR1 寄存器的 UDIS=0、URS=0，当 TIMx_EGR 寄存器的 UG=1 时。

12.5.4 TIMx_EGR 事件产生寄存器

地址偏移: 0x14
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															UG
															w

位	字段	描述
15：1	Reserved	保留,必须保持复位值.
0	UG	产生更新事件 0：无动作 1：初始化计数器，并产生一个更新事件。由硬件自动清零。

12.5.5 TIMx_CNT 计数器

地址偏移: 0x24
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw															

位	字段	描述
15：0	CNT	计数器值

12.5.6 TIMx_PSC 预分频器

地址偏移: 0x28
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

PSC
rw

位	字段	描述
15：0	PSC	预分频器的值 计数器的时钟频率（ck_cnt）= $f_{CK_PSC/(PSC+1)}$ 当发生更新事件时，PSC 的值装入当前预分频寄存器。

12.5.7 TIMx_ARR 自动重载寄存器

地址偏移: 0x2C
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR															
rw															

位	字段	描述
15：0	ARR	自动预装载值 这些位定义了计数器的自动预装载值。当自动预装载的值为 0 时， 计数器不工作。

13 TIM13/14 基本定时器

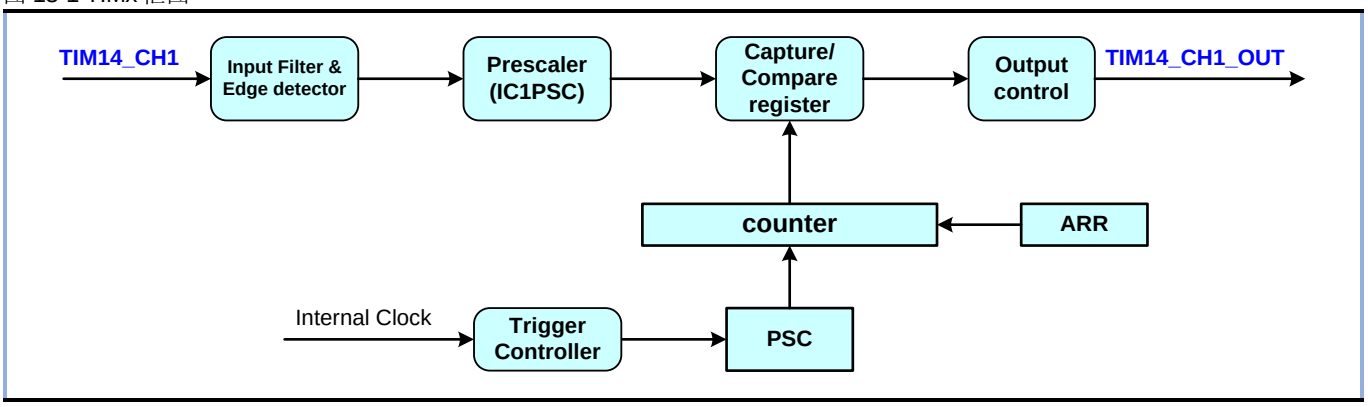
16 位单通道基本定时器包含 TIM13、TIM14，具有相同的功能，本产品搭载 TIM13 和 TIM14。本章节统一表述为 TIMx，部分示意图以 TIM14 为例展示。

13.1 简介

TIMx 由一个 16 位可实时编程预分频器和一个 16 位自动重装载计数器组成，可以为用户提供便捷的计数定时功能，计数器时钟由预分频器分频得到。基本定时器具有多种用途，如输入功能（测量输入信号的脉冲宽度、频率等），输出功能（PWM 输出、比较输出等）。

13.2 功能框图

图 13-1 TIMx 框图



上图为 TIMx 的结构框图，主要由输入单元、输出单元、时基单元、捕获/比较模块等结构组成。

13.3 主要特性

- **16 位实时可编程预分频器，分频系数：1-65536。**
- **16 位自动加载计数器（计数方向：递增）。**
- **输入捕获：测量输入信号的脉冲宽度或周期。**
- **比较输出（控制输出波形或指示计数器已完成计时）。**
- **单脉冲模式。**
- **PWM 输出（边沿对齐模式）**
- **中断/DMA 请求事件：更新事件，输入捕获，比较输出。**

13.4 功能描述

13.4.1 时钟

13.4.1.1 时钟选择

计数器时钟由内部时钟(INT_CK)提供.

13.4.1.2 时基单元

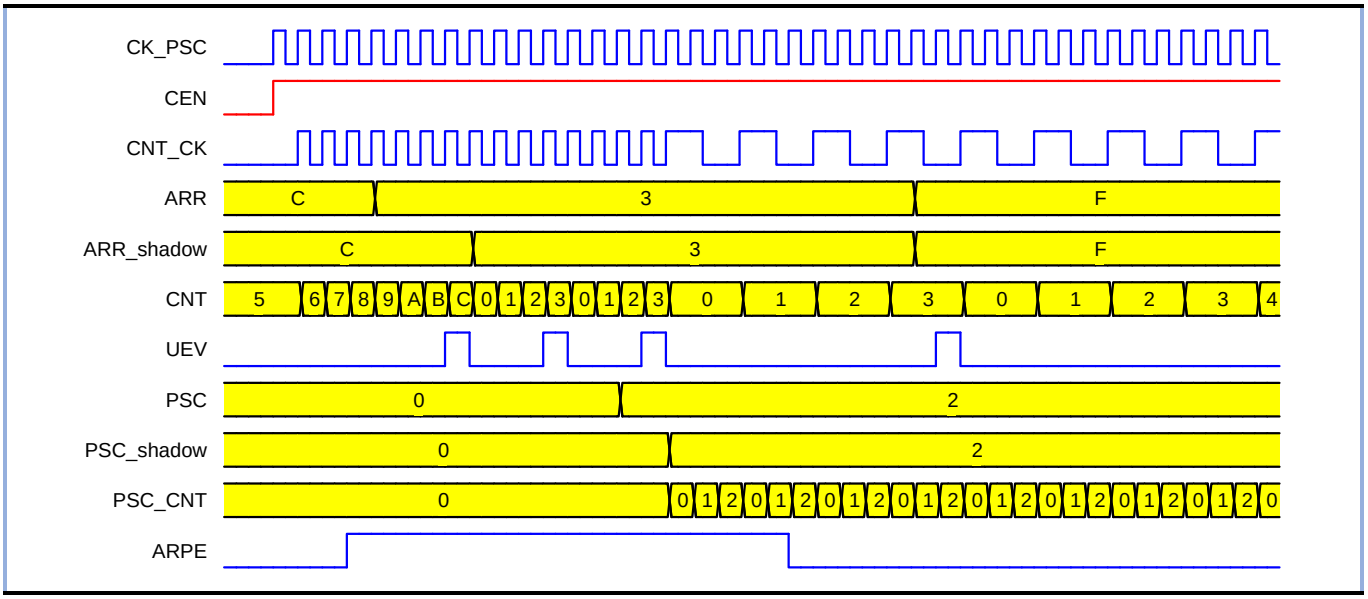
TIMx 时基单元主要包括：计数器寄存器（TIMx_CNT）、预分频寄存器（TIMx_PSC）、自动重载寄存器（TIMx_ARR）。

计数器单元由一个 16 位计数器及其相关的自动重载寄存器组成，计数器可以递增计数。

计数器时钟由预分频器提供。预分频器由预分频计数器及其相关寄存器组成。分频系数是 1-65536。它可以随时写入，并在下一次更新时激活。

自动预加载寄存器有一个带预加载功能的 16 位影子寄存器。设置 TIMx_CR1 寄存器的 ARPE 位来选择 ARR 寄存器的内容永久地或在每次更新事件时转移到影子寄存器中。

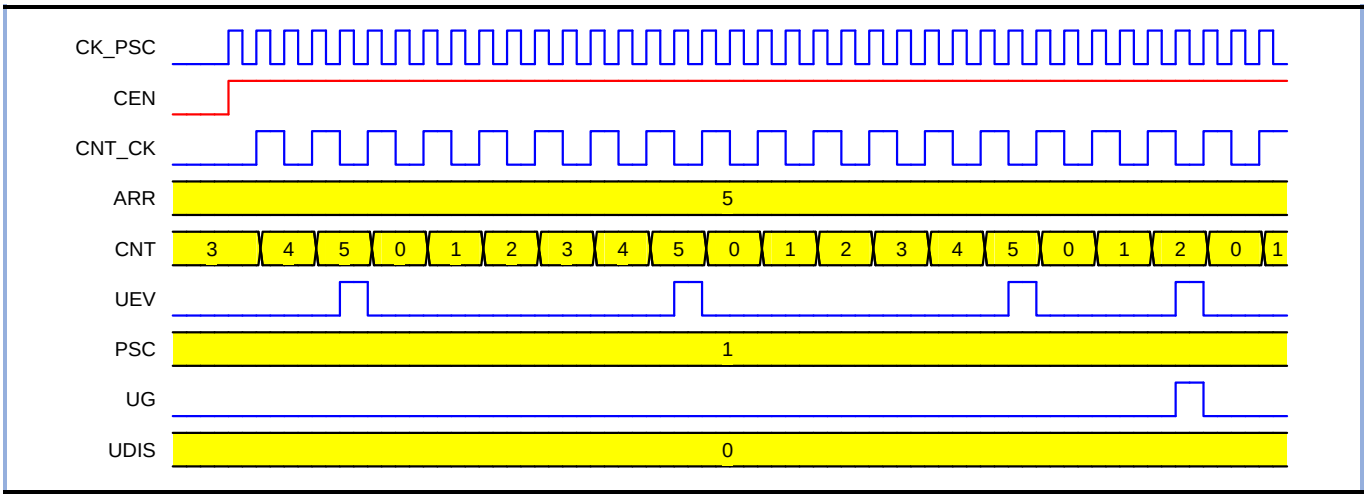
图 13-2 自动预加载



13.4.1.3 计数模式

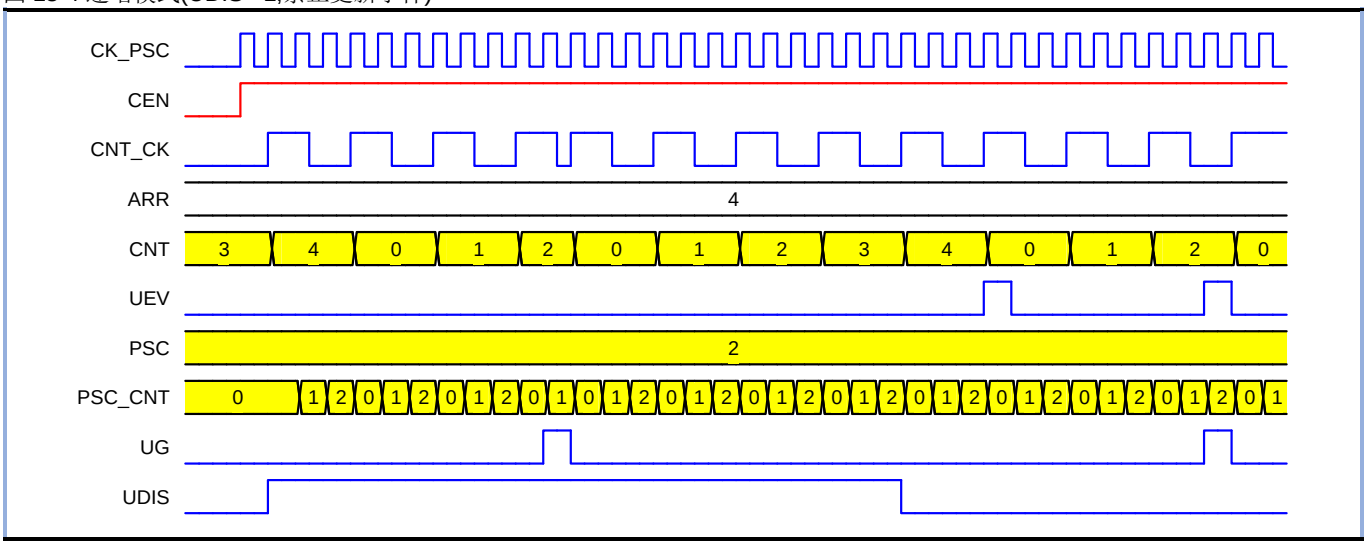
TIMx 只支持递增计数模式。启用 TIMx_CR1 寄存器 CEN，计数器开始从 0 计数到 TIMx_ARR 值，并产生计数器溢出事件（更新）。计数器再次从 0 开始计数。设置 TIMx_EGR 寄存器 UG =1，也产生一个更新事件。

图 13-3 递增计数模式（UDIS=0）



通过配置 TIMx_CR1 寄存器的 UDIS=1，可禁止产生更新事件，当计数器发生上溢事件时，不产生更新事件。此时若配置 UG=1，不产生更新事件，但是计数器和预分频器计数器会被初始化，从零开始递增计数。

图 13-4 递增模式(UDIS =1,禁止更新事件)



注：发生更新事件时

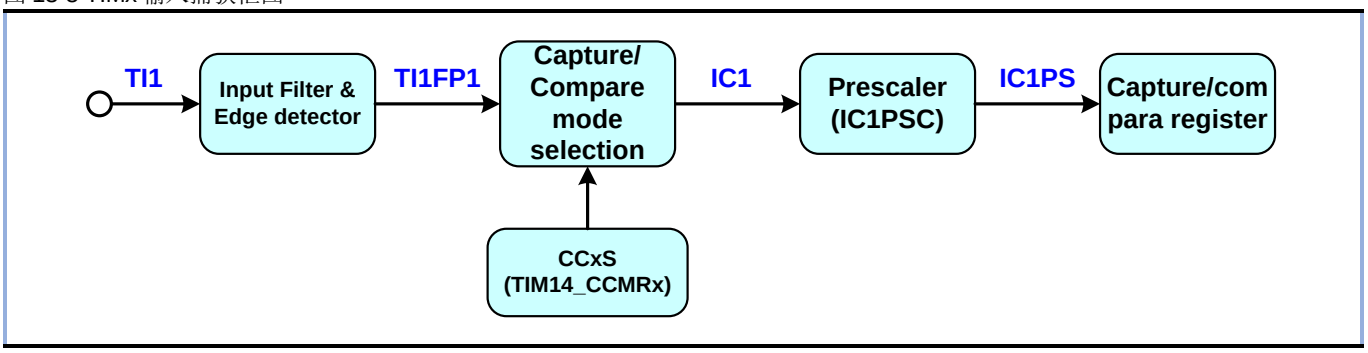
- **ARR 寄存器中的值被载入 ARR 影子寄存器中。**
- **预分频器的预装载值生效。**

13.4.2 输入捕获

13.4.2.1 输入捕获

输入捕获部分包括数字滤波器、边沿检测器、预分频器和捕获比较寄存器等，其结构如下图所示：

图 13-5 TIMx 输入捕获框图



通过配置 TIMx_CCMR1 寄存器的 IC1F，可以设置数字滤波器的滤波宽度（滤波器的采样频率及数字滤波宽度如下表所示），当数字滤波器的输入信号宽度大于滤波宽度时，输入信号有效；数字滤波器对输入引脚 TI1 的输入信号采样后，产生一个滤波后的信号 TI1F，然后通过极性可选的边沿检测器，产生一个有效信号 IC1，该信号经过预分频器产生一个信号 IC1PS，用于触发输入捕获事件。

表 13.1 数字滤波器宽度与 IC1F 的对应关系表

IC1F[3：0]	采样频率和滤波宽度	IC1F[3：0]	采样频率和滤波宽度
0000	无滤波器，以 f_{DTS} 采样	1000	采样频率 $f_{sampling}=f_{DTS}$ /8, N=6
0001	采样频率 fsampling=f_{INT_CK}, N=2	1001	采样频率 $f_{sampling}=f_{DTS}$ /8, N=8
0010	采样频率 fsampling=f_{INT_CK}, N=4	1010	采样频率 $f_{sampling}=f_{DTS}$ /16， N=5
0011	采样频率 fsampling=f_{INT_CK}, N=8	1011	采样频率 $f_{sampling}=f_{DTS}$/16, N=6
0100	采样频率 fsampling=f_{DTS} /2, N=6	1100	采样频率 $f_{sampling}=f_{DTS}$ /16, N=8
0101	采样频率 fsampling=f_{DTS}/2, N=8	1101	采样频率 $f_{sampling}=f_{DTS}$ /32, N=5
0110	采样频率 $f_{sampling}=f_{DTS}$ /4, N=6	1110	采样频率 $f_{sampling}=f_{DTS}$ /32, N=6
0111	采样频率 $f_{sampling}=f_{DTS}$ /4, N=8	1111	采样频率 $f_{sampling}=f_{DTS}$ /32, N=8

输入捕获模式下，当检测到信号 IC1 上的有效边沿后，计数器的当前值被锁存到对应的影子寄存器上，再复制到对应的捕获比较寄存器中。当开启了中断或 DMA 使能，发生捕获事件时，将产生相应的中断或 DMA 请求。发生捕获事件时，会将状态寄存器（TIMx_SR）中的捕获标志位 CC1IF 置 1，通过配置 CC1IF=0 或读取 TIMx_CCR1 中的数据，清除 CC1IF 标志位。当 CC1IF 未被清零时，发生输入捕获事件，重复捕获标志位 CC1OF 将会被置 1，通过配置 CC1OF=0，可以清除 CC1OF 标志位。

例如，通过采样 TI1 输入信号的有效沿，在 TI1 的上升沿来到时捕获当前计数器的值，锁存到 TIMx_CCR1 寄存器中，步骤如下：

1.配置 TIMx_CCMR1 寄存器的 CC1S=01，CC1 通道被配置为输入，IC1 映射在 TI1 上。

2.配置 TIMx_CCMR1 寄存器的 IC1F[3：0]，配置数字滤波器的滤波宽度（按需配置）。

3.配置 TIMx_CCER 寄存器的 CC1P=0，选择捕获发生在 TI1 信号的上升沿。

4.配置 TIMx_CCMR1 寄存器的 IC1PSC[1:0]，选择预分频系数。

5.配置 TIMx_CCER 寄存器的 CC1E = 1，开启输入/捕获通道 1 的捕获使能。

6.配置 TIMx_DIER 寄存器的 CC1IE=1，使能通道 1 的捕获/比较通道 1 中断请求；如果芯片有内置 DMA，配置 TIMx_DIER 寄存器的 CC1DE=1，允许捕获/比较通道 1 的 DMA 请求。

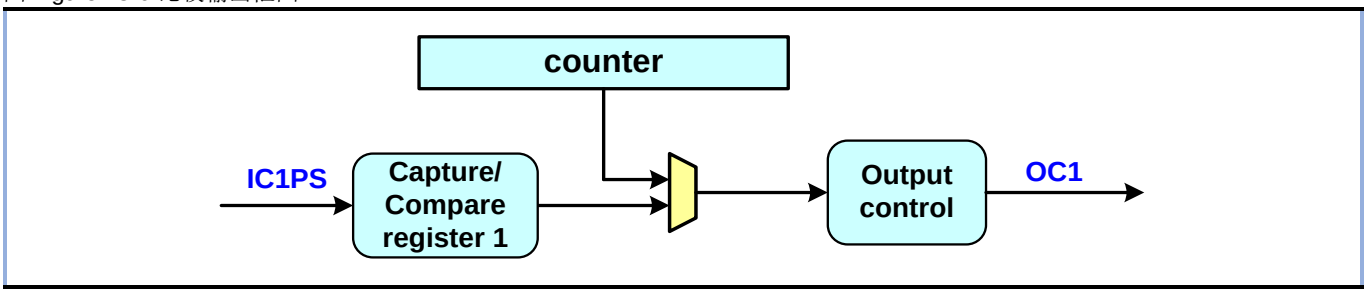
注：

- **当通道配置为输入模式时，TIMx_CCR1 寄存器属性变为只读。**
- **如果发生了两次以上连续捕获，但 CC1IF 标志未被清零，则重复捕获标志 CC1OF 被置 1。为了避免丢失重复捕获标志 CC1OF 置 1 之前可能产生的捕获信息，建议在读出重复捕获标志之前读取数据。**
- **设置 TIMx_EGR 寄存器中相应的 CC1G 位，可以通过软件产生输入捕获中断或 DMA 请求。**

13.4.3 比较输出

捕获比较通道的比较输出部分由比较器、输出控制电路和捕获/比较寄存器组成，其结构图如下图所示：

图 Figure 13-6 比较输出框图



在比较输出模式下，捕获比较寄存器的内容被载入到影子寄存器中，然后影子寄存器的内容和计数器当前值进行比较。捕获/比较模块包括一个捕获/比较寄存器（预装载寄存器）和一个影子寄存器，读写过程仅操作捕获/比较寄存器。

13.4.3.1 强制输出

配置 TIMx_CCMR1 寄存器的 CC1S = 00，将通道 CC1 设置为输出模式，通过配置 TIMx_CCMR1 寄存器 OC1M 位，可以直接将比较输出信号直接强制为有效或无效状态，不依赖于比较结果。配置 TIMx_CCMR1 寄存器 OC1M = 100，强置比较输出信号为无效状态。此时 OC1REF 被强置为低电平。配置 TIMx_CCMR1 寄存器 OC1M = 101，强置比较输出信号为有效状态。此时 OC1REF 被强置为高电平（OC1REF 始终为高电平有效）。

注：强制输出模式下，在 TIMx_CCR1 影子寄存器和计数器之间的比较输出仍在进行，比较结果的相应标志位也会被修改，如果开启了对应的中断和 DMA 请求，仍会产生对应的中断和 DMA 请求。

13.4.3.2 比较输出

比较输出模式下，当计数器与捕获比较寄存器值相同时，可以根据 TIMx_CCMR1 寄存器的 OC1M 位的配置用来输出不同的波形。

例如，当计数器与捕获/比较寄存器的内容匹配时，比较输出模式下的操作如下：

1.在比较匹配时，OC1M 的值不同，输出通道 1 信号 OC1 的操作不同：

- OC1M = 000：OC1 信号保持它的电平
- OC1M = 001：OC1 信号被设置成有效电平
- OC1M = 010：OC1 信号被设置成无效电平
- OC1M = 011：OC1 信号进行翻转

2.匹配时中断状态寄存器中的标志位置 1（TIMx_SR 寄存器中的 CC1IF 位）。

3.当配置了 TIMx_DIER 寄存器中的 CC1IE =1，匹配时则产生一个中断。

4.当配置了 TIMx_DIER 寄存器中的 CC1DE =1，匹配时则产生一个 DMA 请求（仅适用于有内置 DMA 的产品）。

比较输出模式也可以用来输出一个单脉冲（单脉冲输出模式）。

例如，通道 1 的比较输出模式的配置步骤如下：

1.配置计数器的时钟（选择时钟源，配置预分频系数）。

2.配置 TIMx_ARR 和 TIMx_CCR1 寄存器。

3.配置 TIMx_DIER 寄存器的 CC1IE =1，使能捕获/比较 1 中断。

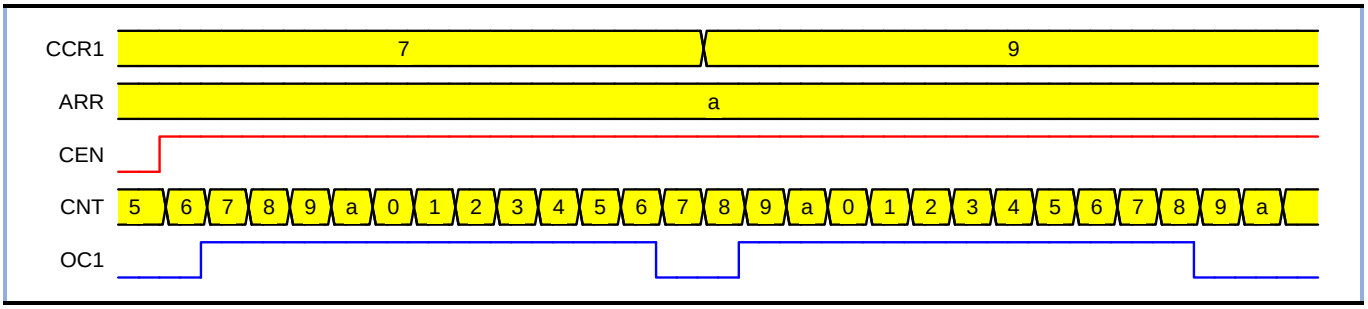
4.配置输出模式：

- 配置 TIMx_CCMR1 寄存器的 OC1M = 011，OC1 比较匹配时翻转。
- 配置 TIMx_CCMR1 寄存器的 OC1PE = 0 ，禁止 TIMx_CCR1 寄存器的预装载功能。
- 配置 TIMx_CCER 寄存器的 CC1P = 1，OC1 低电平有效。
- 配置 TIMx_CCER 寄存器的 CC1E = 1，开启输出/比较 1 输出使能，OC1 信号输出到对应的输出引脚。

5.配置 TIMx_CR1 寄存器的 CEN =1，启动计数器。

当配置 TIMx_CCMR1 寄存器中 OC1PE=0，禁止 TIMx_CCR1 寄存器的预装载功能时，可以随时写入 TIMx_CCR1 寄存器，并且写入的值立即生效。当配置 TIMx_CCMR1 寄存器中 OC1PE=1，启用 TIMx_CCR1 寄存器的预装载功能时，读写仅对预装载寄存器进行操作，TIMx_CCR1 预装载寄存器的值在下次更新事件到来时生效。下图给出了一个例子。

图 13-7 比较输出模式，OC1 信号在匹配时翻转



注：比较输出模式下，更新事件不会对输出结果产生影响。强制输出模式下，在 TIMx_CCR1 影子寄存器和计数器之间的比较输出仍在进行，比较结果的相应标志位也会被修改，如果开启了对应的中断和 DMA 请求，仍会产生对应的中断和 DMA 请求。

13.4.3.3 PWM 输出

在 PWM 模式下，根据 TIMx_ARR 寄存器和 TIMx_CCR1 寄存器的值，产生一个频率、占空比可控的 PWM 波形。

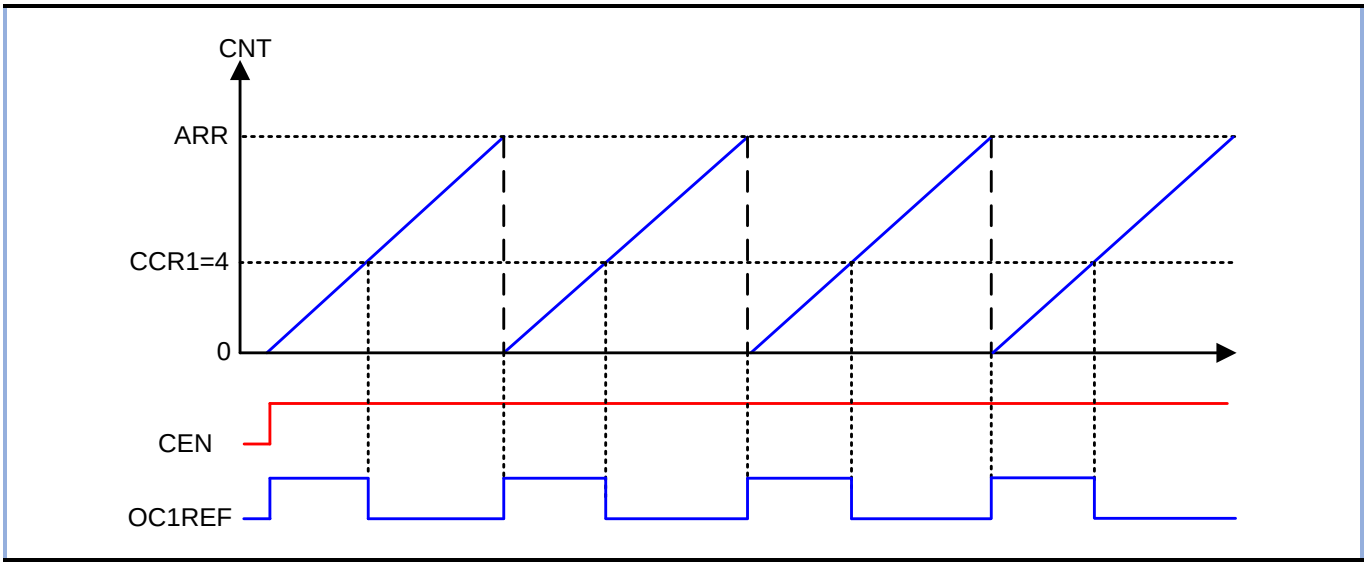
配置与通道 1 对应的 TIMx_CCMR1 寄存器的 OC1M=110 或 OC1M=111，选择通道 1 进入 PWM 模式 1 或 PWM 模式 2。PWM 模式下，计数器和 CCR1 会一直进行比较，根据配置和比较结果，通道 1 输出不同的信号， TIMx 可以产生 1 个独立占空比的 PWM 输出信号。PWM 模式下可开启 TIMx_CCR1 的预装载功能和 TIMx_ARR 寄存器的预装载功能。写入 TIMx_CCR1 预装载寄存器和 TIMx_ARR 预装载寄存器的值在发生下个更新事件时，才会生效，载入相应的影子寄存器。PWM 模式下，使能计数器前设置 TIMx_EGR 的 UG=1，产生更新事件用于初始化所有的寄存器。

配置 TIMx_CCER 寄存器的 CC1P 位选择 OC1 的有效极性。配置 TIMx_CCER 寄存器的 CC1E 位控制 OC1 的输出使能。

13.4.3.3.1 PWM 边沿对齐模式 - 递增计数模式

配置 TIMx_CCMR1 寄存器的 CC1S=00，选择输出模式，OC1M=110，选择 PWM 模式 1，当 TIMx_CNT < TIMx_CCR1 时通道 1（OC1REF）为有效电平，否则为无效电平。如果 TIMx_CCR1 中的比较值大于自动重装载值（TIMx_ARR），则 OC1REF 保持为有效电平。如果比较值为 0，则 OC1REF 保持为无效电平。下图为 CCR1=4，ARR=a 时边沿对齐递增计数时 PWM 模式 1 的波形实例。

图 13-8 边沿对齐递增计数时 PWM 模式 1 的波形



13.4.3.4 单脉冲输出

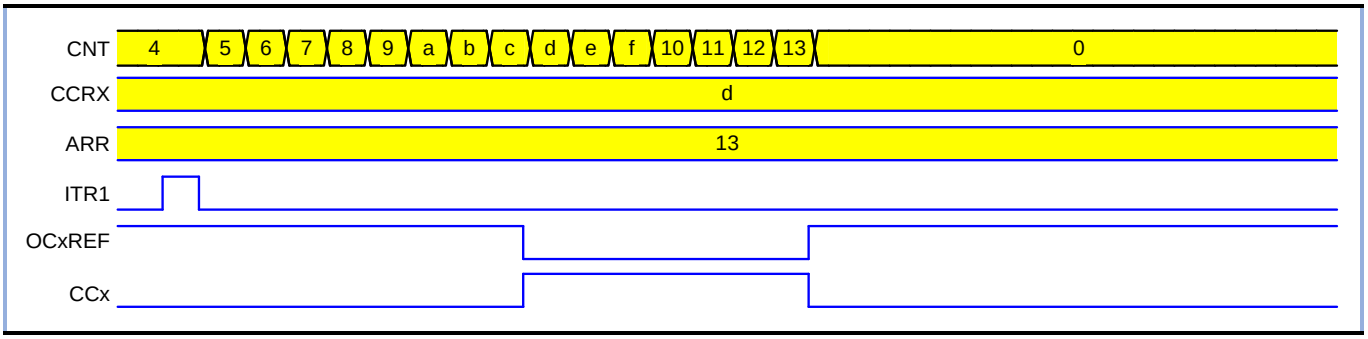
单脉冲模式（OPM）下，计数器响应一个激励，产生一个脉宽可调的脉冲。配置 TIMx_CR1 寄存器的 OPM=1，选择单脉冲模式，配置 CEN=1 启动计数器，直到下个更新事件发生或配置 CEN=0 时，计数器停止计数。

产生脉冲的必要条件是比较值与计数器的初始值不同。所以在计数器启动之前的必要配置如下：

- **递增计数方式：计数器 CNT < CCR1 ≤ ARR。**

下图是单脉冲输出示例。

图 13-9 单脉冲模式



13.4.4 调试模式

在调试模式下，配置 DBG_CR 寄存器中 DBG_TIMx_STOP=1，TIMx 计数器停止计数。（详见调试章节）

13.4.5 中断

TIMx 的中断包括：捕获/比较 1 中断和更新中断，当相应的中断使能位打开，发生相应的事件时，产生相应的中断。

表 13.2 中断事件列表

中断事件	标志位	使能位
捕获/比较 1 中断	CC1IF	CC1IE
更新中断	UIF	UIE

13.4.6 DMA

TIMx 能够在发生捕获/比较事件或更新事件时生成 DMA 请求。

13.5寄存器

表 13.3 TIMx 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	TIMx_CR1	控制寄存器 1	0x0000
0x0C	TIMx_DIER	DMA/中断使能寄存器（DMA 部分仅适用于有内置 DMA 的芯片）	0x0000
0x10	TIMx_SR	状态寄存器	0x0000
0x14	TIMx_EGR	事件产生寄存器	0x0000
0x18	TIMx_CCMR1	捕获/比较模式寄存器 1	0x0000
0x20	TIMx_CCER	捕获/比较使能寄存器	0x0000
0x24	TIMx_CNT	计数器	0x0000
0x28	TIMx_PSC	预分频率器	0x0000
0x2C	TIMx_ARR	自动装载寄存器	0x0000
0x34	TIMx_CCR1	捕获/比较寄存器 1	0x0000
0x44	TIMx_BDTR	刹车和死区寄存器	0x0000

13.5.1 TIMx_CR1 控制寄存器 1

地址偏移:0x00
复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CKD		ARPE	Reserved			OPM	URS	UDIS	CEN
						rw		rw				rw	rw	rw	rw

位	字段	描述
15：10	Reserved	保留,必须保持复位值.

位	字段	描述
9：8	CKD	时钟分频 定义定时器时钟（INT_CK）频率与数字滤波器（TI1）所用的时钟之间的分频比例。 00：$t_{DTS} = t_{INT_CK}$ 01：$t_{DTS} = 2x\ t_{INT_CK}$ 10：$t_{DTS} = 4x\ t_{INT_CK}$ 11：保留，不要使用这个配置
7	ARPE	自动重载预装载使能 0：关闭 TIMx_ARR 寄存器的影子寄存器 1：使能 TIMx_ARR 寄存器的影子寄存器
6：4	Reserved	保留,必须保持复位值.
3	OPM	单脉冲模式 0：禁止单脉冲模式，在发生更新事件时，计数器继续计数 1：使能单脉冲模式，在发生下一次更新事件或软件清除 CEN 位时， 计数器停止计数
2	URS	更新请求源 软件配置该位，选择更新事件源。 0：以下事件可产生一个更新中断或 DMA 请求： -计数器上溢 -设置 UG 位 1：只有计数器上溢才产生一个更新中断或 DMA 请求
1	UDIS	禁止更新 该位用来允许或禁止更新事件的产生 0：允许更新事件（UEV） 1：禁止更新事件。不产生更新事件，影子寄存器（ARR、PSC、CCR1）保持值不变。如果设置了 EGR_UG 位为 1，计数器和预分频器被初始化。
0	CEN	计数器使能 0：禁止计数器 1：使能计数器

13.5.2 TIMx_DIER DMA/中断使能寄存器

地址偏移:0x0C
复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CC1DE	UDE	Reserved						CC1IE	UIE
						rw	rw							rw	rw

位	字段	描述
15：10	Reserved	保留,必须保持复位值.
9	CC1DE	允许捕获/比较 1 的 DMA 请求 0：禁止捕获/比较 1 的 DMA 请求 1：允许捕获/比较 1 的 DMA 请求 注：仅适用于有内置 DMA 的产品。
8	UDE	允许更新 DMA 请求 0：禁止更新 DMA 请求 1：允许更新 DMA 请求 注：仅适用于有内置 DMA 的产品。
7：2	Reserved	保留,必须保持复位值.
1	CC1IE	允许捕获/比较 1 中断 0：禁止捕获/比较 1 中断 1：允许捕获/比较 1 中断
0	UIE	允许更新事件中断 0：禁止更新事件中断 1：允许更新事件中断

13.5.3 TIMx_SR 状态寄存器

地址偏移:0x10
复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CC1OF	Reserved							CC1IF	UIF
						r_w0c								r_w0c	r_w0c

位	字段	描述
15：10	Reserved	保留,必须保持复位值.
9	CC1OF	捕获/比较 1 重复捕获标记 仅当通道 1 被配置为输入捕获，CC1IF 已经为 1 后，捕获事件再次发生时，该标记可由硬件置 1。写 0 可清除该位。 0：无重复捕获产生 1：重复捕获产生
8：2	Reserved	保留,必须保持复位值.
1	CC1IF	捕获/比较 1 中断标记 通道 1 为输出模式： 当计数器值与比较值匹配时该位由硬件置 1，它由软件清 0。 0：无匹配发生 1：TIMx_CNT 的值与 TIMx_CCR1 的值匹配 通道 1 为输入模式： 当发生捕获事件时该位由硬件置 1，由软件清 0 或读取 TIMx_CCR1 的 值 清 0 。 0：无输入捕获产生 1：计数器值已被捕获至 TIMx_CCR1
0	UIF	更新中断标记 当产生更新事件时该位由硬件置 1。它由软件清 0。 0：无更新中断发生 1：发生更新中断 更新事件包含计数器上溢、设置 UG=1。

13.5.4 TIMx_EGR 事件产生寄存器

地址偏移:0x14
复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														CC1G	UG
														w	w

位	字段	描述
15：2	Reserved	保留,必须保持复位值.
1	CC1G	产生通道 1 捕获/比较事件 该位由软件置 1，用于产生一个捕获/比较事件，由硬件自动清 0。 0：无动作 1：通道 CC1 上产生一个捕获/比较事件： 若通道 CC1 配置为输出：CC1IF 置 1，若开启对应的中断和 DMA，则产生相应的中断和 DMA。 若通道 CC1 配置为输入： CC1IF 置 1，若开启对应的中断和 DMA， 则产生相应的中断和 DMA。若 CC1IF 已经为 1，则设置 CC1OF =1。
0	UG	产生更新事件 0：无动作 1：初始化计数器，并产生一个更新事件。由硬件自动清 0

13.5.5 TIMx_CCMR1 捕获/比较模式寄存器 1

地址偏移:0x18
复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								Res.	OC1M			OC1PE	Res.	CC1S	
								IC1F				IC1PSC		CC1S	
								rw	rw			rw	rw	rw	

通道可用于输入（捕获模式）或输出（比较模式），通道的方向由相应的 CC1S 定义。该寄存器 CC1S 以外其它

位的作用在输入模式和输出模式下不同。OC1x 描述了通道在输出模式下的功能，IC1x 描述了通道在输入模式下的功能。

比较输出模式：

位	字段	描述
15：7	Reserved	保留,必须保持复位值.
6：4	OC1M	通道 1 比较输出模式 该位定义了输出参考信号 OC1REF 的动作，而 OC1REF 决定了 OC1 的值。OC1REF 是高电平有效，而 OC1 的有效电平取决于 CC1P 位。 000：冻结。TIMx_CCR1 与 TIMx_CNT 间的比较结果对 OC1REF 不起作用。 001：匹配时设置为高。当 TIMx_CNT 的值与 TIMx_CCR1 的值相同时，强制 OC1REF 为高电平。 010：匹配时设置为低。当 TIMx_CNT 的值与 TIMx_CCR1 的值相同时，强制 OC1REF 为低电平。 011：匹配时翻转，当 TIMx_CCR1=TIMx_CNT 时，翻转 OC1REF 的电平。 100：强制为低。强制 OC1REF 为低电平。 101：强制为高。强制 OC1REF 为高电平。 110：PWM 模式 1。在递增计数时，当 TIMx_CNT<TIMx_CCR1 时强制 OC1REF 为高电平，否则为低电平。 111：PWM 模式 2。在递增计数时，当 TIMx_CNT<TIMx_CCR1 时通道 1 为强制 OC1REF 为低电平，否则为高电平。 注：在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在比较输出模式中从冻结模式切换到 PWM 模式时，OC1REF 电平才改变。
3	OC1PE	通道 1 比较输出预装载使能 0：禁止 TIMx_CCR1 寄存器的预装载功能，写入 TIMx_CCR1 寄存器的数值立即生效。 1：开启 TIMx_CCR1 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIMx_CCR1 的预装载值在更新事件到来时生效。 注：若该位置 1，在单脉冲模式下（TIMx_CR1 寄存器的 OPM= 1），是否设定预装载寄存器无影响；其它情况下，需要设定预装载寄存器，否则后续动作不确定。
2	Reserved	保留,必须保持复位值.
1：0	CC1S	通道 1 捕获/比较选择 该位定义通道的方向和输入信号的选择，只有在通道关闭时这些位才可写入： 00：通道 1 被配置为输出 01：通道 1 被配置为输入 10：保留 11：保留

输入捕获模式：

位	字段	描述
15：8	Reserved	保留,必须保持复位值.

位	字段	描述
7：4	IC1F	通道 1 输入捕获滤波器 数字滤波器由一个事件计数器组成，它记录 N 个输入事件后会产生一个输出的跳变。这些位定义了 IC1 输入信号的采样频率和数字滤波器的长度。 0000：无滤波器，以 f_{DTS} 采样 0001：采样频率 $f_{sampling}=f_{INT_CK}$，N=2 0010：采样频率 $f_{sampling}=f_{INT_CK}$，N=4 0011：采样频率 $f_{sampling}=f_{INT_CK}$，N=8 0100：采样频率 $f_{sampling}=f_{DTS}/2$，N=6 0101：采样频率 $f_{sampling}=f_{DTS}/2$，N=8 0110：采样频率 $f_{sampling}=f_{DTS}/4$，N=6 0111：采样频率 $f_{sampling}=f_{DTS}/4$，N=8 1000：采样频率 $f_{sampling}=f_{DTS}/8$，N=6 1001：采样频率 $f_{sampling}=f_{DTS}/8$，N=8 1010：采样频率 $f_{sampling}=f_{DTS}/16$，N=5 1011：采样频率 $f_{sampling}=f_{DTS}/16$，N=6 1100：采样频率 $f_{sampling}=f_{DTS}/16$，N=8 1101：采样频率 $f_{sampling}=f_{DTS}/32$，N=5 1110：采样频率 $f_{sampling}=f_{DTS}/32$，N=6 1111：采样频率 $f_{sampling}=f_{DTS}/32$，N=8
3：2	IC1PSC	通道 1 输入/捕获预分频器 该位定义了 IC1 的预分频系数。当 CC1E=0（TIMx_CCER 寄存器中） 时，预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获 01：每 2 个事件触发一次捕获 10：每 4 个事件触发一次捕获 11：每 8 个事件触发一次捕获
1：0	CC1S	通道 1 捕获/比较选择 该位定义通道的方向和输入信号的选择，只有在通道关闭时这些位才可写入： 00：通道 1 被配置为输出 01：通道 1 被配置为输入 10：保留 11：保留

13.5.6 TIMx_CCER 捕获/比较使能寄存器

地址偏移:0x20
复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												CC1NP	Res.	CC1P	CC1E
												rw		rw	rw

位	字段	描述
15：4	Reserved	保留,必须保持复位值.
3	CC1NP	通道 1 输入捕获极性 通道 1 配置为输出时，此位无效。 通道 1 配置为输入时，CC1P/CC1NP 配合使用定义了输入信号极性和电平，详细参考 IC1 极性/电平选择表。
2	Reserved	保留,必须保持复位值.
1	CC1P	通道 1 输入/捕获输出极性 通道 1 配置为输出时，此位定义了输出信号极性： 0：OC1 高电平有效 1：OC1 低电平有效 通道 1 配置为输入时，CC1P/CC1NP 配合使用定义了输入信号极性和电平，详细参考 IC1 极性/电平选择表。

位	字段	描述
0	CC1E	通道 1 输入/捕获输出使能 通道 1 配置为输出时： 0：关闭。OC1 禁止输出 1：开启。OC1 信号输出到对应的输出引脚 CC1 通道配置为输入： 该位决定了输入捕获功能是否启用。 0：捕获禁止 1：捕获使能

输入模式下，IC1 的极性/电平选择如下表所示：

表 13.4 IC1 极性/电平选择表

CC1P	CC1NP	IC1 极性/电平
0	0	上升沿有效/高电平有效
1	0	下降沿有效/低电平有效
1	1	上升沿或下降沿有效/低电平有效
0	1	保留

13.5.7 TIMx_CNT 计数器

地址偏移:0x24
复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw															

位	字段	描述
15：0	CNT	计数值

13.5.8 TIMx_PSC 预分频器

地址偏移:0x28
复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC															
rw															

位	字段	描述
15：0	PSC	预分频器的值 计数器的时钟频率（ck_cnt）= f_{CK_PSC} /（PSC+1） 当发生更新事件时，PSC 的值装入当前预分频寄存器。

13.5.9 TIMx_ARR 自动预装载寄存器

地址偏移:0x2C
复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR															
rw															

位	字段	描述
15：0	ARR	自动预装载值 这些位定义了计数器的自动预装载值。当自动预装载的值为 0 时，计数器不工作。

13.5.10 TIMx_CCR1 捕获/比较寄存器 1

地址偏移:0x34
复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1															
rw															

位	字段	描述
15：0	CCR1	通道 1 捕获/比较的值 通道 1 配置为输入： 上一次捕获事件发生时捕获的计数器值存放于 CCR1（此时 CCR1 寄存器为只读）。 通道 1 配置为输出： 如果在 TIMx_CCMR1 寄存器（OC1PE 位）中未选择预装载功能，写入的数值会立即传输至对应的当前捕获/比较影子寄存器中。否则只有当更新事件发生时，此预装载值才传输至对应的当前捕获/比较影子寄存器中。当前捕获/比较影子寄存器参与同计数器 TIMx_CNT 的比较， 并将比较结果反映到 OC1 端口的输出信号上。

13.5.11 TIMx_BDTR 刹车和死区寄存器

地址偏移:0x44
复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	Reserved														
rw															

位	字段	描述
15	MOE	主输出使能 0：禁止 OC1 输出或强制为空闲状态 1：如果设置了相应的使能位（TIMx_CCER 寄存器的 CC1E），则开启 OC1 输出
14：0	Reserved	保留,必须保持复位值.

14 IWDG 独立看门狗

14.1 简介

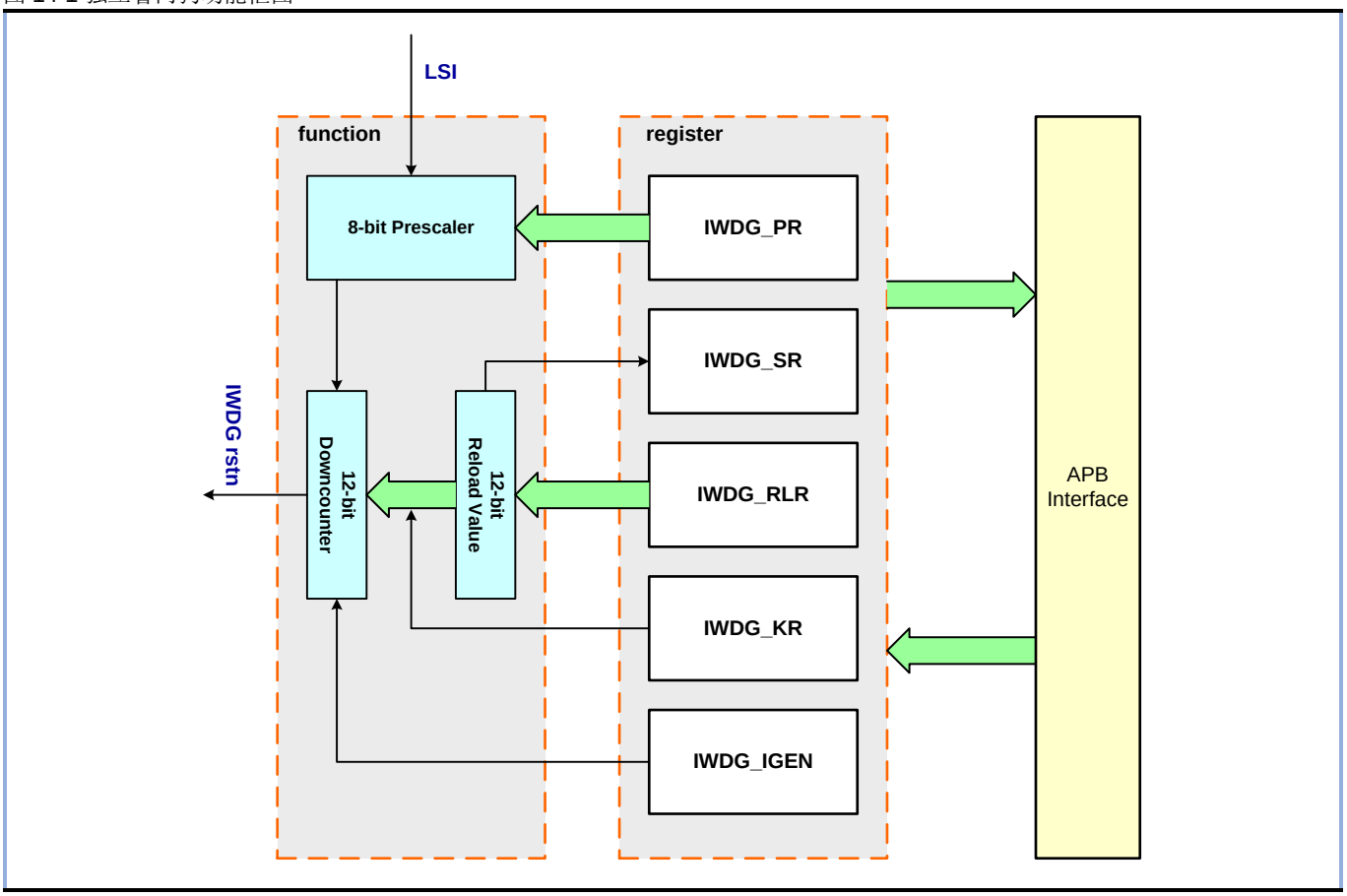
独立看门狗的设计初衷是为了检测和解决由软件错误所引起的故障，它的原理可简述为：当独立看门狗（IWDG）计数器不断递减到达给定数值时，产生一个系统复位信号使系统复位，从而提高系统整体安全性能。

独立看门狗适合应用于那些需要看门狗作为一个处于主程序之外，能够完全独立工作，并且对时间精度要求低的场合。

独立看门狗是由内部低速的时钟（LSI）驱动的，保证当主时钟发生故障的时候，独立看门狗依旧可以继续工作。

14.2 功能框图

图 14-1 独立看门狗功能框图



14.3 主要特性

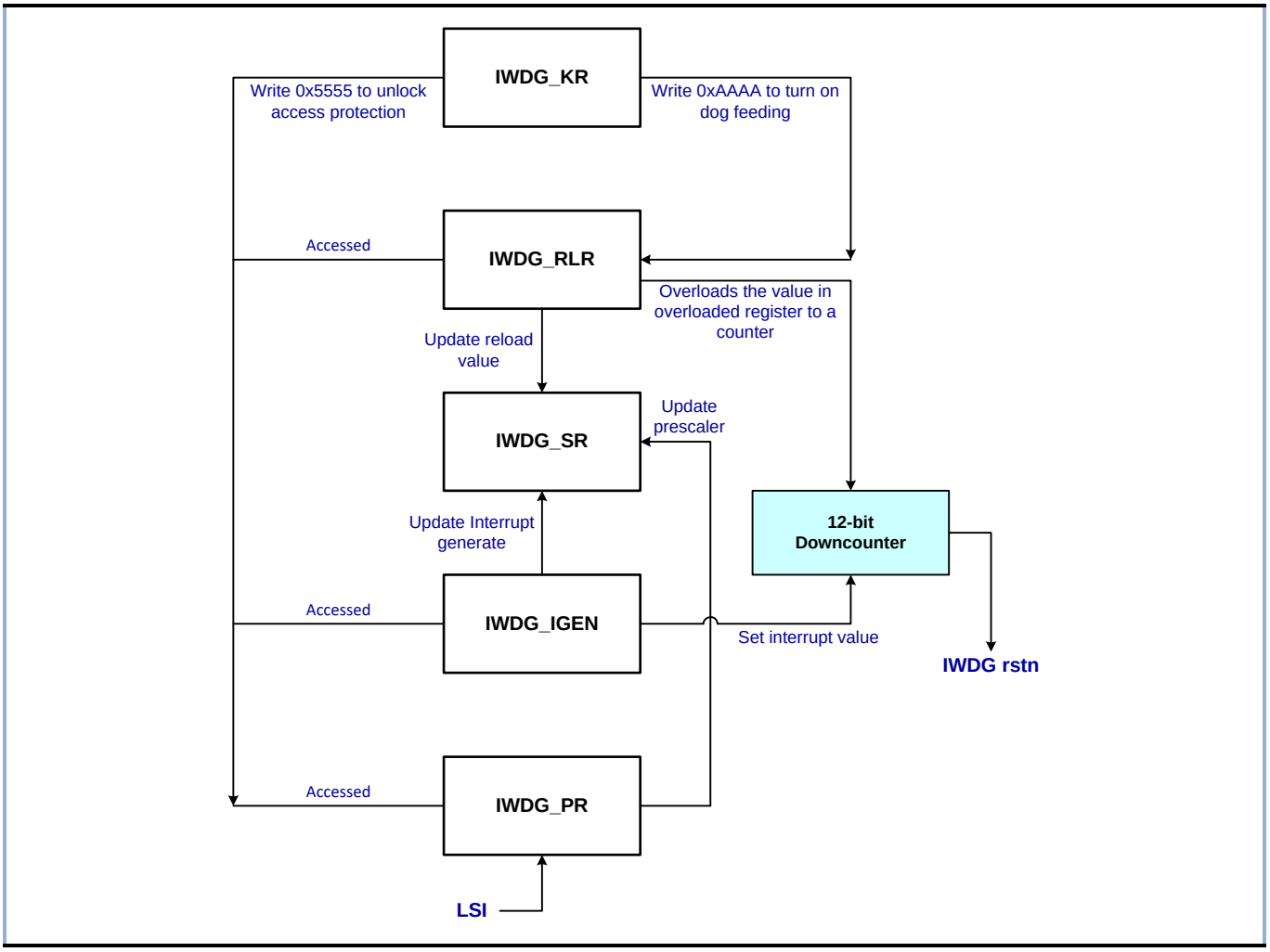
- 芯片默认为软件看门狗模式。
- 通过闪存烧写复位选项字节寄存器中的 **WDG_SW** 位可以启动硬件看门狗。硬件看门狗启动后在系统复位上电后自动启动，内部计数器开始递减。
- 工作时钟由 **LSI** 提供，可在低功耗模式下继续进行工作，参考 **PWR** 章节；
- 看门狗内部是自由运行的 **12** 位递减计数器，当计数到达 **0x0000** 产生一个系统复位或者中断信号。

14.4 功能描述

- 在键值寄存器（**IWDG_KR**）中写入 **0xCCCC**，开启独立看门狗。与此同时，计数器开始从其复位值 **0xFFF** 开始递减，当递减到达 **0x0000** 时会产生一个系统复位信号，或者递减到 **IWDG_IGEN** 的值后产生中断，两种结果取决于 **IRQ_SEL** 的配置。
- 任何时候写入 **0xAAAA** 到 **IWDG_KR**，就会把重载寄存器（**IWDG_RLR**）中的值重新加载到计数器中（通常说的喂狗），从而避免复位信号或中断信号的产生。
- 比较/输出如果程序异常，无法正常喂狗，就会产生复位信号或中断信号，系统复位或系统中断。
- **IWDG_PR, IWDG_RLR, IWDG_IGEN** 寄存器具有访问保护功能。只有在键值寄存器（**IWDG_KR**） 写入 **0x5555**，才可以修改以上被保护的寄存器的值。当以其他的值写入键值寄存器，会打乱操作顺序，寄存器依旧处于保护状态。当进行重载操作时，也会处于保护状态。
- 独立看门狗可以在低功耗模式下正常计数，它的复位能够使系统退出低功耗模式。
- 在低功耗模式下，可以通过配置 **RCC** 寄存器，选择在进入 **Stop** 模式后是否关闭 **LSI** 时钟，从而关闭软件看门狗。

14.4.1 流程框图

图 14-2 流程框图



14.4.2 独立看门狗超时时间

表 14.1 IWDG 超时时间(以 LSI 时钟频率 40kHz 为例)

预分频系数	PR[2:0]位	最短时间(ms) RL[11:0]=0x000	最大时间(ms)
/4	0	0.1	409.6
/8	1	0.2	819.2
/16	2	0.4	1638.4
/32	3	0.8	3276.8
/64	4	1.6	6553.6
/128	5	3.2	13107.2
/256	(6 or 7)	6.4	26214.4

超出（溢出）时间计算：

Tout= ((4×2^PR) ×RLR)/40

其中：Tout 的单位为毫秒。

时钟频率 LSI = 40K，一个看门狗时钟周期就是最短超时时间。

最长超时时间 = （IWDG_RLR 寄存器最大值） x 看门狗时钟周期。

14.4.3 中断

- **IWDG 在 CR. IRQ_SEL 配置为 1 条件下，当计数器溢出后产生中断。**

14.5寄存器

14.5.1 寄存器概览

表 14.2 IWDG 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	IWDG_KR	密钥寄存器	0x00000000
0x04	IWDG_PR	预分频寄存器	0x00000000
0x08	IWDG_RLR	重装载寄存器	0x00000FFF
0x0C	IWDG_SR	状态寄存器	0x00000000
0x10	IWDG_CR	控制寄存器	0x00000000
0x14	IWDG_IGEN	中断生成寄存器	0x00000FFF
0x18	IWDG_CNT	计数寄存器	0x00000001

14.5.2 IWDG_KR 密钥寄存器

地址偏移: 0x00
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY															
w															

位	字段	描述
31:16	Reserved	保留,必须保持复位值
15:0	KEY	密钥值（只写寄存器） 软件每隔一段时间，写进 0xAAAA 进行喂狗操作，否则当计数器递减到 0x0000 时，会产生一个复位信号，使系统复位。 软件写入 0x5555 表示解除保护，可以访问其他配置寄存器(IWDG_PR,IWDG_RLR,IWDG_CR (bit0),IWDG_IGEN) 软件写入 0xCCCC，开启看门狗。

14.5.3 IWDG_PR 预分频寄存器

地址偏移: 0x04
复位值: 0x0000 0000 (系统复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.													PR		
													rw		

位	字段	描述
31:3	Reserved	始终读为 0
2:0	PR	预分频因子 通过设置这些位来选择 LSI 时钟的预分频因子 要改变预分频因子，需要先解除保护（向 IWDG_KE 中写入 0x5555）才能写入，当预分频因子被更新完成后，PUV 寄存器位会变为 0，此时读出数据才是有效的。 000：预分频因子 = 4　　100：预分频因子 = 64 001：预分频因子 = 8　　101：预分频因子 = 128 010：预分频因子 = 16　　110：预分频因子 = 256 011：预分频因子 = 32　　111：预分频因子 = 256

14.5.4 IWDG_RLR 重载寄存器

地址偏移: 0x08
复位值: 0x0000 0FFF (系统复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.				RL											
				rw											

位	字段	描述
31:12	Reserved	保留,必须保持复位值
11:0	RL	看门狗计数器重装值 配置看门狗计数器的重载值，每当喂狗（向 IWDG_KR 寄存器中写入 0xAAAA）时， 会把此位数值更新到计时器中，然后从此值开始递减。更改重载值需要解除保护（向 IWDG_KR 寄存器中写入 0x5555），当重载值更新完毕后，RUV 寄存器位会清 0，也就在此时读出值才是有效的。看门狗的超时周期可以通过重载值和预分频值来计算。

14.5.5 IWDG_SR 状态寄存器

地址偏移: 0x0C
复位值: 0x0000 0000 (系统和 RCC 复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.												UPDATE	IVU	RVU	PVU
												r	r	r	r

位	字段	描述
31:4	Reserved	保留,必须保持复位值
3	UPDATE	看门狗重载值更新标志 当 IWDG_KR 寄存器中写入 0XAAAA 时，update 置位，当看门狗计数器被更新，重载值写入到计数器中，update 自动清零。
2	IVU	看门狗中断生成值更新 此位由硬件置‘1’用来指示中断生成值的更新正在进行中。 当在 VDD 域中的中断生成值更新结束后，此位由硬件清‘0’（最多需要 5 个 LSI 的振荡器周期）中断生成值只有在 IVU 位被清‘0’后才可更新。
1	RVU	看门狗计数器重载值更新 重载值的更新正在进行中，此位置 1。 当重载更新结束后，此位清‘0’（最多需要 5 个 LSI 的振荡器周期） 重载值只有在 RVU 位被清‘0’后才可更新。
0	PVU	看门狗预分频更新 预分频值的更新正在进行中时，此位置 1。 当预分频值更新结束后，此位由清‘0’（最多需要 5 个 LSI 的振荡器周期） 预分频值只有在 PVU 位被清‘0’后才可更新。

注：如果在应用程序中使用多个重装载值、预分频值或中断生成值，先解除寄存器保护（向 IWDG_KR 中写入 0x5555），然后配置 IWDG_PR IWDG_RLR，IWDG_IGEN 寄存器，等待对应的状态寄存器位（PVU，RVU，IVU）清零，表示已经配置好重装载值，预分频值，和中断生成值，接下来就可以执行喂狗操作，或者等待计数器自动递减产生复位或者中断信号。

14.5.6 IWDG_CR 控制寄存器

地址偏移: 0x10
复位值: 0x0000 0000(系统和 RCC 复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.														IRQ_CLR	IRQ_SEL
														rw	rw

位	字段	描述
31:2	Reserved	保留,必须保持复位值
1	IRQ_CLR	IWDG 中断清除 1：写 1 清除中断 0：无效操作，中断标志位依旧挂起 注意：这个 bit 的写操作不需要设置 KEY 解除保护
0	IRQ_SEL	IWDG 溢出操作选择 1：溢出后产生中断 0：溢出后产生复位

14.5.7 IWDG_IGEN 中断生成寄存器

地址偏移: 0x14

复位值: 0x0000 0FFF (系统复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.				IGEN											
				rw											

位	字段	描述
31:12	Reserved	保留,必须保持复位值
11:0	IGEN	IWDG 中断生成值 用于定义看门狗中断生成值，每当计数器值递减等于该值时，会产生中断。要改变该位数值，需要先解除保护。 当改变数值被更新完成后 IWDG_SR 寄存器中的 IVU 位为 清 0 此时，读出数据才是有效的。

14.5.8 IWDG_CNT 计数器寄存器

地址偏移: 0x18

复位值: 0x0000 0001(系统和 RCC 复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.													IWDG_CNT		
													r		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IWDG_CNT								IWDG_PS							
r								r							

位	字段	描述
31:19	Reserved	保留,必须保持复位值
18:8	IWDG_CNT	IWDG 计数器 counter 的值
7：0	IWDG_PS	IWDG 时钟分频计数器的值

15 USART 通用同步异步收发器

15.1 简介

本通用同步/异步收发器（USART）可以灵活地与外部设备进行全双工数据交换。通过内置波特率（包含整数及小数设定）发生器，USART 可以支持宽范围的波特率。

USART 支持异步模式（UART）、同步模式。其中 UART 支持单线半双工通信，UART 和同步模式支持调制解调器（CTS/RTS）操作。

15.2 USART 特性

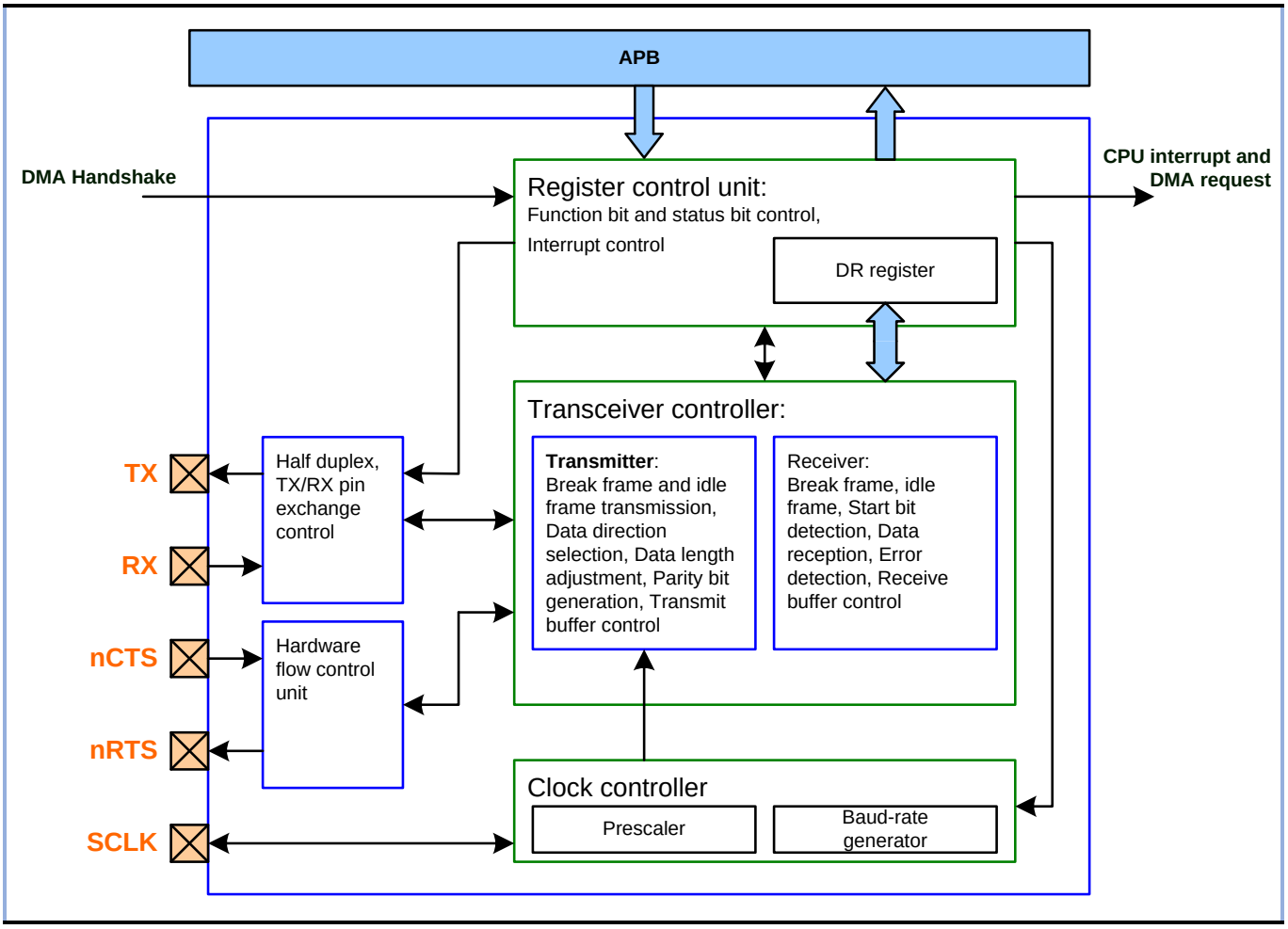
- **支持 DMA**
- **支持全双工异步通信，全双工时钟同步通信**
- **波特率发生器（包含整数及分数配置）**
  - 可编程波特率，供发送器和接收器使用（最小分频系数为 1）
- **独立的发送和接收缓冲寄存器，且发送器和接收器可单独使能。**
- **支持 LSB、MSB 收发模式**
- **数据位长度可编程（ 8 或 9 位）**
- **停止位可配置（1/2 位）**
- **校验位功能可配置（奇校验、偶校验，无校验）**
- **支持空闲帧的产生（ TE 使能时自动输出）和接收检测**
- **支持硬件自动流控制（配备 CTS，RTS 引脚功能）**
- **支持信号收发引脚的互换，接收和发送信号的电平取反**
- **支持下面中断源：**
  - 发送端数据寄存器为空（TXE）
  - CTS 标志（CTS）
  - 发送完成（TC）
  - 接收端数据有效（RXNE）
  - 接收缓冲器溢出（OVR）
  - 接收空闲帧完成（IDLE）
  - 奇偶校验错误（PE）
  - 噪声标志（NF）和帧错误（FE）

15.3 USART 功能描述

15.3.1 功能框图

USART 的功能框图可参考如下，可分为寄存器相关的控制单元、收发数据控制器、时钟控制器、硬件流控制单元以及引脚控制逻辑单元。

图 15-1 USART 功能框图



15.3.2 信号描述

信号名称	类型	描述
USART_SCLK	输出或输入	同步模式下的输入或输出时钟引脚、
USART_TX	输出或输入	发送数据引脚，或半双工收发数据引脚
USART_RX	输入	接收数据引脚（全双工时）
USART_nCTS	输入	清除发送引脚
USART_nRTS	输出	请求发送引脚

15.3.3 功能描述

在全双工通信的情况下，至少需要分配两个脚给 USART：接收数据输入（RX）和发送数据输出（TX）。

RX：外部串行数据通过该引脚，传送给 USART 接收器。对于传输过程中产生的噪音，可以使用过采样的技术将其与数据区分并剔除，得到原本的数据。

TX：USART 发送器内部产生的串行数据通过该引脚发送输出。当发送器被使能，并且无数据发送时，TX 引脚输出高电平。

空闲状态为总线在开始发送或者开始接收前的初始状态。

起始位为一位，用‘0’表示。

在 USART 通信中，一个数据（8 或 9 位）的发送和接收顺序可配置为从最低位到最高位（LSB），或最高位到最低位（MSB）。

停止位用‘1’表示一帧的结束，位数可配置为 1、2 位。

通过编程波特率寄存器 USART_BRR 来控制内部的波特率发生器以得到期望的数据传输波特率（参考 15.3.5 章节的波特率计算公式）。

通过配置 USART_CR2 寄存器的 SWAP 位，可以交换接收和发送端的引脚。

通过配置 USART_CR2 寄存器的 RXTOG/TXTOG 位，可以将接收/发送端的电平信号取反（包含起始位、停止位）。

在硬件流控模式中还需要下列引脚：

- **nCTS 清除发送：当其为高电平时，表明当前接收端不能进行数据接收，发送端应停止之后的发送。**
- **nRTS 请求发送：当其为低电平时，表明当前接收端可以接收数据。**

另外，USART 模块还支持同步模式（不同于 UART），此时需要下列引脚：

- **SCLK 发送器时钟输出或时钟输入：该引脚用于同步模式，同步模式下，支持时钟的输入和输出功能，且时钟极性和相位可通过软件配置。**

15.3.4 特性描述

通过配置 USART_CR1.DL 位，可调整字符位长度为 8 或 9 位。发送器会在发送起始位时拉低 TX 引脚，在发送停止位时拉高 TX 引脚。

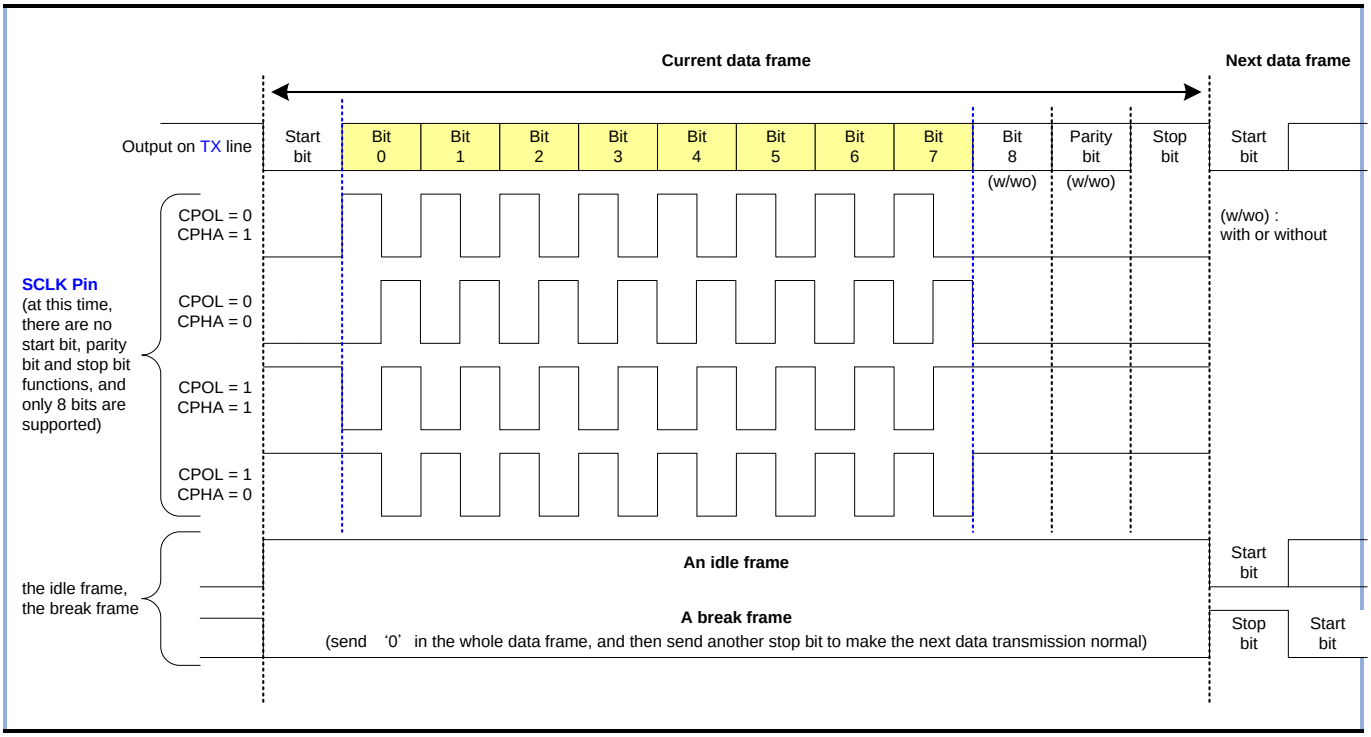
包括停止位在内，一个完全由‘1’组成的完整数据帧，定义为一个空闲帧。下一个数据帧的起始位跟在空闲帧之后。

包括停止位在内，一个完全由‘0’组成的完整数据帧，定义为一个断开帧。在断开帧结束后，发送器会再发送一个‘1’的停止位，使得下一帧的起始位能够被识别到（产生下降沿被接收端检测到）。

波特率发生器产生的时钟经过发送器或接收器的使能位置位控制之后，供给发送器或接收器使用。

下图为数据帧格式，断开帧，以及空闲帧的样例。

图 15-2 UART 数据帧类型示意图



15.3.5 波特率发生器

各通信模式下，可按照以下公式配置波特率。

- **适用于异步模式（UART）和多处理器模式（包括 LIN 协议下的多处理器）：**

通信波特率:

$$f_{baudrate} = \frac{\text{PCLK}}{N\times\ (\text{MFD} + \text{FFD/N})}$$

误差 E (%):

$$E(\%) = \{\frac{\text{PCLK}}{f_{baudrate} \times N\times\ (\text{MFD} + \text{FFD/N})} - 1\}\times 100$$

上式中，PCLK 为内部时钟源频率；MFD 和 FFD 是 USART_BRR 波特率配置的整数分频和小数分频；N = 8 x (2-OVER8)。通过配置 USART_CR1.OVER8 选择过采样模式；当 OVER8=1（8 倍过采样）时，FFD[3:0]只使用低 3 位，用户应将 FFD[3]位配置为 1'h0。

- **同步模式:**

通信波特率:

$$f_{baudrate} = \frac{\text{PCLK}}{4\times\ \text{MFD}}$$

上式中，PCLK 为内部时钟源的频率；MFD 是 USART_BRR 的整数波特率配置。在同步模式下，分数分频（FFD）无效，用户应配置 FFD[3:0]到 4 'h0。

15.3.6 采样

UART 的内置检测电路检测数据帧的开始，并对 RX 引脚进行采样。UART 使用 8 或 16 倍数据波特率的时钟对

RX 引脚上的数据进行采样。

可以配置 USART_CR1.OVER8 位来选择 USART 是否使用 16 或 8 倍数据波特率的时钟来采样 RX 引脚上的数据。

当选择 8 倍过采样（OVER8=1）时，可以获得更高的速度（最高可达 fPCLK/8），但会降低接收机对时钟偏差的最大容差。

15.3.7 奇偶校验控制

通过设置 USART_CR1.PCE 可以启用奇偶控制（在传输中产生奇偶位并在接收中进行奇偶校验）。USART_CR1.PS 位用于选择数据的奇偶校验。

偶校验：校验位加上数据中‘1’的总数为偶数。

奇校验：校验位加上数据中‘1’的总数为奇数。

奇偶校验控制有效时：

- **发送器会自动生成一个奇偶校验位，并在停止位前输出。**
  接收器会对奇偶校验位进行检测并判断该位是否错误。如果奇偶校验位错误则硬件自动置位 USART_SR.PE 标志，但当前接收数据仍然会从移位寄存器传送到 USART_DR 寄存器。

15.3.8 发送器

配置 USART_CR1.TE 位为‘1’，使能发送器，数据会串行输出到 TX 引脚上。发送数据寄存器 USART_DR 和内部的发送移位寄存器组成双缓冲器结构，可以连续发送数据。其中 UART 模式可以通过设置 USART_CR1.DL 位来选择长度（8 或 9 位）

15.3.8.1 字符发送

在 USART 发送期间，数据从 USART_DR 寄存器写入，通过发送移位寄存器将数据帧字节以最低位到最高位（USART_CR1.MLS=0），或最高位到最低位（USART_CR1.MLS=1）的顺序在 TX 引脚上输出。

发送数据顺序：1 位起始位，字符，1 位奇偶校验位（有或无），停止位。

可通过寄存器 USART_CR2.STOP[1:0] 来配置停止位的个数（可配置为 1 或 2 位停止位）。

当前数据传输未完成前不能清零 USART_CR1.TE 位，否则波特率发生器会停止产生时钟，导致该数据后部分丢失。

15.3.8.2 发送断开帧

配置 USART_CR1.SBK 位为‘1’ 即可发送断开帧。如果在数据传输过程中配置 SBK=1，则当前数据发送完成后才会输出断开帧到 TX 引脚上。

断开帧发送完成时，硬件自动清零 SBK 位，并发送一位高电平的停止位（以保证相连的下一帧数据的起始位被检测到）。

断开帧的长度取决于数据帧长度（CR2.DL），奇偶校验使能位（CR1.PS），以及停止位（CR2.STOP）。例如，无奇偶校验且停止位为 1 位时，CR2.DL=0 则断开帧为 10 位连续的‘0’，CR2.DL=1 则断开帧为 11 位连续的‘0’。

15.3.8.3 发送配置步骤

可参考下面的步骤，来配置 USART 进行数据帧的发送：

1.配置 USART 所需要使用的引脚功能。

2.使能 USART（USART_CR1.UE=1）。

3.配置 USART_BRR 寄存器。

4.根据传输数据帧等需求配置 USART_CR1，USART_CR2，USART_CR3 寄存器。

5.使能发送器（USART_CR1.TE=1），如果需要使用发送数据寄存器空中断，则设置 USART_CR1.TXEIEN=1。

6.等待发送数据寄存器空，写通信数据到 USART_DR，数据传输到发送移位寄存器，发送开始（CTS 功能有效时，USART_CTS 输入为低电平时数据传输到发送移位寄存器，发送开始）。

7.如果需要连续发送数据时，重复步骤 6。

8.通过确认 USART_SR.TC 位确认发送是否完成。如果配置 TCIEN=1，则最后一帧数据发送结束后，产生发送完成中断。

注：USART 的发送器支持两种中断，即发送数据寄存器空中断 TXE 和发送完成中断 TC，可通过 USART_SR 寄存器中的状态位查询。配置 TXEIEN=1，当 USART_DR 寄存器的值传送到发送移位寄存器时产生 TXE 中断。配置 TCIEN=1，当发送数据的最后一位时 USART_DR.DR 寄存器没有写入更新数据则产生 TC 中断。

15.3.9 接收器

数据寄存器 USART_DR 寄存器和内部的接收移位寄存器组成双缓冲器结构，可以连续接收数据。其中 UART 模式可以通过设置 USART_CR1.DL 位来选择数据长度，8 位或 9 位。

接收器使能位 USART_CR.RE 置’1’并检测到开始位后，RX 管脚上数据接收到接收移位寄存器；当接收到一帧数据，数据从接收移位寄存器传送到数据寄存器 USART_DR 中，同时，状态标志 RXNE 将置’1’。配置 RXNEIEN=1 则许可该中断请求。

CPU 或 DMA 利用该请求读取接收数据时，一次请求只能读取一次数据。

接收数据的顺序为：开始位->数据位（MSB/LSB）->校验位（有或者无）->停止位。

15.3.9.1 接收断开帧

USART 接收器识别到一个断开帧时，会置位 USART_SR.FE 标志（等同于在停止位接收到'0'）。

15.3.9.2 接收空闲帧

UART 正常工作时，接收器接收到了一个空闲帧会置位 USART_SR.IDLE 标志。

配置 IDLEIEN=1 来许可 IDLE 中断请求。

15.3.9.3 接收配置步骤

可参考下面的步骤，来配置 USART 进行数据帧的接收：

1.设定 UART 所需要使用的功能引脚。

2.使能 USART（USART_CR1.UE=1）。

3.配置 USART_BRR 寄存器。

4.根据数据帧等需求配置来设定 USART_CR1，USART_CR2，USART_CR3 寄存器。

5.USART_BRR 寄存器设定通信波特率（时钟源为外部时钟源时不需要设定）。

6.使能接收器（USART_CR1.RE=1），如果需要使用接收中断，则设置 USART_CR1.RXNEIEN=1。

7.当检测到开始位后，接收器将数据接收到接收移位寄存器，并检查校验位和停止位。一共有三种错误标志状态：PE，FE，ORE。当没有错误发生时，接收到的数据从接收移位寄存器传送到 USART_DR 寄存器，并置 RXNE 标志位为‘1’。

8.可通过 RXNE 中断读取接收到的数据，重复步骤 7 即可连续接收数据。

9.在接收期间如果检测到接收错误时，对应的错误标志将被置位。

注：为了防止溢出错误，在下一字符接收结束前，RXNE 位必须被清零（软件读取数据寄存器 USART_DR）。当发生 PE，FE，ORE 中任何一种接收错误都不能再进行数据的接收，但可以通过将所有的错误标志清零来重启数据接收。

- **发生上溢错误时接收到的数据丢失，ORE 状态位置‘1’，但 RXNE 中断不发生。**
- **发生奇偶校验错误时接收到的数据传送给 USART_DR，PE 状态位置‘1’，但 RXNE 中断不发生。**
- **发生帧错误时接收到的数据传送给 USART_DR，FE 状态位置‘1’，但 RXNE 中断不发生。**

15.3.10 同步模式

通过配置 USART_CR1.SAS 位为‘1’来使能同步模式（时钟引脚功能将同时有效）。

在同步模式下， USART_CR2.HDSEL 位应配置为‘0’。

同步模式支持主模式和从模式：主模式时使用内部波特率生成器生成的时钟，同时输出时钟；从模式时由 SCLK 引脚输入时钟。USART 在同步模式下，能与 SPI 实现数据通信（此时，用户应配置 SPI 与 USART 的时钟极性、时钟相位为一致）。

15.3.10.1 时钟描述

配置 USART_CR2.CLKEN 位为‘1’来使能时钟引脚功能，同时根据 USART_CR3.CKINE 位配置来选择使用内部波特率时钟或从 SCLK 引脚输入时钟，以进行数据通信。

当选择内部波特率时钟时，可通过 SCLK 引脚输出同步时钟。

1 帧数据的收发包含 8 个时钟脉冲。

当 RE 和 TE 都为‘0’，时钟输出会停止，并固定在 USART_CR2.CPOL 配置的电平。

通过配置 USART_CR2.CPOL 位选择时钟极性；通过配置 USART_CR2.CPHA 位选择外部时钟相位

15.3.10.2 时钟同步功能描述

SCLK 引脚作为发送器的时钟输出时，仅在数据段输出时钟，一帧数据输出 8 个时钟脉冲，最后一位发送完后，通信线保持最后一位的值，时钟输出固定在高电平或低电平（由 CPOL 位决定）。

USART 接收器在同步模式下的工作方式与异步模式下不同。如果 RE=1，则数据在 SCLK 变化边沿上采样（上升或下降沿，取决于 CPOL 和 CPHA 位配置情况），而不会进行任何过采样。此时必须确保足够的建立时间和保持时间，以符合时序要求（类同于 SPI 协议）。

使用内部时钟源时，内部波特率生成器生成的波特率计算公式为：

$$f_{baudrate} = \frac{\text{PCLK}}{4 \times \text{MFD}}$$

其中通信波特率的单为 MBps；PCLK 为内部时钟源的频率；MFD 为 波特率寄存器 USART_BRR 中整数分频(注意，在同步模式下应配置 MFD ≥ 2，且小数分频 FFD 无效，用户应配置 FFD[3:0] 位为 4 'h0)。

使用内部时钟源且 MFD=2 时，同步模式的最高波特率为 PCLK/8（MBps）。

外部时钟源时，要求外部输入时钟的最大频率为 PCLK/8（MHz），此时最高波特率也为 PCLK/8(MBps)。

15.3.11 单线半双工通信

配置 USART_CR3.HDSEL 位为‘1’，进入单线半双工模式。

单线半双工模式下的芯片内部逻辑会将 TX 与 RX 互连，同时：

- **RX 引脚悬空，不参与传输。传输时 USART 的 TX 直接连接另一个 USART 的 TX。**
- **在传输数据时，TX 一直被占用，直到停止位发送完成。**
- **在没有传输数据时，TX 处于被释放状态。因此，它在空闲状态的或接收状态时表现为一个标准 I/O 口；TX 对应 I/O 在不被 USART 驱动时，必须配置成悬空输入（或开漏的输出高）。**

除了单线引脚的配置外，其余配置和正常传输时一致。

在没有通信前，两个 USART 的 RXEN 都开启，处于等待接收状态，当需要通信时，两个 USART 要约定好谁来发送，发送方的 USART_CR1 寄存器中 RE 关闭， TE 使能。如果两边 UART 都试图发送数据，将产生发送冲突（硬件不会阻碍 USART 的发送：当发送使能位 TE 开启，只要写 USART_DR，TX 就会发送数据）。

15.3.12 硬件流控

USART 模块支持使用 nCTS 输入和 nRTS 输出，以控制 2 个器件间的串行数据流。

配置 USART_CR3 寄存器中的 RTSE 位和 CTSE 位，分别使能 RTS 和 CTS 流控制。

如果使能 RTS 流控制，只要 USART 接收器准备好接收新数据，则 nRTS 输出低电平，请求发送。当接收寄存器已满或产生接收错误（上溢错误，帧错误和奇偶校验错误）时，则 nRTS 输出高电平，指示发送方中止下一帧数据的发送。

如果使能 CTS 流控制，则发送器会在发送下一帧数据前检查 nCTS。如果 nCTS 输入为低电平， 则会立即发送下一帧数据（假设数据已准备好发送，即 TXE=0）；否则不会进行发送。在发送过程中 nCTS 的变化不会影响当前帧数据的发送。

当 USART_CR3.CTSE=1 时，只要 nCTS 发生变化，USART_SR.CTS 标志位便会由硬件自动置位，此时如果已配置 USART_CR3.CTSIEN 位为‘1’，则会产生中断。

15.3.13 中断

本 USART 模块可以支持下面的中断源：

表 15.1 UART 中断请求

中断事件	中断状态位	使能位	UART	同步模式
发送数据寄存器为空	TXE	TXEIEN	√	√
CTS 标志	CTS	CTSIEN	√	√
发送完成	TC	TCIEN	√	√
接收数据寄存器满	RXNE	RXNEIEN	√	√
检测到空闲线路	IDLE	IDLEIEN	√	-
奇偶校验错误	PE	PEIEN	√	-
噪声标志	NF	ERRIEN	√	-
上溢错误	ORE	ERRIEN	√	√
帧错误	FE	ERRIEN	√	-

注："√"表示使用该中断。"-"表示不使用该中断。

15.3.14 DMA

USART 可以利用 DMA 来搬运数据（需提前配置好 DMA），需要配置 USART_CR3.DMAMODE 位为‘1’来激活 DMA 模式。

利用 DMA 发送：DMA 搬运发送数据到 USART_DR 。使能 USART_CR1 的 UE，TE 后，只要发送缓冲为空，就请求 DMA 搬运发送数据到 USART_DR。

利用 DMA 接收：DMA 将 USART_DR 中的接收数据搬走。使能 USART_CR1 的 UE，RE 后，只要接收缓冲器中存在有效数据（USART_SR.RXNE=1），就请求 DMA 进行搬运操作。

15.4 寄存器

15.4.1 寄存器概览

表 15.2 USART 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	USART_SR	状态寄存器	0x0000_00C0
0x04	USART_DR	数据收发寄存器	0x0000_01FF
0x08	USART_BRR	波特率控制寄存器	0x0000_0000
0x0C	USART_CR1	控制寄存器 1	0x0000_0000

Offset	Acronym	Register Name	Reset
0x10	USART_CR2	控制寄存器 2	0x0000_0000
0x14	USART_CR3	控制寄存器 3	0x0000_6000

15.4.2 USART_SR 状态寄存器

地址偏移: 0x00
复位值: 0x0000 00C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CTS	Res.	TXE	TC	RXNE	IDLE	ORE	NF	FE	PE
						rcw0		r	r	rcw0	r	r	r	r	r

位	字段	描述
31:10	Reserved	保留,必须保持复位值
9	CTS *Note 1	CTS 标志 0：CTS 线上未 发生状态变化 1：CTS 线上发生状态变化
8	Reserved	保留,必须保持复位值
7	TXE	发送数据寄存器为空标志 0：发送数据寄存器非空（数据未传送到移位寄存器） 1：发送数据寄存器为空（数据已送到移位寄存器） TXE 位由硬件自动置‘1’及清‘0’，数据未传送到移位寄存器时硬件自动清零该位（写入 DR 寄存器时）；当 TE=0 或数据由 DR 传送至移位寄存器时硬件自动置位该位。
6	TC	发送完成标志 0：发送未完成 1：发送完成 TC 清零的条件： 在 TE=1 时向数据寄存器写入发送数据。 TC 的置位条件： TE=0 或数据帧最后一位送出时没有写 USART_DR 来更新发送数据寄存器。
5	RXNE *Note 1	接收数据寄存器不为空标志 0：未接收到有效数据 1：接收到有效数据 注：RXNE 位由硬件置‘1’及清‘0’，用户也可以通过向该位写入‘0’来清零。接收到有效数据时硬件自动将 RXNE 置‘1’，读取接收数据后硬件自动将 RXNE 清零。
4	IDLE *Note 2	空闲帧检测标志 0：未检测到空闲帧 1：检测到空闲帧 UART 检测到空闲帧时，该位由硬件自动置‘1’。
3	ORE *Note 2	接收溢出错误标志 0：无接收溢出错误 1：检测到接收溢出错误 注：在 RXNE=1（已有可读数据），又接收到一帧新的数据，该位将由硬件自动置‘1’。
2	NF *Note 2	噪声检测标志 0：未检测到噪声 1：检测到噪声 注：当在接收的信号线上检测到噪声时，该位由硬件自动置‘1’。
1	FE *Note 2	接收帧错误标志 0：无接收帧错误 1：发生接收帧错误 该位由硬件自动置‘1’，置位条件： 异步模式（UART）时，接收数据帧的停止位为低电平。 注：FE=1 时，接收的数据会从移位寄存器传送到数据寄存器，但不产生 RXNE 中断请求， 同时将停止后续的数据接收动作。

位	字段	描述
0	PE *Note 2	奇偶校验错误标志 0：无奇偶校验错误 1：奇偶校验错误 在接收数据时检测到了奇偶校验错误，该位由硬件自动置‘1’。 注：PE=1 时，接收的数据会从移位寄存器传送到数据寄存器，但不产生 RXNE 中断请求， 同时将停止后续的数据接收动作。

*注 1：通过软件写‘0’可将该位清零。
*注 2：通过软件序列可将该位清零（读取状态寄存器，然后对 USART_DR 数据寄存器执行读访问）。

15.4.3 USART_DR 数据寄存器

地址偏移: 0x04
复位值: 0x0000 01FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							DR[8:0]								
							rw								

位	字段	描述
31:9	Reserved	保留,必须保持复位值
8:0	DR[8:0]	发送/接收数据寄存器 包含接收到的数据字符，或要发送的数据字符，取决于所执行的操作是“读取”操作还是“写入”操作：读取时，表示接收到的数据；写入时，表示准备要发送的数据。 注：最高位 DR[8] 只在异步模式（UART）且数据长度为 9 位（DL=1）时有效。

15.4.4 USART_BRR 波特率寄存器

地址偏移: 0x08
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												MFD [15:12]			
												rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MFD [11:0]												FFD[3:0]			
rw												rw			

位	字段	描述
31:16	Reserved	保留,必须保持复位值
19:4	MFD [15:0]	波特率整数分频 这 16 位用于定义 USART 波特率的整数分频。 使能发送或接收（TE 或 RE 设定为 1）之前，用户应根据波特率需求配置该整数分频值。
3:0	FFD[3:0]	波特率小数分频 这 4 位用于定义 USART 波特率的小数分频。 使能发送或接收（TE 或 RE 配置为‘1’）之前，用户应根据波特率需求配置该小数分频值。 注：配置 FFD[3:0]= 4'h0, 则小数分频无效。异 步模式（ UART ）且 USART_CR1.OVER8=1 时，最高位 FFD[3] 无效，用户应配置 FFD[3]=0。在同步模式时，小数分频无效，用户应配置 FFD[3:0]= 4'h0。

15.4.5 USART_CR1 控制寄存器 1

地址偏移: 0x0C
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														SAS	MLS
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVER8	Res.	UE	DL	Res.	PCE	PS	PEIEN	TXEIEN	TCIEN	RXNEIEN	IDLEIEN	TE	RE	Res.	SBK
rw		rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw		rw

位	字段	描述
31:18	Reserved	保留,必须保持复位值
17	SAS	同步/异步模式选择位 0：异步模式（UART）（asynchronous） 1：同步模式（synchronous） 注：用户应在 TE=0 和 RE=0 时配置此位。
16	MLS	MSB/LSB 方式选择位 0：LSB 方式 1：MSB 方式 注：用户应在 TE=0 和 RE=0 时配置此位。
15	OVER8	UART 过采样模式 0：16 倍过采样 1：8 倍过采样 注：用户应在 TE=0 和 RE=0 时配置此位。
14	Reserved	保留,必须保持复位值
13	UE	USART 使能 0：禁止 USART 预分频器和引脚输出 1：使能 USART 该位清零后，USART 预分频器和输出将停止，并会结束当前传输以降低功耗。 注：该位由用户置 ‘1’ 和清零。
12	DL	数据长度 0：8 位 1：9 位 注：用户应在 TE=0 和 RE=0 时配置此位。
11	Reserved	保留,必须保持复位值
10	PCE	奇偶校验控制使能 0：禁止奇偶校验功能 1：使能奇偶校验功能 注：该位由用户置 ‘1’ 和清零。同步模式时应配置 PCE=0（复位值）。
9	PS	校验模式 0：偶校验 1：奇校验 注：该位由用户置 ‘1’ 和 清零，只在 PCE=1 时有效。
8	PEIEN	PE 中断使能 0：禁止 PE 中断请求 1：允许 PE 中断请求 注：该位由用户置 ‘1’ 和清零。
7	TXEIEN	TXE 中断使能 0：禁止 TXE 中断请求 1：允许 TXE 中断请求 注：该位由用户置 ‘1’ 和清零。
6	TCIEN	传送完成中断使能 0：禁止 TC 中断请求 1：允许 TC 中断请求 注：该位由用户置 ‘1’ 和清零。
5	RXNEIEN	RXNE 中断使能 0：禁止 RXNE 中断请求 1：允许 RXNE 中断请求 注：该位由用户置 ‘1’ 和清零。
4	IDLEIEN	IDLE 中断使能 0：禁止 IDLE 中断请求 1：允许 IDLE 中断请求 注：该位由用户置 ‘1’ 和清零。

位	字段	描述
3	TE	发送器使能 0：禁止发送器 1：使能发送器 注：该位由用户置‘1’和清零。在同步模式下，如需同时收发，用户必须同时配置 TE 和 RE 位，以保证时钟与数据收发的时序正常。
2	RE	接收器使能 0：禁止接收器 1：使能接收器 注：该位由用户置‘1’和清零。在同步模式下，如需同时收发，用户必须同时配置 RE 和 TE 位，以保证时钟与数据收发的时序正常。
1	Reserved	保留,必须保持复位值
0	SBK	发送断开帧 0：不发送断开帧 1：发送断开帧 该位用于发送断开帧，可由用户置‘1’，并在发送完断开帧后由硬件自动清零。

15.4.6 USART_CR2 控制寄存器 2

地址偏移: 0x10
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWAP	Res.	STOP[1:0]		Res.	CPOL	CPHA	Res.								
rw		rw			rw	rw									

位	字段	描述
31:15	Reserved	保留,必须保持复位值
15	SWAP	输入与输出引脚交换 0：IO 引脚功能不交换 1：IO 引脚功能的输入与输出交换 注：SWAP 置位后，GPIOx_CRL 寄存器的 MODE 需要更改，如：原输入模式变为输出模式。
14	Reserved	保留,必须保持复位值
13:12	STOP[1:0]	停止位 UART 模式： 00：1 个停止位 10：2 个停止位 01：保留 11：保留
11	Reserved	保留,必须保持复位值
10	CPOL	时钟极性 0：空闲时，时钟为低电平。 1：空闲时，时钟为高电平。 注：该位与 CPHA 位结合使用可获得所需的时钟/数据关系（仅在同步时钟模式下有效）。
9	CPHA	时钟相位 0：在时钟第一个变化沿捕获数据 1：在时钟第二个变化沿捕获数据 注：该位与 CPOL 位结合使用可获得所需的时钟/数据关系（仅在同步时钟模式下有效）。
8:0	Reserved	保留,必须保持复位值

15.4.7 USART_CR3 控制寄存器 3

地址偏移: 0x14
复位值: 0x0000 6000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.		TXTOG	RXTOG	Reserved											CKINE
		rw	rw												rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.				ONEBIT	CTSIEN	CTSE	RTSE	Res.	DMAMODE	Res.		HDSEL	Res.		ERRIEN
				rw	rw	rw	rw		rw			rw			rw

位	字段	描述
31:30	Reserved	保留,必须保持复位值
29	TXTOG	发送取反位 0：发送取反功能无效 1：发送信号电平取反
28	RXTOG	接收取反 0：接收取反功能无效 1：接收信号电平取反
27:17	Reserved	保留,必须保持复位值
16	CKINE	同步模式下时钟输入许可 此位用于控制时钟是否由外部输入（CR1.SAS 位为‘1’时该位配置有效）： 0：时钟不由外部输入 1：时钟由外部输入 注：软件应在 TE=0 和 RE=0 时配置此位。
15:12	Reserved	保留,必须保持复位值
11	ONEBIT	UART 单次采样方式使能 0：三次采样（多数判决） 1：单次采样 注：用户应在 TE=0 和 RE=0 时配置此位。当选择一个采样位方法后，噪声检测标志（USART_SR.NF）失效。
10	CTSIEN	CTS 中断使能 0：禁止 CTS 中断请求 1：允许 CTS 中断请求
9	CTSE	CTS 使 能 0：禁止 CTS 硬件流控制 1：使能 CTS 硬件流控制
8	RTSE	RTS 使 能 0：禁止 RTS 硬件流控制 1：使能 RTS 硬件流控制
7	Reserved	保留,必须保持复位值
6	DMAMODE	DMA 方式使能位 0:选择轮询或中断方式 1:选择 DMA 方式
5:4	Reserved	保留,必须保持复位值
3	HDSEL	单线半双工选择 0：全双工模式 1：半双工模式
2:1	Reserved	保留,必须保持复位值
0	ERRIEN	错误中断使能 0：禁止错误中断请求 1：允许错误中断请求 错误中断包括 FE，ORE，NF 三种。 注：当使用 DMA 对 USART 进行 DR 的读写（USART_CR3.DMAMODE= 1）时，应配置 ERRIEN=1，以许可向 CPU 发出通信异常的中断请求。

16 ADC 模数转换

16.1 简介

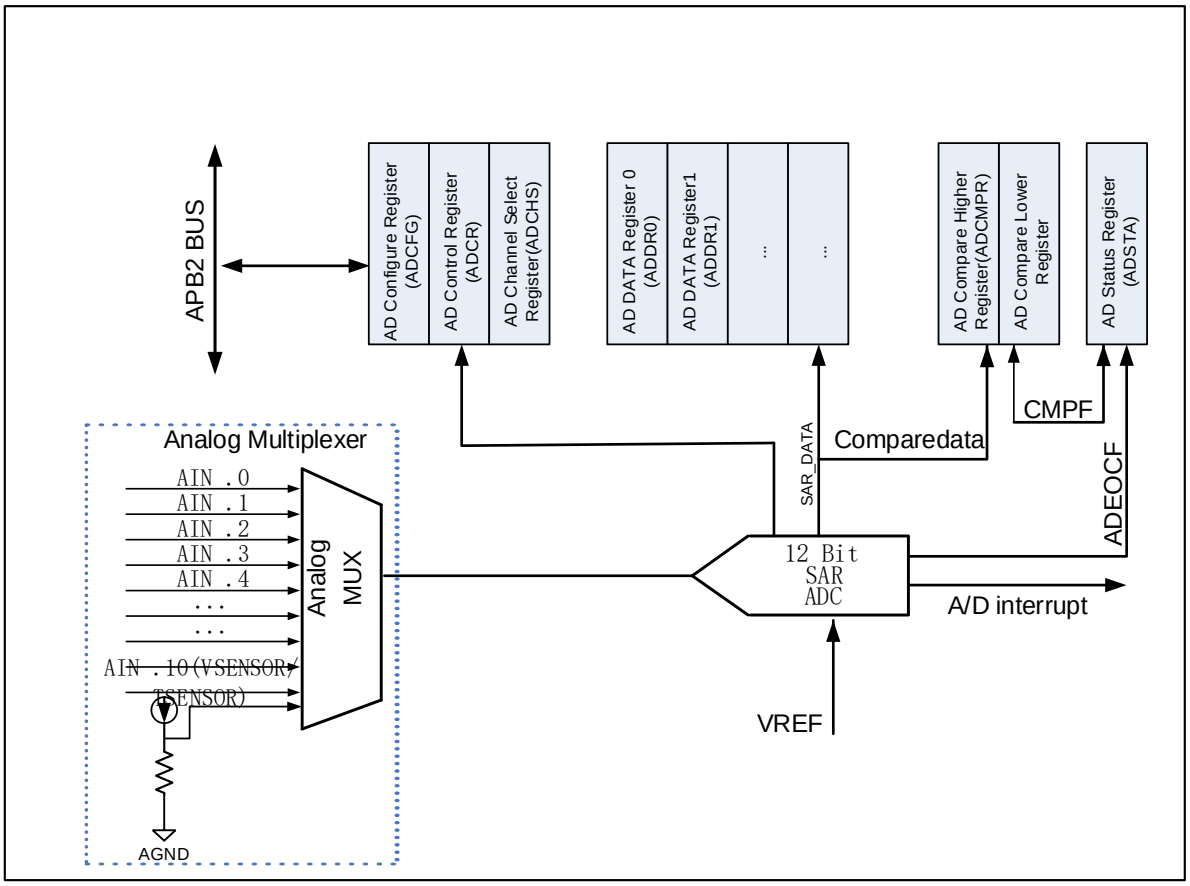
ADC 是 12 位的逐次逼近型（SAR）模拟数字转换器，可以将模拟信号转换成数字信号。

ADC 有 11 个通道可测量内部或外部信号源，其中 ADC 有 10 路外部输入通道和 1 路内部通道。ADC 的通道可以单次、单周期和连续进行转换。根据不同的方式又可以选择普通通道转换、任意通道转换、注入通道转换。

ADC 的输入时钟不得超过 16M,他是由 APB 时钟(PCLK)分频产生。

16.2 功能框图

图 16-1 ADC 系统框图



注：T_SENSOR(温度传感器)或 V_SENSOR(内部参考电压)通道在 ADC 的 AIN10 通道。

16.3 主要特性

- **高达 1Msps 转换速率**
- **支持普通通道转换**
  - 单次转换模式：在指定通道完成一次转换
  - 单周期扫描模式：对所有指定通道（从低序号通道到高序号通道，或从高序号通道到低序号通道）完成一个周期转换
  - 连续扫描模式：连续执行单周期扫描模式直到软件停止 A/D 转换。若需要修改转换通道只能停止 A/D 转换，等待完成寄存器配置再重新开启转换
- **支持任意通道转换**
  - 单次转换模式：在指定通道完成一次转换
  - 单周期扫描模式：在所有指定通道按照通道设置完成一个周期转换
  - 连续扫描模式：连续执行单周期扫描模式直到软件停止 A/D 转换。若需要转换期间修改通道，用户不必停止转换，可配置相应通道寄存器，配置的新通道将在下一个扫描周期进行转换
- **支持注入通道转换**
  - 自动注入：在任意通道转换方式下，完成任意通道转换后自动开始进行注入通道工作
  - 事件注入：在任意通道转换方式下，注入事件发生后（包括软件和触发），如果当前转换正在进行，则立即停止当前任意转换后开始注入通道转换。如果当前无转换，则开始注入通道转换。注入通道转换完成后，继续按照配置完成任意通道转换直到 ADC_ADCR.ADST 位被软件或硬件清除为止。
- **可编程通道采样时间**
- **最高 12 位可编程分辨率 SAR**
- **支持 DMA 传输**

- **A/D 转换开始条件**
  - 软件启动
  - 触发启动，可配置触发延时
- **模拟看门狗功能。转换结果与指定的阈值区间进行比较，当转换值超出设定的阈值区间时，如果 ADC_ADCR.AWDIE 置位，则产生中断。**

16.4 中断

ADC 的中断及标志位如下表所示。当配置中断使能后，中断事件发生将产生相应的中断请求。

表 16.1 中断

中断	标志位
模拟看门狗比较器中断	AWDIF
通道序列转换结束中断	EOSIF
单通道转换结束中断	EOCIF
采样结束中断	EOSMPIF
注入通道序列转换结束中断	JEOSIF
注入通道转换结束中断	JEOCIF
注入通道采样结束中断	JEOSMPIF

16.5 DMA

A/D 转换结果存储在数据寄存器 ADC_ADDATA 中，当多个通道连续转换时可以使用 DMA 访问保存数据，避免转换数据丢失。

DMA 使能开启，当通道转换结束后将产生 DMA 请求，将转换数据从 ADC_ADDATA 寄存器传输到软件指定的目的地址。

每个通道有对应的数据寄存器 ADC_ADDRn，可以访问这些寄存器获取各通道的转换结果。

16.6 功能描述

16.6.1 时钟

The ADC input clock is synchronous with PCLK. ADC clock control bit in the RCC controller should be set before using the ADC.

16.6.2 数据补偿

非注入通道数据没有数据补偿。

注入通道转换数据减去 ADC_JOFRn 寄存器定义的偏移量后保存到注入通道数据寄存器

ADC_JADDATA 和 ADC_JDRn。补偿后的结果可能为负值，因此注入通道转换的结果是有符号数据（数据对齐 SEXT 位是扩展的符号值）。

如果配置 ADC_JOFRn.JOFFSET 不为 0，则注入通道数据寄存器 ADC_JADDATA 和 ADC_JDRn 数据为有符号值，否则为无符号值。

下面表格描述了数据分辨率与数据补偿左对齐关系：

表 16.2 数据分辨率与数据补偿左对齐关系

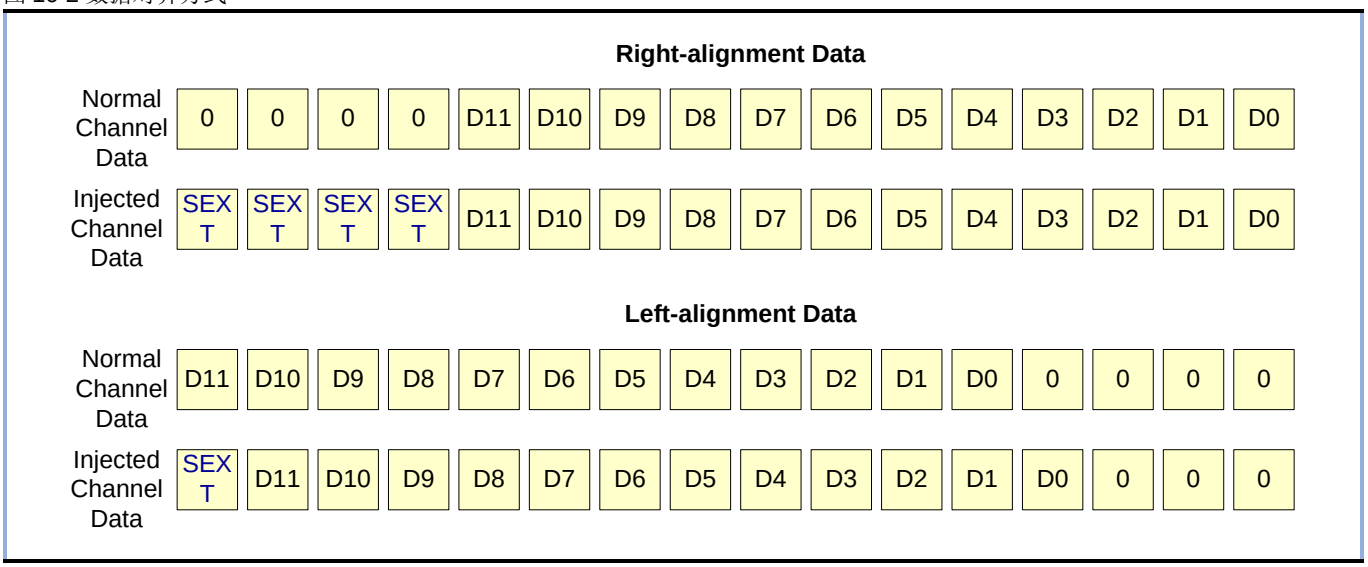
分辨率选项	模拟转换数据 SAR_DATA,左移	补偿值	结果	说明
12bit	SAR_DATA[11:0]	ADC_JOFRn.JOFFESET	12 位有符号数据	-
11bit	SAR_DATA[11:1],0	ADC_JOFRn.JOFFESET	11 位有符号数据	用户必须配置 ADC_JOFRn.JOFFSET[0]为“0”
10bit	SAR_DATA[11:2],00	ADC_JOFRn.JOFFESET	10 位有符号数据	用户必须配置 ADC_JOFRn.JOFFSET1[1:0]为“00”
9bit	SAR_DATA[11:3],000	ADC_JOFRn.JOFFESET	9 位有符号数据	用户必须配置 ADC_JOFRn.JOFFSET1[2:0]为“000”
8bit	SAR_DATA[11:4],0000	ADC_JOFRn.JOFFESET	8 位有符号数据	用户必须配置 ADC_JOFRn.JOFFSET1[3:0]为“0000”

16.6.3 数据对齐

通过配置 ADC_ADCR.ALIGN 位，可以选择转换后数据储存格式为左对齐或右对齐。

如下图所示：

图 16-2 数据对齐方式



16.6.4 可编程分辨率

ADC 转换有效位可通过 ADC_ADCFG.RSLTCTL[2:0]位配置，有效数据位默认是 12 位数据右对齐，通过配置低分辨率可加快数据转换速率。

16.6.5 可编程采样时间

ADC 转换通道的采样时间可通过 ADC_SMPR1 和 ADC_SMPR2 寄存器中的 SAMPCTL0~SAMPCTL10 配置。

ADC 的转换时钟 ADC_CLK 由 PCLK 分频得到，分频系数可通过设置 ADC_ADCFG. ADCPRE 位来确定，即 PCLK/(ADCPRE+2)分频后作为 ADC 转换时钟。ADC 使用若干个 ADC_CLK 周期对输入电压采样， 采样周期数目 m 可以通过配置 ADC_SMPR1 和 ADC_SMPR2 寄存器来更改。设置 ADC 分辨率为 n 位（n=8，9，10，11，12），每个通道采样周期为 m*T(T 为 ADC 模块的时钟周期)。

转换频率计算如下：

$F_{sample} = F_{ADC_CLK} /(m+n+0.5)$.

假设分辨率 n 配置为 12bit，每个通道采样周期 m 为 3.5T，则 $F_{sample}=F_{ADC_CLK}/16$.

总转换时间计算如下：

T_{CONV} = 采样时间+12.5 个转换周期。

例如当 ADC_CLK=16MHz，采样时间为 3.5T，$T_{CONV}=(3.5+12.5)*T=16*T$，总转换时间为 1μs。

16.6.6 数据通道寄存器

ADC 的转换完成后，非注入通道转换结果存储在寄存器 ADC_ADDATA 中，ADC_ADDATA.CHANNELSEL 表示当前数据对应的通道号。

注入通道转换结果存储在寄存器 ADC_JADDATA 中，ADC_JADDATA.JCHANNELSEL 表示当前数据对应的注入通道号。

16.6.7 通道选择

ADC 有 10 路外部输入通道 0~9、内部温度传感器或内部 1.2V 参考电压传感器位于通道 10。

不同工作方式下可以通过不同寄存器来使能通道：普通通道转换可设置寄存器 ADC_ADCHS；任意通道转换可设置寄存器 ADC_ANY_CFG、ADC_CHANY0、ADC_CHANY1，任意通道转换顺序从寄存器位 CHANY_SEL0~15 优先级由高到低依次转换；注入通道转换可设置寄存器 JSQR，注入通道转换顺序从寄存器位 JSQ0~3 优先级由高到低依次转换。

16.7 ADC 开关

ADC_ADCFG.ADEN 位可控制 A/D 转换模块，ADEN 位为 0 时，模拟转换模块进入掉电模式。设置 ADEN 位为 1，A/D 转换模块从掉电模式唤醒，通过清除 ADC_ADCFG.ADEN 位可以停止转换且 ADC 进入掉电模式，掉电后 ADC 几乎不耗电。

16.7.1 普通通道转换

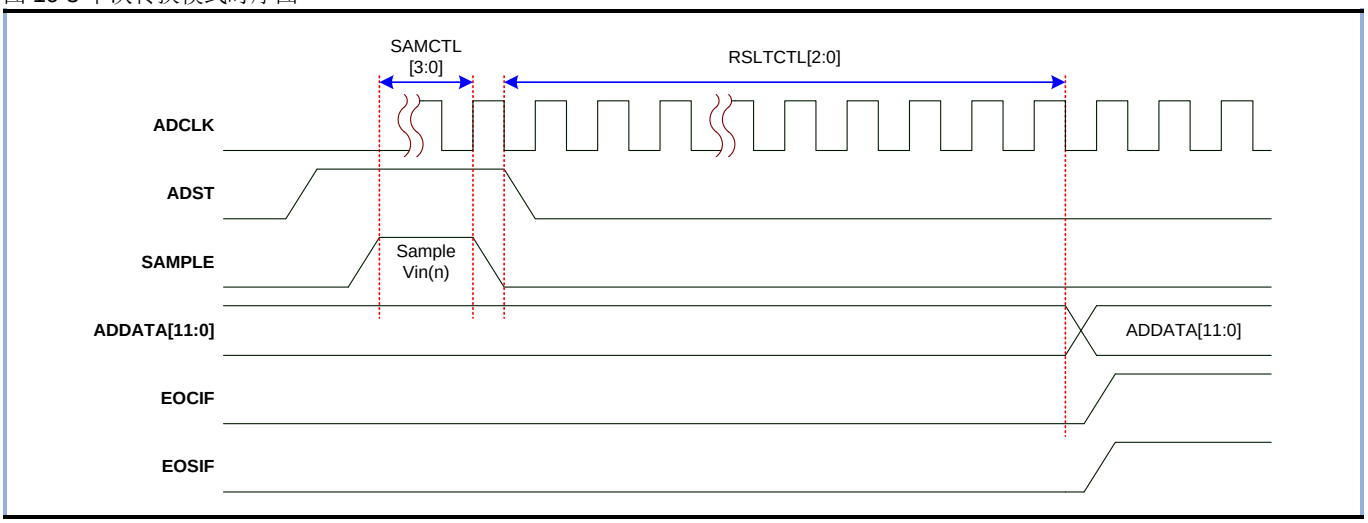
16.7.1.1 单次采样

通过配置 ADC_ADCR.ADMODE 选择单次转换。配置的通道经过一次转换后进入空闲状态。具体流程如下：

- **通过外部触发输入，或定时器触发或软件设置 ADC_ADCR.ADST 位启动 A/D 转换。**
- **缺省情况下，采样输出 SAMPL 在它置位 2.5 ADC 时钟后清除。**
- **经过 A/D 转换后，SAR 转换结果存储在数据寄存器 ADC_ADDATA 和 ADC_ADDRn 中。**
- **此时，状态寄存器中的 ADC_ADSTA.EOSI 位被置为 1；同时，如果控制寄存器中的 ADC_ADCR.EOSIE 位设置为 1，则生成 AD EOC（转换结束）中断请求。**
- **ADC_ADCR.ADST 位在 A/D 转换期间保持为 1。A/D 通道转换完成后，硬件自动清除 ADC_ADCR.ADST 位，A/D 转换器进入空闲状态。**

注：在单次转换模式下，如果通过软件启用多个通道，则转换最低序列的通道，而忽略其他通道。

图 16-3 单次转换模式时序图



16.7.1.2 单周期扫描模式

配置 ADC_ADCR.ADMODE 为单周期转换，在单周期扫描模式下，通过配置 ADC_ADCR.SCANDIR 选择扫描通道方向，按 ADC_ADCHS.CHENy(y=0~10)使能的通道顺序进行 A/D 转换，操作步骤如下：

- **触发或软件置位 ADC_ADCR.ADST 可以开启 A/D 转换，触发事件可配置触发延时，方向设置默认从最小序号通道到最大序号通道的 A/D 转换。**
- **通道输出按照转换通道配置有序输出。**
- **各通道的 A/D 转换结束后，A/D 转换结果 SAR_DATA 将有序装载到相应通道的数据寄存器 ADC_ADDATA 和 ADC_ADDRn 中，当前通道转换结束后 ADC_ADSTA_EXT.EOCIF 标志被置位，如果设置转换结束中断，则产生通道转换结束中断请求。序列转换结束后 ADC_ADSTA.EOSIF 标志被置位，ADC_ADSTA.EOSIF 序列转换结束标志被置位，如果设置使能了序列转换结束中断，则产生序列转换结束中断请求。**
- **所有 A/D 通道转换结束后，ADC_ADCR.ADST 位自动硬件清 0，A/D 转换器会进入空闲状态。**

图 16-4 单周期扫描下使能通道转换时序图 （通道方向从高到低）

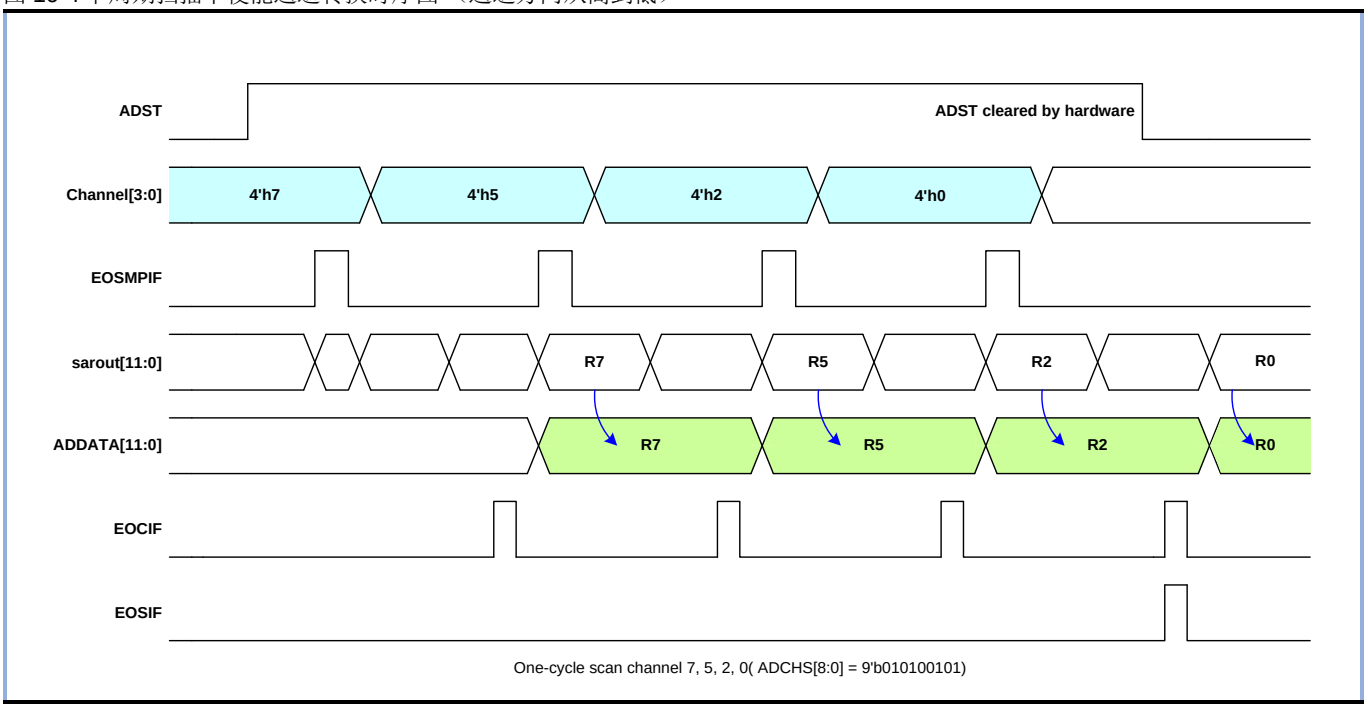
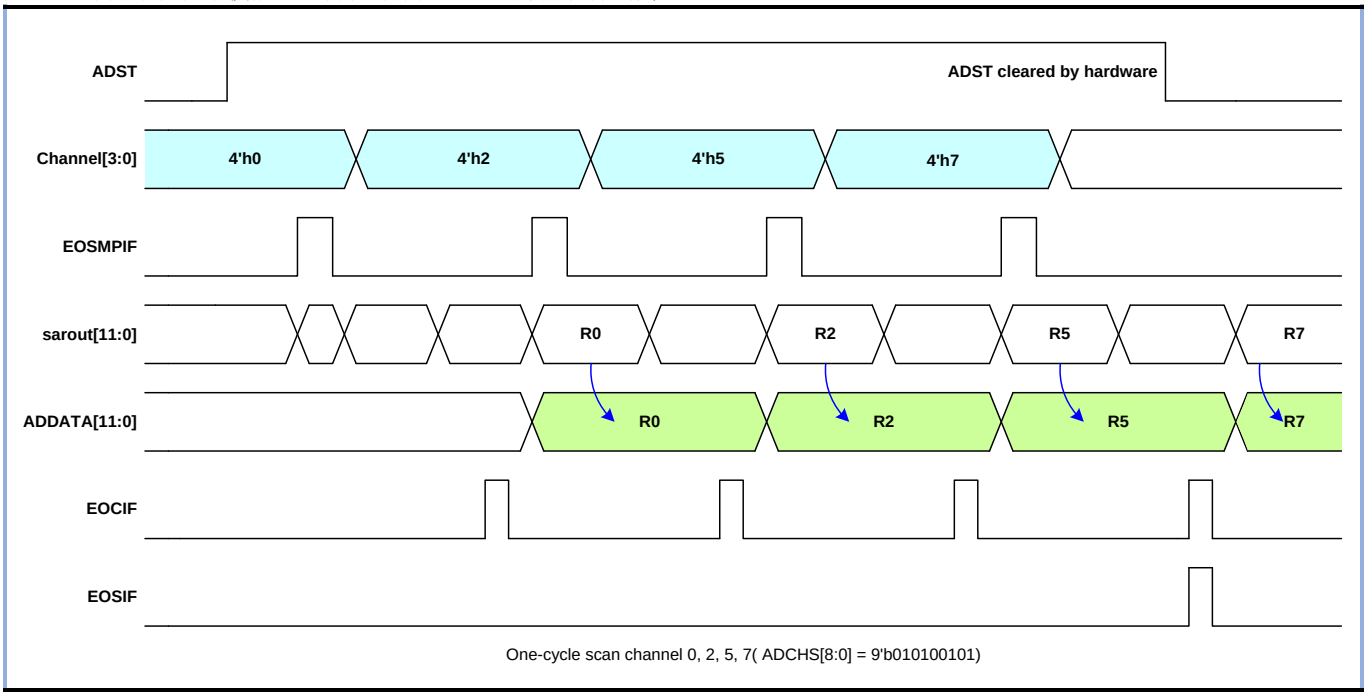


图 16-5 单周期扫描下使能通道转换时序图 （通道方向从低到高）



16.7.1.3 连续扫描模式

配置 ADC_ADCR.ADMODE 为连续转换，在连续扫描模式下，通过配置 ADC_ADCR.SCANDIR 选择扫描通道方向，按 ADC_ADCHS.CHENy(y=0~10)使能的通道顺序进行 A/D 转换，操作步骤如下：

- **触发或软件置位 ADC_ADCR.ADST 可以开启 A/D 转换，触发事件可配置触发延时，方向设置默认从最小序号通道到最大序号通道的 A/D 转换。**
- **通道输出按照转换通道配置有序输出。**
- **各通道的 A/D 转换结束后，A/D 转换结果 SAR_DATA 将有序装载到相应通道的数据寄存器 ADC_ADDATA 和 ADC_ADDRn 中，当前通道转换结束后 ADC_ADSTA_EXT.EOCIF 标志被置位，如果设置转换结束中断，则产生通道转换结束中断请求。序列转换结束后 ADC_ADSTA.EOSIF 标志被置位，ADC_ADSTA.EOSIF 序列转换结束标志被置位，如果设置使能了序列转换结束中断，则产生序列转换结束中断请求。**
- **只要 ADC_ADCR.ADST 位保持为 1，就可以持续进行 A/D 转换。当 ADC_ADCR.ADST 位被清除，转换停止，进入空闲状态。当 ADC_ADCR.ADST 位被清除，A/D 转换将结束当前转换。**

图 16-6 连续扫描模式使能通道转换时序图 （通道方向由低到高）

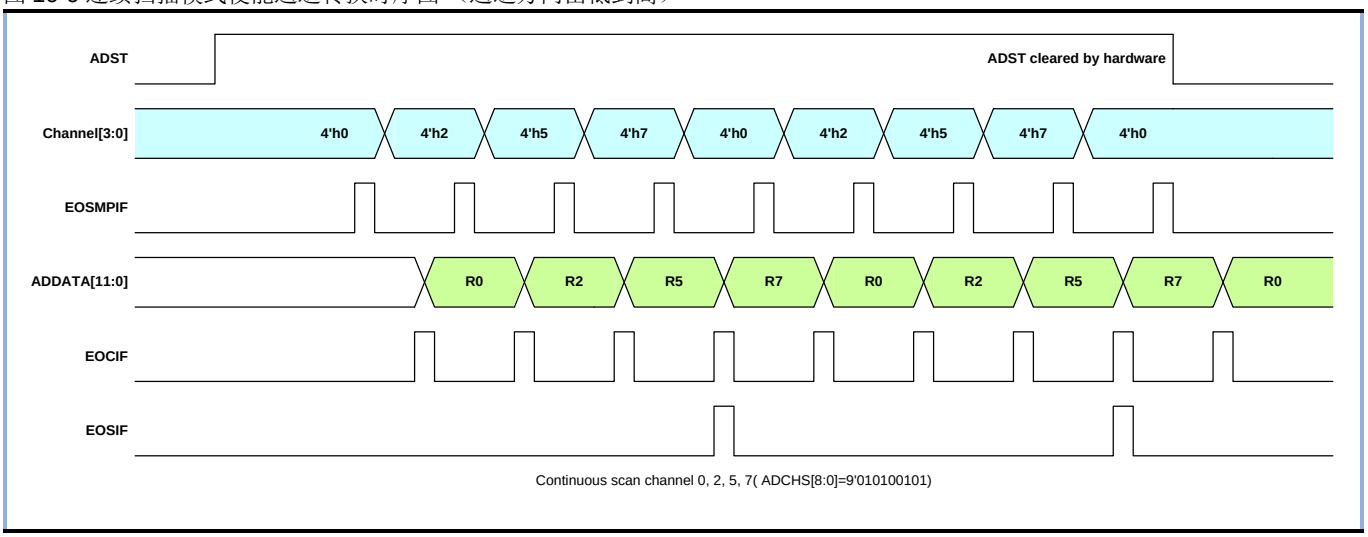
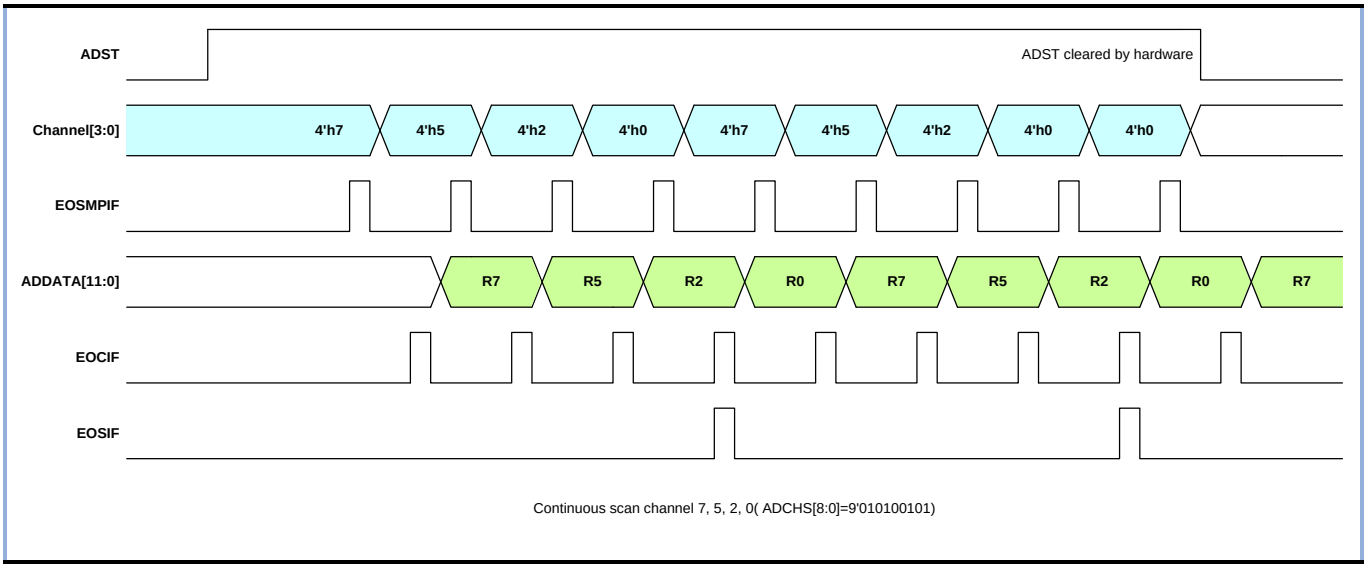


图 16-7 连续扫描模式使能通道转换时序图 （通道方向由高到低）



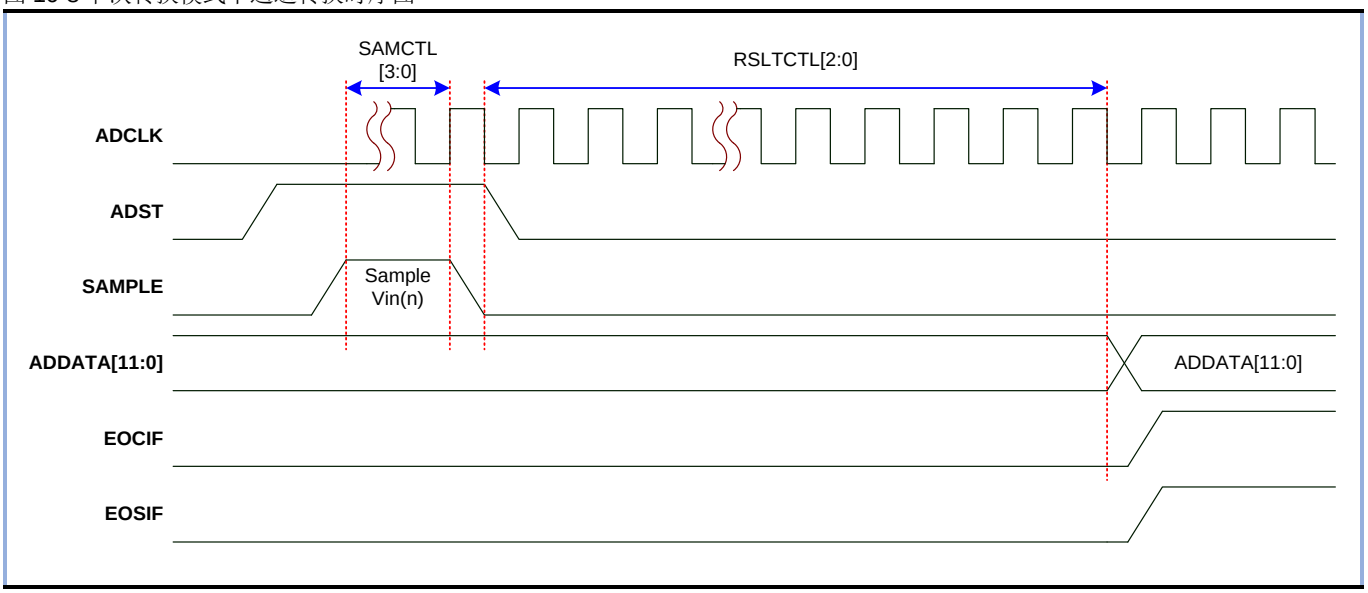
16.7.2 任意通道转换

16.7.2.1 单次转换模式

配置 ADC_ADCR.ADMODE 为单次转换，配置的通道执行一次转换操作后进入空闲状态。具体流程如下：

- **软件配置寄存器 ADC_ANY_CFG、ADC_CHANY0、ADC_CHANY1，所需的通道，和 DC_ANY_CR.CHANY_MDEN 位。**
- **通过触发或软件置位 ADC_ADCR.ADST，触发事件可配置触发延时，转换通道选择可通过寄存器 ADC_CHANY0 和 ADC_CHANY1 任意配置。**
- **采样输出 SAMPL 默认被置位 2.5 个 ADC 时钟后清除。**
- **A/D 转换结束后，A/D 转换结果 SAR_DATA 将装载到 ADC_ADDATA 和 ADC_ADDR0，通道转换结束后 ADC_ADSTA.EOSIF 标志被置位，如果设置使能了转换结束中断，则产生转换结束中断请求。**
- **所有 A/D 通道转换结束后，ADST 位将被硬件自动清除，A/D 转换器会进入空闲状态。**

图 16-8 单次转换模式下通道转换时序图

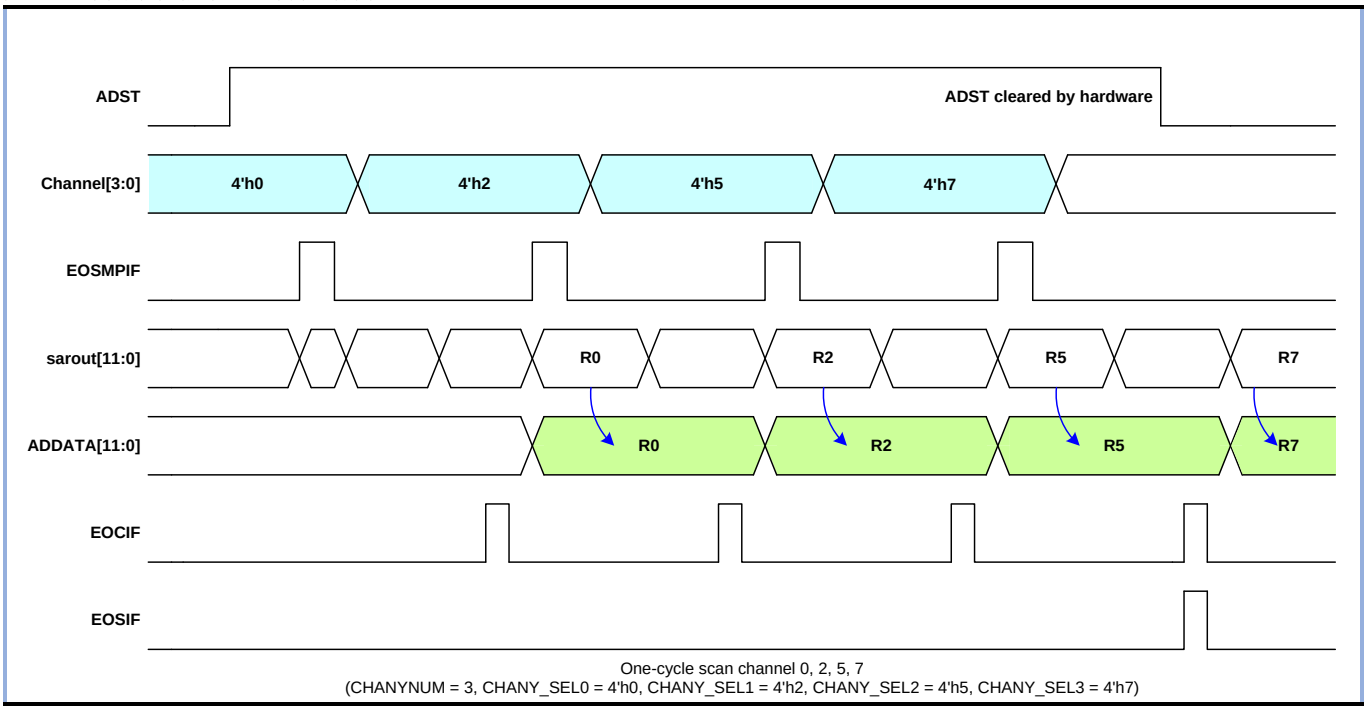


16.7.2.2 单周期扫描模式

配置 ADC_ADCR.ADMODE 为单周期转换，在单周期扫描模式下，A/D 转换通道按照软件配置执行一遍，具体流程如下：

- **软件配置寄存器 ADC_ANY_CFG、ADC_CHANY0、ADC_CHANY1，所需的通道和数量，和 ADC_ANY_CR.CHANY_MDEN 位。**
- **通过触发或软件置位 ADC_ADCR.ADST，触发事件可配置触发延时。A/D 转换通道数量由 ADC_ANY_CFG.CHANY_NUM 配置，每次转换的输入通道可以由寄存器位 CHANY_SEL0 到 CHANY_SEL15 任意配置，可以完全相同或不同。**
- **通道输出按照转换通道配置有序输出。**
- **各通道的 A/D 转换结束后，A/D 转换结果 SAR_DATA 将有序装载到相应通道的数据寄存器 ADC_ADDATA 和 ADC_ADDRn 中，当前通道转换结束后 ADC_ADSTA_EXT.EOCIF 标志被置位，如果设置转换结束中断，则产生通道转换结束中断请求。序列转换结束后 ADC_ADSTA.EOSIF 标志被置位，ADC_ADSTA.EOSIF 序列转换结束标志被置位，如果设置使能了序列转换结束中断，则产生序列转换结束中断请求。**
- **所有 A/D 通道转换结束后，ADST 位硬件自动清 0，A/D 转换器进入空闲状态。**
- **若在 A/D 转换过程中，软件更新 ADC_ANY_CFG、ADC_CHANY0、ADC_CHANY1 寄存器后，这些配置不会立即生效，等待所有通道转换结束后生效。软件置位 ADC_ADCR.ADST 开启下一次转换。**

图 16-9 单周期扫描下通道转换时序图



16.7.2.3 连续扫描模式

配置 ADC_ADCR.ADMODE 为连续转换，在连续扫描模式下，A/D 转换通道按照软件配置一直执行， 直到软件禁止。具体流程如下：

- **软件配置寄存器 ADC_ANY_CFG、ADC_CHANY0、ADC_CHANY1，所需的通道和数量，和 ADC_ANY_CR.CHANY_MDEN 位。**
- **通过触发或软件置位 ADC_ADCR.ADST，触发事件可配置触发延时。A/D 转换通道数量由 ADC_ANY_CFG.CHANY_NUM 配置，每次转换的输入通道可以由寄存器位 CHANY_SEL0 到 CHANY_SEL15 任意配置，可以完全相同或不同。**
- **通道输出按照转换通道配置有序输出。**
- **各通道的 A/D 转换结束后，A/D 转换结果 SAR_DATA 将有序装载到相应通道的数据寄存器 ADC_ADDATA 和 ADC_ADDRn 中，当前通道转换结束后 ADC_ADSTA_EXT.EOCIF 标志被置位，如果设置转换结束中断，则产生通道转换结束中断请求。序列转换结束后 ADC_ADSTA.EOSIF 标志被置位，如果设置使能了序列转换结束中断，则产生序列转换结束中断请求。**
- **只要 ADC_ADCR.ADST 位保持为 1，就可以持续进行 A/D 转换。当 ADC_ADCR.ADST 位被软件清除，当前 A/D 转换结束后停止，A/D 转换器进入空闲状态。**
- **若在 A/D 转换过程中，用户更新 ADC_ANY_CFG、ADC_CHANY0、ADC_CHANY1 寄存器后，这些配置不会立即生效，等待所有通道转换结束后生效，即下一个扫描周期开始新的通道转换**

图 16-10 连续扫描模式下通道转换时序图

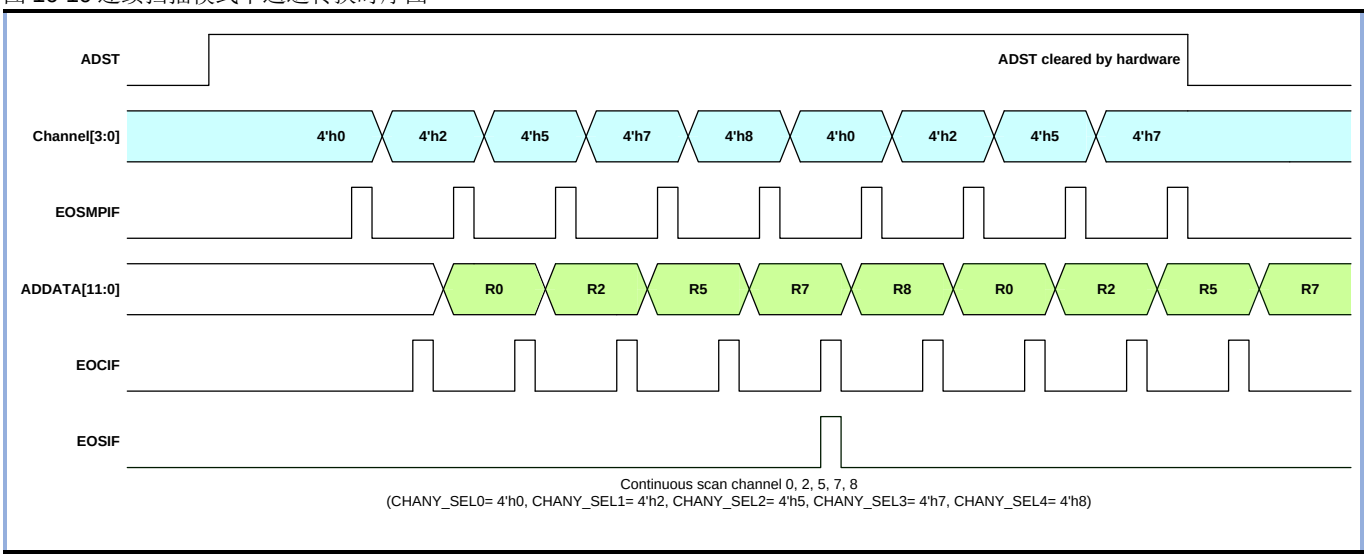
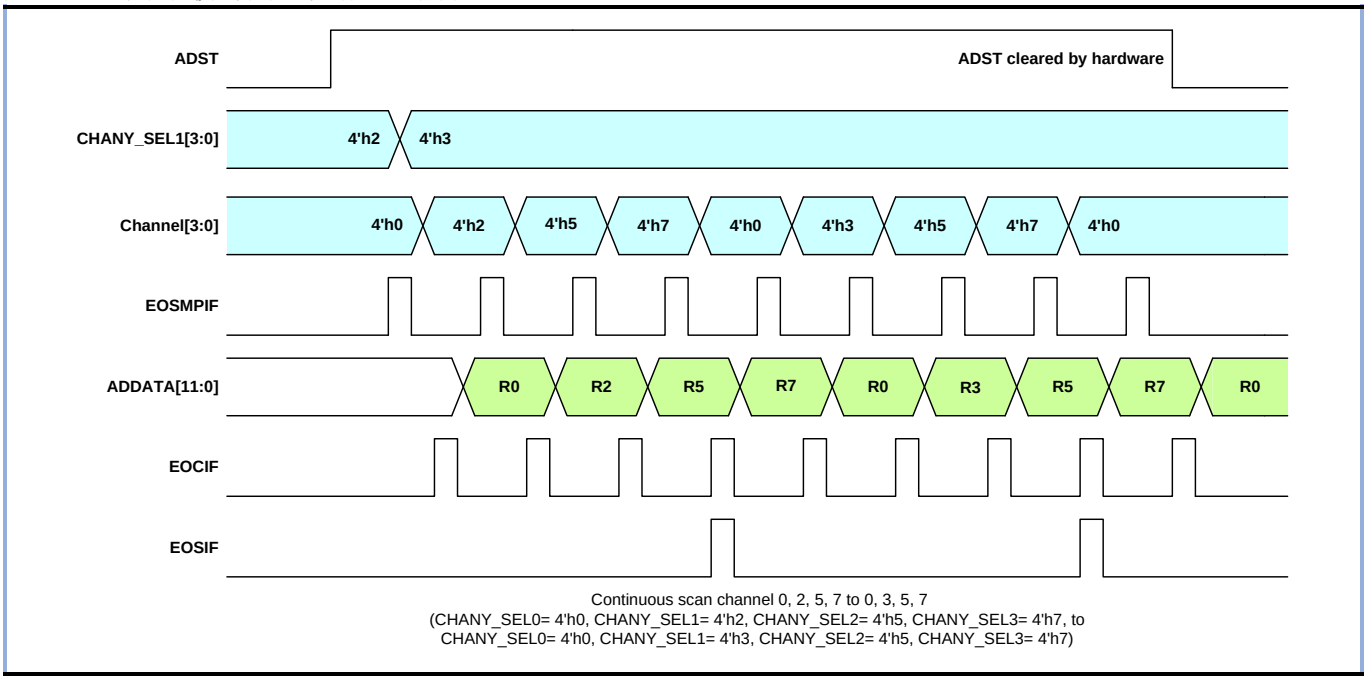


图 16-11 连续扫描模式下动态更新配置时序图



16.7.3 注入通道转换

16.7.3.1 自动注入转换

在配置任意通道转换后，如果使能了自动注入通道转换，任意通道转换结束后，自动进入注入通道的转换。如果任意通道是连续扫描模式，需要清除 ADC_ADCR.ADST 才能停止 A/D 转换。

- **软件配置寄存器 ADC_ANY_CFG,ADC_CHANY0,ADC_CHANY1,ADC_JSQR,置位 ADC_ANY_CFG.JAUTO,所需的通道和数量,最后是 ADC_ANY_CR.JCEN 和 ADC_ANY_CR.CHANY_MDEN 位。**
- **通过触发或软件置位 ADC_ADCR.ADST，触发事件可配置触发延时，A/D 转换任意通道数量由 ADC_ANY_CFG.CHANY_NUM 配置，每次转换的输入通道可以由寄存器位 CHANY_SEL0 到 CHANY_SEL15 任意配置。任意通道转换结束后开始进行注入通道转换， 转换通道数量由 JCHANY_NUM 配置，每次转换的输入通道可以由寄存器位 JSQ0 到 JSQ3 配置。**
- **通道输出按照转换通道配置有序输出。**
- **各通道的 A/D 转换结束后，A/D 转换结果 SAR_DATA 将有序装载到相应通道的数据寄存器 ADC_ADDATA 和 ADC_ADDRn、ADC_JDATA 和 ADC_JDRn 中，当前通道转换结束后 ADC_ADSTA_EXT.EOCIF 和 ADC_ADSTA_EXT.JEOCIF 转换结束标志被置位，如果设置使能了转换结束中断，则产生通道转换结束中断请求。连续转换结束后 ADC_ADSTA.EOSIF 和 ADC_ADSTA_EXT.JEOSIF 标志被置位，如果设置使能了序列转换结束中断，产生序列转换结束中断请求。**
- **如果是非连续扫描模式，ADC_ADCR.ADST 在转换结束后被硬件自动清除。连续模式下只要 ADC_ADCR.ADST 位保持为 1，就可以持续进行 A/D 转换。当 ADC_ADCR.ADST 位被清除，当前 A/D 转换结束后停止，A/D 转换器进入空闲状态。**

图 16-12 单周期扫描通道模式下自动注入通道转换时序图

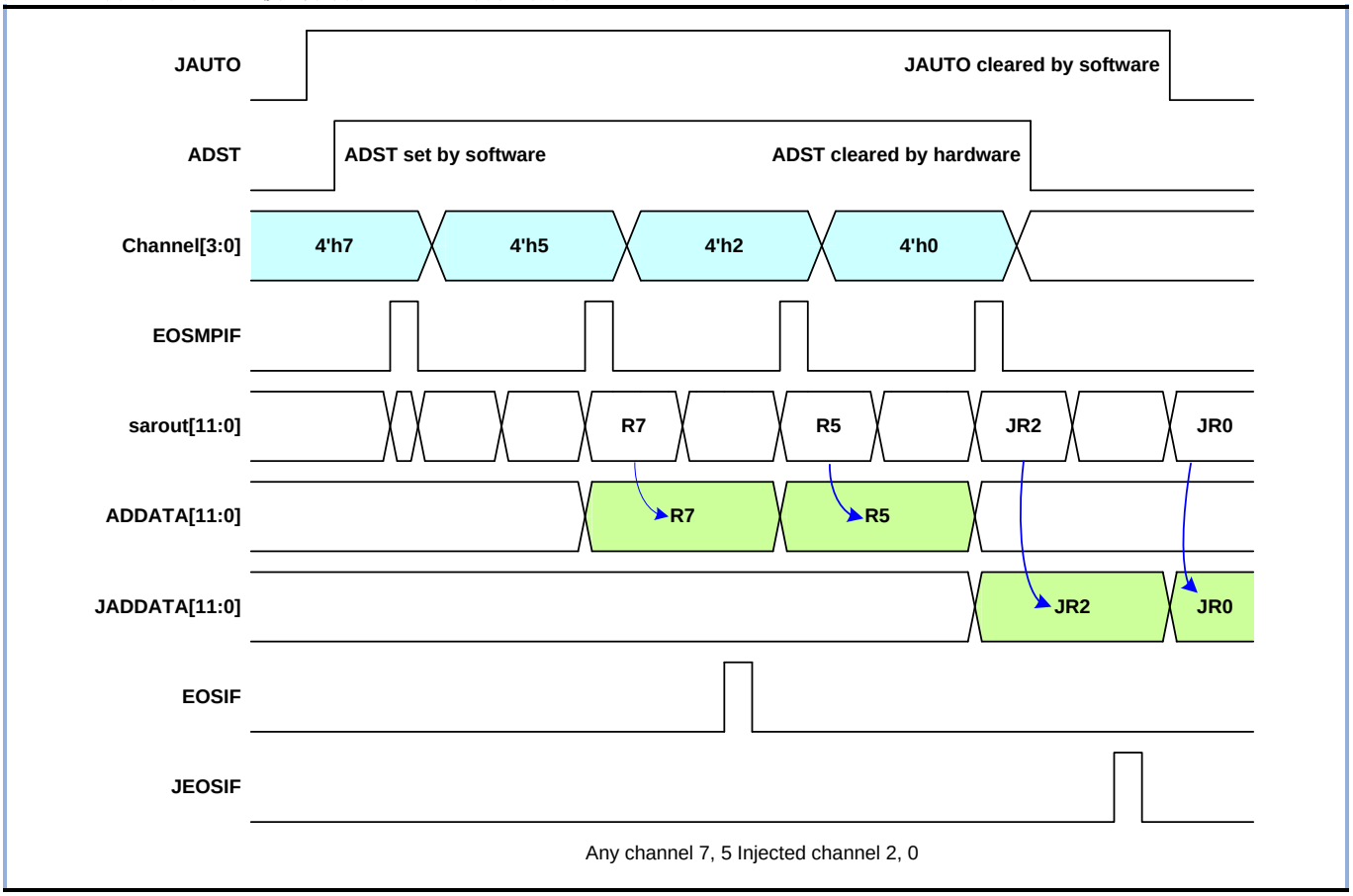
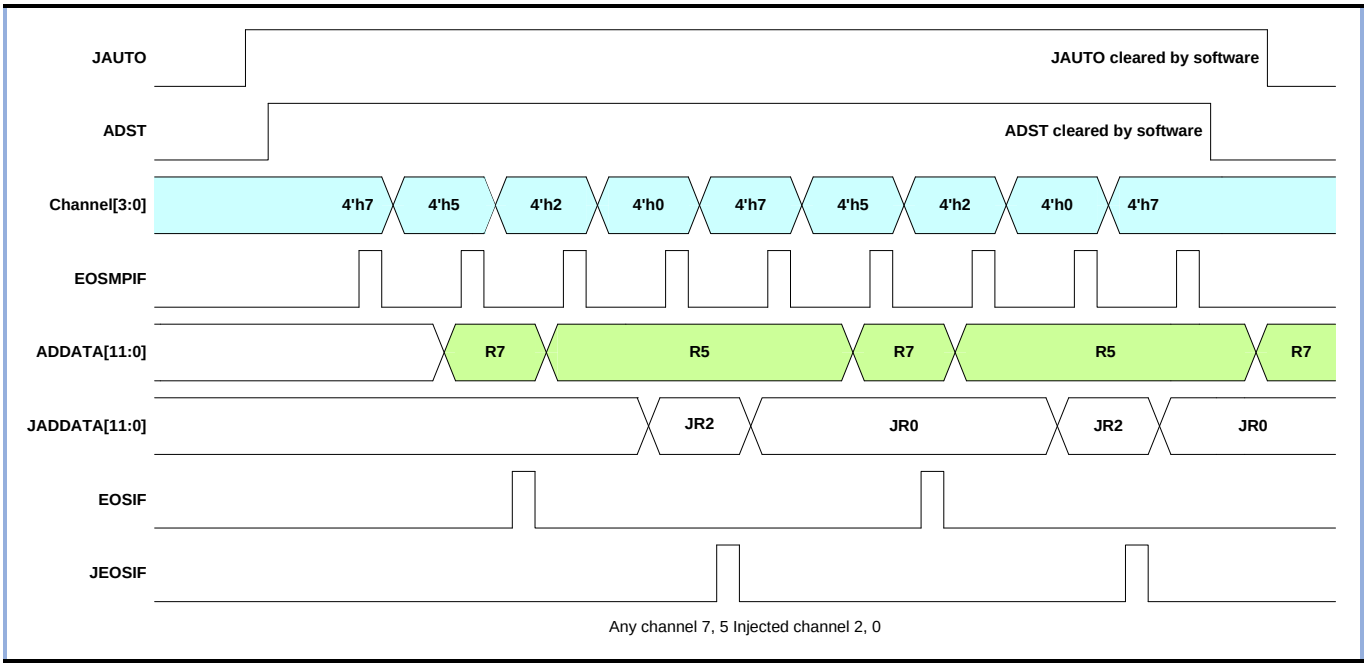


图 16-13 连续扫描模式下自动注入转换时序图



16.7.3.2 事件注入工作模式

关闭自动注入后，在任意通道转换方式下，如果当前任意通道转换正在进行，注入事件发生后（包括软件和触发），则立即停止当前转换后开始进行注入通道转换，等待所有的注入通道按照寄存器 ADC_JSQR 配置完成注入通道转换后，继续完成剩下的任意通道转换直到 ADC_ADCR.ADST 位被软件或硬件清除为止；如果当前无转换，则直接开始进行注入通道转换。

- **软件配置寄存器 ADC_ANY_CFG、ADC_CHANY0、ADC_CHANY1、ADC_JSQR，将需要转换的通道和数量配置结束后置位 ADC_ANY_CR.JCEN、ADC_ANY_CR.CHANY_MDEN。**
- **通过触发或软件置位 ADC_ADCR.ADST，触发事件可配置触发延时，A/D 转换任意通道数量由 ADC_ANY_CFG.CHANY_NUM 配置，每次转换的输入通道可以由寄存器位 CHANY_SEL0 到 CHANY_SEL15 任意配置。**
- **注入通道转换，转换通道数量由 JCHANY_NUM 配置，每次转换的输入通道可以由寄存器位 JSQ0 到 JSQ3 配置。**
- **通道输出按照转换通道配置有序输出。**
- **各通道的 A/D 转换结束后，A/D 转换结果 SAR_DATA 将有序装载到相应通道的数据寄存器 ADC_ADDATA 和 ADC_ADDRn、ADC_JDATA 和 ADC_JDRn 中，当前通道转换结束后 ADC_ADSTA_EXT.EOCIF 和 ADC_ADSTA_EXT.JEOCIF 转换结束标志被置位，如果设置使能了转换结束中断，则产生通道转换结束中断请求。连续转换结束后 ADC_ADSTA.EOSIF 和 ADC_ADSTA_EXT.JEOSIF 标志被置位，如果设置使能了序列转换结束中断，产生序列转换结束中断请求。**
- **如果是非连续扫描模式，ADC_ADCR.ADST 在转换结束后被硬件自动清除。连续模式下只要 ADC_ADCR.ADST 位保持为 1，就可以持续进行 A/D 转换。当 ADC_ADCR.ADST 位被清除，当前 A/D 转换结束后停止，A/D 转换器进入空闲状态。**

图 16-14 任意通道转换时事件注入通道转换时序图 1

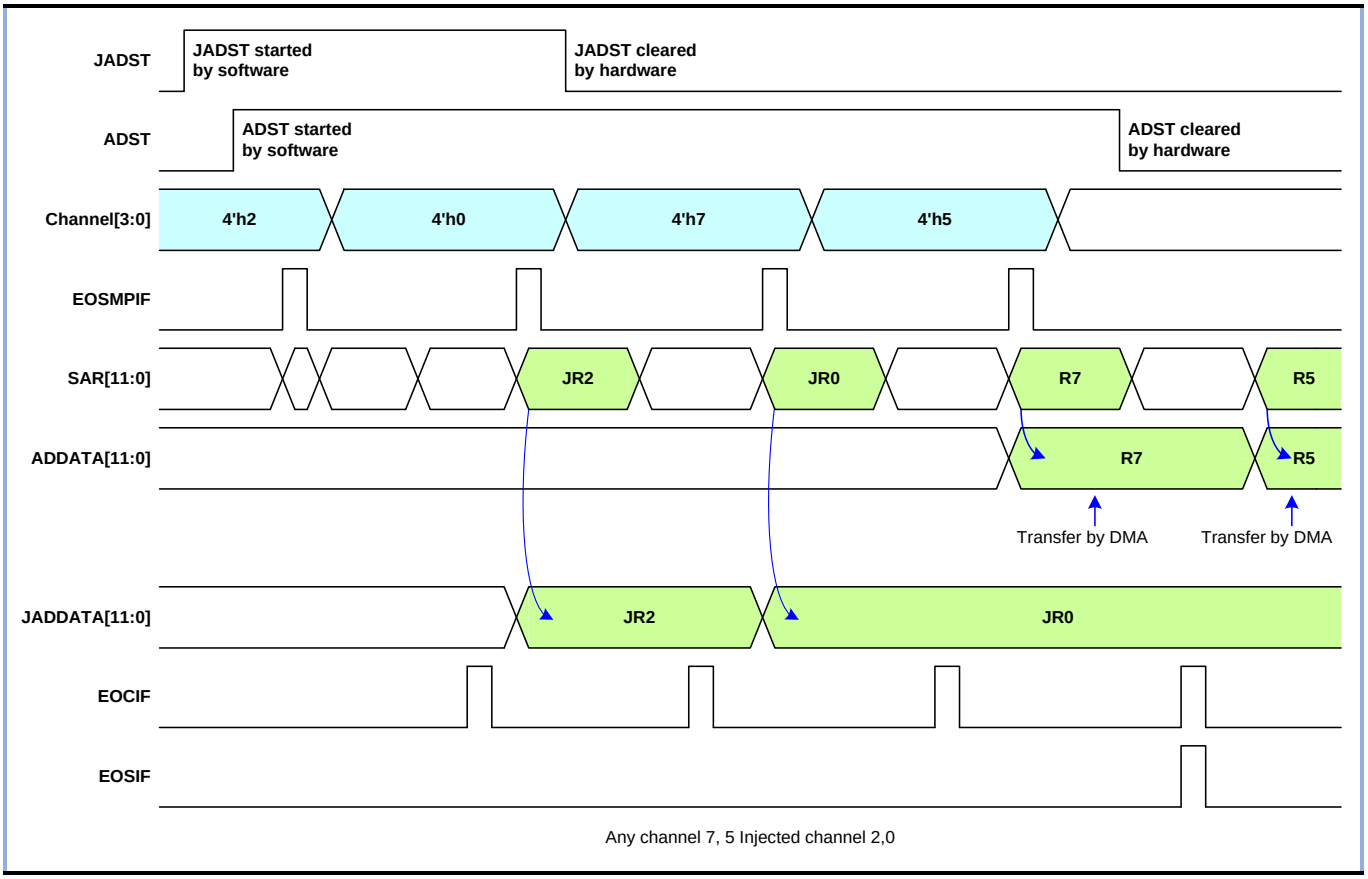
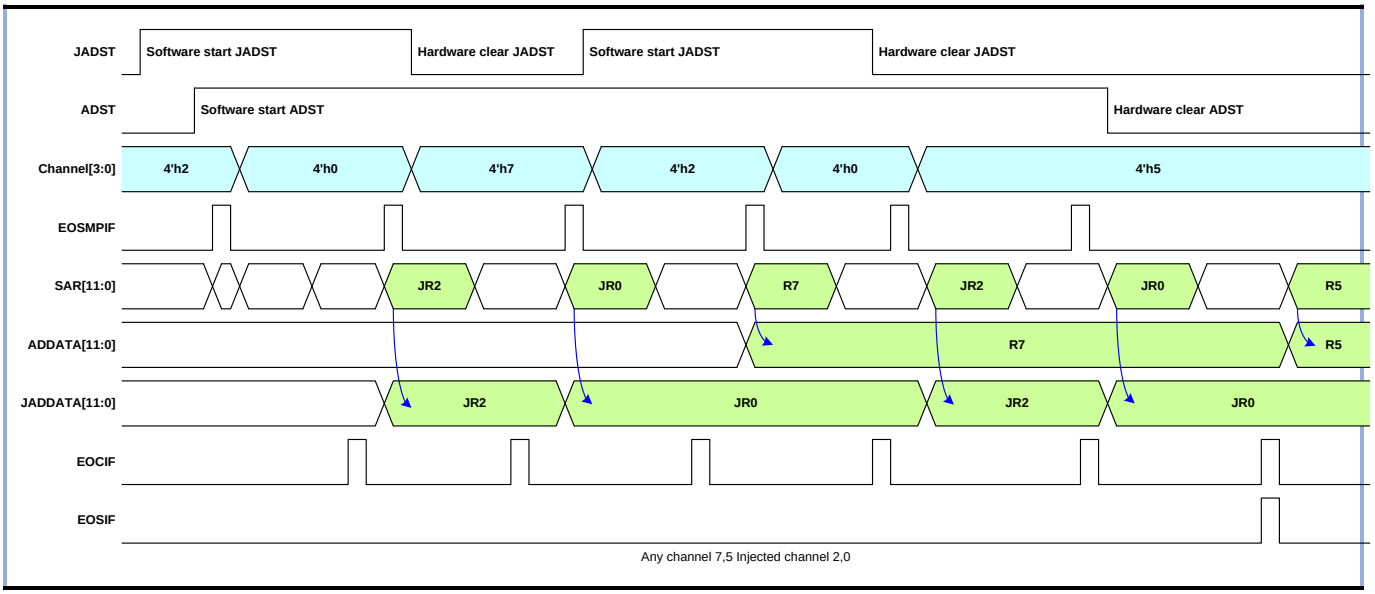


图 16-15 任意通道转换时事件注入通道转换时序图 2



16.7.4 ADC 触发信号

除了软件触发，ADC 转换的触发源还包括定时器和外部事件。

在触发信号产生后，延时 N（可配）个 PCLK 的时钟周期再开始采样。如果是触发扫描模式，只有第一个通道采样被延时，其余通道采样是在上一个通道转换结束后就立即开始。

如果设置 ADC_ADCR.TRGEN 位，则外部事件可以触发非注入通道转换。

通过设置 ADC_ADCR.TRGSEL 位可以选择非注入通道转换外部触发源。

具体的外部触发源选择情况，可以参考 A/D 控制寄存器 ADC_ADCR.TRGSEL 位的描述。外部触发可设置延时控制，具体参考 AD 控制寄存器 ADC_ADCR.TRGSHIFT 相关位的描述。

16.7.5 模拟看门狗

看门狗比较发生在数据对齐操作前。看门狗比较器提供了上限和下限两个比较寄存器。可配置寄存器位 ADC_ADCR.CMPCH 位选择监控通道。当 ADC_ADCMPR.CPMHDATA 大于或等于 ADC_ADCMPR.CPMLDATA 时，

若使能 ADC_ADCFG.AWDEN 非注入通道转换模拟看门狗使能且非注入通道结果大于或等于 ADC_ADCMPR.CMPHDATA 值或者小于 ADC_ADCMPR.CMPLDATA 值，状态寄存器 ADC_ADSTA.AWDIF 位置 1，使能 ADC_ADCFG.JAWDEN 注入通道转换模拟看门狗使能且注入通道结果大于或等于 ADC_ADCMPR.CMPHDATA 值或者小于 ADC_ADCMPR.CMPLDATA 值，状态寄存器 ADC_ADSTA.AWDIF 位也会置 1。

当 ADC_ADCMPR.CPMHDATA 小于 ADC_ADCMPR.CPMLDATA 时，若使能 ADC_ADCFG.AWDEN 非注入通道转换模拟看门狗使能且非注入通道结果等于 ADC_ADCMPR.CPMHDATA 值或者处于两个指定值之间，则状态寄存器 ADC_ADSTA. AWDIF 位会置 1。若使能 ADC_ADCFG.JAWDEN 注入通道转换模拟看门狗使能且注入通道结果等于 ADC_ADCMPR.CPMHDATA 值或者处于两个指定值之间，则状态寄存器 ADC_ADSTA. AWDIF 位也会置 1。

如果控制寄存器 ADC_ADCR.AWDIE 被置位，将产生中断请求。

16.7.6 内部温度传感器

内置的温度传感器仅用来检测器件内部的温度变化（TA）。如果需要测量精确的温度，则需要使用外置的温度传感器。

通过设置 ADC_ADCFG.VTSEN 位可以打开温度传感器，清除 VTSEN 位可以关闭温度传感器。

通过设置 ADC_ADCHS.CHENTS 位选择温度传感器通道。

温度数值计算如下：

T (℃) = ((Value * V_{DDA}-V_{25} *3300) / (4096*Avg_Slope)) +25

V_{DDA}：ADC 当前采样时的 VDDA 电压，单位 mV

V_{25}： 25℃时的温度传感器转换值，存放在 flash 空间 0x1FFFF7F6。

Value：ADC 的转换结果数据

Avg_Slope： 温度与电压曲线的平均斜率（以 mV/℃表示）

V_{25} 和 Avg_Slope 的典型值请参考数据手册温度传感器章节。

16.7.7 内部电压传感器

ADC 的内部电压信号源通道连接了一个内部参考电压 Vref(约 1.2V)，此通道可以把 1.2V 的参考电压转换为数字值，内部参考电压在出厂时会被测试记录，记录时采用 3.3V 作为 MCU 的供电电压，得到的记录值存放在 flash 空间 0x1FFFF7E0 低 12bit。用户可以根据该记录值推算出当前系统模拟参考电压值，计算公式如下：

Vref = (Vref_cal *3.3V) / 4096

Vref/ADC_ADDR(Vsensor) = VDDA/4096

VDDA = (Vref_cal * 3.3V) / ADC_ADDR(VSensor)

各变量定义如下：：

Vref: 内部参考电压值，单位 V;

Vref_cal: 内部参考电压出厂 ADC 转换值，flash 空间 0x1FFFF7E0 地址低 12bit 数值;

ADC_ADDR(Vsensor): ADC 内部电压通道转换值

内部参考电压有单独的使能位，可通过设置寄存器 ADC_ADCFG.VTSEN 位开启或关闭。

16.8 寄存器

16.8.1 寄存器概览

表 16.3 Overview of ADC 寄存器 register

Offset	Acronym	Register Name	Reset
0x00	ADC_ADDATA	数据寄存器	0x00000000
0x04	ADC_ADCFG	配置寄存器	0x00000000
0x08	ADC_ADCR	控制寄存器	0x00000000
0x0C	ADC_ADCHS	通道选择寄存器	0x00000000
0x10	ADC_ADCMPR	模拟看门狗比较寄存器	0x00000000
0x14	ADC_ADSTA	状态寄存器	0x00000000
0x18~0x40	ADC_ADDR 0~10	通道数据寄存器	0x00000000
0x58	ADC_ADSTA_EXT	扩展状态寄存器	0x00000000
0x5C	ADC_CHANY0	任意通道通道选择寄存器 0	0x00000000
0x60	ADC_CHANY1	任意通道通道选择寄存器 1	0x00000000
0x64	ADC_ANY_CFG	任意通道配置寄存器	0x00000000
0x68	ADC_ANY_CR	任意通道控制寄存器	0x00000000
0x70	ADC_SMPR1	采样配置寄存器 1	0x00000000
0x74	ADC_SMPR2	采样配置寄存器 2	0x00000000

Offset	Acronym	Register Name	Reset
0x7C~0x88	ADC_JOFR0~3	注入通道数据补偿寄存器	0x00000000
0x8C	ADC_JSQR	注入通道序列寄存器	0x00000000
0x90	ADC_JADDATA	注入数据寄存器	0x00000000
0xB0~0xBC	ADC_JDR0~3	注入通道数据寄存器	0x00000000
0xF0	ADC_LDATA	上一次转换数据寄存器	0x00000000
0xF4	ADC_TRGSUPR	外部规则触发事件抑制寄存器	0x00000000

16.8.2 ADC_ADDATA 数据寄存器

地址偏移: 0x00
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.										VAILD	OVERRUN	CHANNELSEL			
										r	r	r			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA															
r															

位	字段	描述
31:22	Reserved	保留,必须保持复位值.
21	VALID	数据有效标志位（只读） 1： DATA[11:0] 位数据有效 0： DATA[11:0] 位数据无效 通道转换完成后硬件置位，读 ADC_ADDATA 寄存器后该位自动清除
20	OVERRUN	数据覆盖标志位（只读） 1： DATA[11:0] 上一次转换数据被覆盖 0： DATA[11:0] 上一次转换数据未被覆盖 若数据装载至 DATA[11:0] 数据寄存器位之前，若上一次 DATA[11:0]没有被读取，则 OVERRUN 将置位，读 ADC_ADDATA 寄存器后该位自动清除。
19:16	CHANNELSEL	该 4 位显示当前数据寄存器中的数据所对应的通道(通道选择) 0000:表示当前数据寄存器所属通道为通道 0 0001:表示当前数据寄存器所属通道为通道 1 0010:表示当前数据寄存器所属通道为通道 2 0011:表示当前数据寄存器所属通道为通道 3 0100:表示当前数据寄存器所属通道为通道 4 0101:表示当前数据寄存器所属通道为通道 5 0110:表示当前数据寄存器所属通道为通道 6 0111:表示当前数据寄存器所属通道为通道 7 1000:表示当前数据寄存器所属通道为通道 8 1001:表示当前数据寄存器所属通道为通道 9 1010:表示当前数据寄存器所属通道为通道 10(对应数据为内部温度传感器或内部参考电压的转换数据) 其它:无效
15:0	DATA	12 位 A/D 当前通道转换结果（转换数据） 软件选择对齐方式。

16.8.3 ADC_ADCFG 配置寄存器

地址偏移: 0x04
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															JAWDEN
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	ADCPREL	Res.				RSLTCTL			ADCPREH			VTSEN		AWDEN	ADEN

	rw		rw	rw	rw	rw	rw

位	字段	描述
31:17	Reserved	保留,必须保持复位值.
16	JAWDEN	注入通道 A/D 模拟看门狗使能 1：注入通道 A/D 模拟看门狗使能 0：注入通道 A/D 模拟看门狗禁止
15	Reserved	保留,必须保持复位值
14	ADCPREL	ADC 时钟预分频低位 预分频系数 ADCPRE={ADCPREH, ADCPREL}
13: 10	Reserved	保留,必须保持复位值
9: 7	RSLTCTL	ADC 转换数据分辨率选择 000：12 位有效 001：11 位有效 010：10 位有效 011：9 位有效 100：8 位有效 其它：保留
6: 4	ADCPREH	ADC 时钟预分频高位 预分频系数 ADCPRE={ADCPREH, ADCPREL} ADC 时钟分频：div= (ADCPRE+2)
3:2	VTSEN	内部参考电压和温度传感器使能（电压传感器和温度传感器使能） 00：内部电压传感器以及内部温度传感器禁止 01：内部温度传感器使能 10：内部电压传感器使能 11：内部电压传感器使能
1	AWDEN	非注入通道模拟看门狗使能 1：非注入通道模拟看门狗使能 0：非注入通道模拟看门狗禁止
0	ADEN	A/D 转换使能 （ADC 使能） 1： 使能 0： 禁止

16.8.4 ADC_ADCR 控制寄存器

地址偏移: 0x08

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.				EOCIE	EOSMPIE	TRG_EDGE		Res.		TRGSHIFT			TRGSELH		SCANDIR
				rw	rw	rw				rw			rw		rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMPCH				ALIGN	ADMD		ADST	Res.	TRGSELL			DMAEN	TRGEN	AWDIE	EOSIE
rw				rw	rw		rw		rw			rw	rw	rw	rw

位	字段	描述
31:28	Reserved	保留,必须保持复位值
27	EOCIE	A/D 通道转换结束中断使能 1：使能 A/D 单次转换结束中断 0：禁止 A/D 单次转换结束中断 如果 EOCIF 置位，A/D 转换结束后产生中断请求。
26	EOSMPIE	A/D 通道采样结束中断使能 1：使能 A/D 采样结束中断 0：禁止 A/D 采样结束中断 若 EOSMPIF 置位，则在 A/D 采样结束后产生中断请求
25 : 24	TRG_EDGE	触发源边沿选择 00：双沿触发 01：下沿触发 10：上沿触发 11：保留

位	字段	描述
23:22	Reserved	保留,必须保持复位值.
21:19	TRGSHIFT	外部触发源采样延时 在触发产生后，延时 N 个 PCLK 的时钟周期再开始采样（N=1, 2, 3…）。 000：不延时 001：4 个周期 010：16 个周期 011：32 个周期 100：64 个周期 101：128 个周期 110：256 个周期 111：512 个周期 如果是触发扫描，则其它通道采样是在上一个转换结束后立即开始。
18 :17	TRGSELH	外部触发源选择高位 TRGSEL={TRGSELH,TRGSELL}
16	SCANDIR	ADC 通道扫描方向 在普通通道转换有效 1：ADC 通道选择寄存器按从高到低的顺序扫描 0：ADC 通道选择寄存器按从低到高的顺序扫描
15:12	CMPCH	模拟看门狗通道选择 0000： 选择通道 0 转换结果作为比较对象 0001： 选择通道 1 转换结果作为比较对象 0010： 选择通道 2 转换结果作为比较对象 0011： 选择通道 3 转换结果作为比较对象 0100： 选择通道 4 转换结果作为比较对象 0101： 选择通道 5 转换结果作为比较对象 0110： 选择通道 6 转换结果作为比较对象 0111 ： 选择通道 7 转换结果作为比较对象 1000： 选择通道 8 转换结果作为比较对象 1001： 选择通道 9 转换结果作为比较对象 1010： 选择通道 10 转换结果作为比较对象 1111 ： 选择所有扫描通道转换结果为比较对象 其它: 无效
11	ALIGN	数据对齐格式 1：左对齐 0：右对齐
10 : 9	ADMD	A/D 转换模式（ADC 模式） 00：单次转换 01：单周期扫描 10：连续扫描 11：保留 当改变转换模式时，软件要先清除 ADST 位。
8	ADST	A/D 转换开始 1：转换开始 0：转换结束或空闲状态 ADST 清除有下列两种方式： 在单次模式或者单周期模式下，转换完成后 ADST 将硬件自动清除。 在连续扫描模式下， ADST 由软件或系统复位清除，否则 A/D 转换将一直进行。
7	Reserved	保留,必须保持复位值.

位	字段	描述
6: 4	TRGSELL	外部触发源选择 低位 TRGSEL={TRGSELH,TRGSELL} ADC 选择外部触发源 TRGSEL： 00000： TIM1_CC1 00001： TIM1_CC2 00010： TIM1_CC3 00011： TIM2_CC2 00101： TIM1_CC4 和 TIM1_CC5 00111： EXTI 11 01000： TIM1_TRGO 01001： TIM13_CC1 01010： TIM14_CC1 01011： TIM2_CC1 01101： TIM2_TRGO 01111： EXTI 15 10000： TIM1_CC4 10001： TIM1_CC5 其它: 无效
3	DMAEN	DMA 使能（Direct Memory Access Enable） 1： DMA 请求使能 0： DMA 请求禁止
2	TRGEN	外部硬件触发源使能 1：使用外部触发信号启动 A/D 转换 0：禁止外部触发信号启动 A/D 转换
1	AWDIE	A/D 模拟看门狗中断使能 1：使能 A/D 模拟看门狗中断 0：禁止 A/D 模拟看门狗中断
0	EOSIE	A/D 非注入通道序列转换结束中断使能 1：使能 A/D 中断 0：禁止 A/D 中断 如果 EOSIF 置位，A/D 转换结束后会产生中断请求。

16.8.5 ADC_ADCHS 通道选择寄存器

地址偏移: 0x0C
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.					CHEN10	CHEN9	CHEN8	CHEN7	CHEN6	CHEN5	CHEN4	CHEN3	CHEN2	CHEN1	CHEN0
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位	字段	描述
31:11	Reserved	保留,必须保持复位值
10	CHEN10	温度传感器或电压传感器使能 1：使能 0：禁止
9	CHEN9	模拟输入通道 9 使能 1：使能 0：禁止
8	CHEN8	模拟输入通道 8 使能 1：使能 0：禁止
7	CHEN7	模拟输入通道 7 使能 1：使能 0：禁止
6	CHEN6	模拟输入通道 6 使能 1：使能 0：禁止

位	字段	描述
5	CHEN5	模拟输入通道 5 使能 1：使能 0：禁止
4	CHEN4	模拟输入通道 4 使能 1：使能 0：禁止
3	CHEN3	模拟输入通道 3 使能 1：使能 0：禁止
2	CHEN2	模拟输入通道 2 使能 1：使能 0：禁止
1	CHEN1	模拟输入通道 1 使能 1：使能 0：禁止
0	CHEN0	模拟输入通道 0 使能 1：使能 0：禁止

注： 1）如果通道使能都关闭，则开启转换时根据 SCANDIR 设置，默认转换通道为 0。
2）在 ADC_ADSTA.BUSY 无效时才能操作此寄存器。

16.8.6 ADC_ADCMPR 模拟看门狗比较寄存器

地址偏移: 0x10
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.				CMPHDATA											
				rw											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.				CMPLDATA											
				rw											

位	字段	描述
31:28	Reserved	保留,必须保持复位值
27: 16	CMPHDATA	模拟看门狗比较数值高阈值 看门狗比较阈值的高限
15:12	Reserved	保留,必须保持复位值.
11 : 0	CMPLDATA	模拟看门狗比较数值低阈值 看门狗比较阈值的低限

16.8.7 ADC_ADSTA 状态寄存器

地址偏移: 0x14
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.			OVERRUN									Res.			VALID
			r												r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VALID								CHANNEL				Res.	BUSY	AWDIF	EOSIF
r								r					r	rc_w1	rc_w1

位	字段	描述
31:29	Reserved	保留,必须保持复位值
28:20	OVERRUN	通道 0~10 的数据覆盖标志位(Overrun Flag)
19:17	Reserved	保留,必须保持复位值
16:8	VALID	通道 0~10 的数据有效标志位(Valid Flag)

位	字段	描述
7:4	CHANNEL	当前转换通道 注：BUSY=1 时表示当前转换中的通道；BUSY=0 时表示即将转换的通道。
3	Reserved	保留,必须保持复位值
2	BUSY	非注入通道转换忙/空闲 1= A/D 转换器忙碌 0= A/D 转换器空
1	AWDIF	模拟看门狗标志位 该标志位写“1”清零。 1：模拟看门狗事件发生 0：模拟看门狗事件未发生
0	EOSIF	A/D 通道序列转换结束标志位 该位由硬件在通道序列转换结束时置位，由软件清除。 1： A/D 转换结束 0： A/D 转换未结束该标志位写“1”清零。

16.8.8 ADC_ADDRn 通道数据寄存器(n=0~10)

地址偏移: 0x18~0x40
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.										VAILD	OVERRUN	Res.			
										r	r				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA															
r															

位	字段	描述
31:22	Reserved	保留,必须保持复位值.
21	VALID	有效标志位（只读） 1： DATA[11:0]位数据有效 0： DATA[11:0]位数据无效 对应通道转换完成后硬件置位，读 ADC_ADDRn 寄存器自动清除。
20	OVERRUN	数据覆盖标志位（只读） 1： DATA [11:0]数据被覆盖 0： DATA [11:0]数据最近一次转换结果 若在装载至 DATA[11:0] 数据寄存器之前，上一次 DATA[11:0]数据没有被读取，OVERRUN 将置位。读 ADC_ADDRn 寄存器硬件自动清除。
19:16	Reserved	保留,必须保持复位值.
15 : 0	DATA	通道 n 的 12 位 A/D 转换结果（Covert Data） 软件选择对齐方式。

16.8.9 ADC_ADSTA_EXT 扩展状态寄存器

地址偏移: 0x58
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.										JBUSY	JEOSIF	JEOCIF	JEOSMPIF	EOCIF	EOSMPIF
										r	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.															

位	字段	描述
31:8	Reserved	保留,必须保持复位值.
21	JBUSY	注入通道转换忙/空闲 1： A/D 转换器注入通道忙碌 0： A/D 转换器注入通道空闲

位	字段	描述
20	JEOSIF	注入通道序列转换结束标志位 该位由硬件在通道序列转换结束时置位，由软件清除。 1： A/D 转换结束 0： A/D 转换未结束 该标志位写”1”清零。
19	JEOCIF	A/D 注入通道转换结束标志位 该位由硬件在通道转换结束时置位，由软件清除。 1： A/D 转换结束 0： A/D 转换未结束 该标志位写“1”清零。
18	JEOSMPIF	注入通道采样结束标志位 该位由硬件在通道采样结束时置位，由软件清除。 1： A/D 采样结束 0： A/D 采样未结束该标志位写”1”清零。
17	EOCIF	转换结束标志位 该位由硬件在通道转换结束时置位，由软件清除。 1： A/D 转换结束 0： A/D 转换未结束 该标志位写”1”清零。
16	EOSMPIF	采样结束标志位 该位由硬件在通道采样结束时置位，由软件清除。 1： A/D 采样转换结束 0： A/D 采样未结束 该标志位写”1”清零。
15:0	Reserved	保留,必须保持复位值.

16.8.10 ADC_CHANY0 任意通道的通道选择寄存器 0

地址偏移: 0x5C
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CHANY_SEL7				CHANY_SEL6				CHANY_SEL5				CHANY_SEL4			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHANY_SEL3				CHANY_SEL2				CHANY_SEL1				CHANY_SEL0			
rw				rw				rw				rw			

位	字段	描述
31:28	CHANY_SEL7	任意通道转换序列第 7 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
27:24	CHANY_SEL6	任意通道转换序列第 6 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
23:20	CHANY_SEL5	任意通道转换序列第 5 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
19:16	CHANY_SEL4	任意通道转换序列第 4 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
15:12	CHANY_SEL3	任意通道转换序列第 3 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
11:8	CHANY_SEL2	任意通道转换序列第 2 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
7:4	CHANY_SEL1	任意通道转换序列第 1 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
3:0	CHANY_SEL0	任意通道转换序列第 0 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道

注：单周期扫描或连续扫描模式下，硬件会启动 ADC_CHANY0 影子寄存器。在 ADC 工作期间，若更改 ADC_CHANY0 的值，只会更新到其影子寄存器中，在 ADC 转换最后一个通道时，影子寄存器的值才会更新至 ADC_CHANY0，实现通道动态切换。

16.8.11 ADC_CHANY1 任意通道的通道选择寄存器 1

地址偏移: 0x60
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CHANY_SEL15				CHANY_SEL14				CHANY_SEL13				CHANY_SEL12			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHANY_SEL11				CHANY_SEL10				CHANY_SEL9				CHANY_SEL8			
rw				rw				rw				rw			

位	字段	描述
31:28	CHANY_SEL15	任意通道转换序列第 15 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
27:24	CHANY_SEL14	任意通道转换序列第 14 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
23:20	CHANY_SEL13	任意通道转换序列第 13 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
19:16	CHANY_SEL12	任意通道转换序列第 12 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
15:12	CHANY_SEL11	任意通道转换序列第 11 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
11:8	CHANY_SEL10	任意通道转换序列第 10 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
7:4	CHANY_SEL9	任意通道转换序列第 9 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道
3:0	CHANY_SEL8	任意通道转换序列第 8 次转换选择 0000~1010：可配置为通道 0~通道 10 中的任意一个通道为任意通道转换的输入通道

注：单周期扫描或连续扫描模式下，硬件会启动 ADC_CHANY1 影子寄存器。在 ADC 工作期间，若更改 ADC_CHANY1 的值，只会更新到其影子寄存器中，在 ADC 转换最后一个通道时，影子寄存器的值才会更新至 ADC_CHANY1，实现通道动态切换。

16.8.12 ADC_ANY_CFG 任意通道配置寄存器

地址偏移: 0x64
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.												CHANY_NUM			
												rw			

位	字段	描述
31:4	Reserved	保留,必须保持复位值

位	字段	描述
3: 0	CHANY_NUM	转换通道数配置： 0000: CHANY_SEL0 通道 0001: CHANY_SEL0~CHANY_SEL1 通道 s 0010: CHANY_SEL0~CHANY_SEL2 通道 s 0011: CHANY_SEL0~CHANY_SEL3 通道 s 0100: CHANY_SEL0~CHANY_SEL4 通道 s 0101: CHANY_SEL0~CHANY_SEL5 通道 s 0110: CHANY_SEL0~CHANY_SEL6 通道 s 0111: CHANY_SEL0~CHANY_SEL7 通道 s 1000: CHANY_SEL0~CHANY_SEL8 通道 s 1001: CHANY_SEL0~CHANY_SEL9 通道 s 1010: CHANY_SEL0~CHANY_SEL10 通道 s 其它:无效

注：单周期扫描或连续扫描模式下，硬件会启动 ADC_NUM 影子寄存器。在 ADC 工作期间，若更改 ADC_ NUM 的值，只会更新到其影子寄存器中，在 ADC 转换最后一个通道时，影子寄存器的值才会更新至 ADC_NUM，实现通道动态切换。

16.8.13 ADC_ANY_CR 任意通道控制寄存器

地址偏移: 0x68

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.														JTRG_EDGE	
														rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JTRGSHIFT			JTRGSEL					JTRGEN	JADST	JAUTO	JEOSIE	JEOCIE	JEOSMPIE	JCEN	CHANY_ MDEN
rw			rw					rw	rw	rw	rw	rw	rw	rw	rw

位	字段	描述
31:18	Reserved	保留,必须保持复位值
17:16	JTRG_EDGE	注入通道转换的外部触发源边沿选择 00：双沿触发 01：下沿触发 10：上沿触发 11：屏蔽触发
15:13	JTRGSHIFT	注入通道转换的外部触发源延时采样 在触发信号产生后，延时 N 个 PCLK 的时钟周期再开始采样。 如果是触发扫描，其它通道是在上一个采样结束后立即开始。 000：不延时 001：4 个周期 010：16 个周期 011：32 个周期 100：64 个周期 101：128 个周期 110：256 个周期 111：512 个周期

位	字段	描述
12:8	JTRGSEL	ADC 注入通道转换的外部触发源选择 00000：TIM1_CC1 00001：TIM1_CC2 00010：TIM1_CC3 00011：TIM2_CC2 00101：TIM1_CC4 和 TIM1_CC5 00111：EXTI 11 01000：TIM1_TRGO 01001：TIM13_CC1 01010：TIM14_CC1 01011：TIM2_CC1 01101：TIM2_TRGO 01111：EXTI 15 10000：TIM1_CC4 10001：TIM1_CC5 其它：无效
7	JTRGEN	注入通道转换的外部硬件触发源使能 1：使能外部触发信号启动 A/D 转换 0：禁止外部触发信号启动 A/D 转换
6	JADST	注入通道转换的 A/D 转换开始： 先开启 JCEN 1：注入通道转换开始 0：注入通道转换结束或进入空闲状态 JADST 清除有下列两种方式： 在注入通道转换完成后，JADST 将被硬件自动清除； JCEN 为 0 时 JADST 被清除；系统复位时 JADST 被清除。
5	JAUTO	自动注入转换 1：开启自动注入转换 0：关闭自动注入转换
4	JEOSIE	A/D 注入通道序列转换结束中断使能 1：使能 A/D 序列转换结束中断 0：禁止 A/D 序列转换结束中断 如果 JEOSIE 置位，通道序列 A/D 转换结束后产生中断请求。
3	JEOCIE	A/D 注入通道转换结束中断使能 1：使能 A/D 转换结束中断 0：禁止 A/D 转换结束中断 如果 JEOCIF 置位，A/D 转换结束后产生中断请求。
2	JEOSMPIE	A/D 注入通道采样结束中断使能 1：使能 A/D 采样结束中断 0：禁止 A/D 采样结束中断 如果 JEOSMPIF 置位，A/D 转换结束后产生中断请求。
1	JCEN	A/D 注入通道转换使能 1： 使能注入转换 0： 禁止注入转换
0	CHANY_ MDEN	任意通道模式使能位： 1：使能任意通道模式 0：禁止任意通道模式

注：任意通道转换的单周期或连续扫描模式时，关闭 ADC 必须先等待 ADC_ADCR.ADST 和 ADC_ADSTA.BUSY 为 0，再清除 ADC_ANY_CR.CHANY_MDEN 位。

16.8.14 ADC_SMPR1 采样配置寄存器 1

地址偏移: 0x70
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SAMP7				SAMP6				SAMP5				SAMP4			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAMP3				SAMP2				SAMP1				SAMP0			
rw				rw				rw				rw			

位	字段	描述
31 : 0	SAMP7~SAMP0	选择通道 0~7 的采样时间选择 这些位用于独立地选择每个通道的采样时间。在采样周期中通道选择位必须保持不变。 0000：2.5 周期 0100：42.5 周期 0001：8.5 周期 0101：56.5 周期 0010：14.5 周期 0110：72.5 周期 0011：29.5 周期 0111：240.5 周期 1000：3.5 周期 1001：4.5 周期 1010：5.5 周期 1011：6.5 周期 1100：7.5 周期其它：保留

16.8.15 ADC_SMPR2 采样配置寄存器 2

地址偏移: 0x74
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.				SAMP10				SAMP9				SAMP8			
				rw				rw				rw			

位	字段	描述
31:12	Reserved	保留,必须保持复位值
3: 0	SAMP8	选择通道 8~10 的采样时间选择 这些位用于独立地选择每个通道的采样时间。在采样周期中通道选择位必须保持不变。 0000：2.5 周期 0100：42.5 周期 0001：8.5 周期 0101：56.5 周期 0010：14.5 周期 0110：72.5 周期 0011：29.5 周期 0111：240.5 周期 1000：3.5 周期 1001：4.5 周期 1010：5.5 周期 1011：6.5 周期 1100：7.5 周期 其它：保留

16.8.16 ADC_JOFRn 注入通道数据补偿寄存器(n=0~3)

地址偏移: 0x7C~0x88
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.				JOFFSET[11:0]											
				rw											

位	字段	描述
31:12	Reserved	保留,必须保持复位值
11: 0	JOFFSET	12 位 A/D 注入通道 n 的转换结果补偿寄存器 注入通道 n 的转换结果减去 JOFFSET 补偿值后，注入通道转换补偿后的结果保存在寄存器 JADDATA 和 ADC_JDRn. 注：该位在 JADST=0 时允许进行写操作

16.8.17 ADC_JSQR 注入通道序列寄存器

地址偏移: 0x8C
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.										JNUM		JSQ3			
										rw		rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JSQ3.	JSQ2					JSQ1					JSQ0				
rw	rw					rw					rw				

位	字段	描述
23:22	Reserved	保留,必须保持复位值.
21:20	JNUM	注入通道转换的通道数配置 00： JSQ0 通道 01： JSQ0~JSQ1 通 道 10： JSQ0~JSQ2 通 道 11： JSQ0~JSQ3 通 道
19:15	JSQ3	注入通道序列第 3 次转换 00000~01010：可配置为通道 0~通道 10 中的任意通道为注入通道 其它：保留
14:10	JSQ2	注入通道序列第 2 次转换 00000~01010：可配置为通道 0~通道 10 中的任意通道为注入通道 其它：保留
9:5	JSQ1	注入通道序列第 1 次转换 00000~01010：可配置为通道 0~通道 10 中的任意通道为注入通道 其它：保留
4:0	JSQ0	注入通道序列第 0 次转换 00000~01010：可配置为通道 0~通道 10 中的任意通道为注入通道 其它：保留

注：单周期扫描或连续扫描模式下，硬件会启动 ADC_JSQR 影子寄存器。在 ADC 工作期间，若更改 ADC_JSQR 的值，只会更新到其影子寄存器中，在 ADC 转换最后一个通道时，影子寄存器的值才会更新至 ADC_JSQR，实现通道动态切换。

16.8.18 ADC_JADDATA 注入数据寄存器

地址偏移: 0x90
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.									JVAILD	JOVER RUN	Res.	JCHANNELSEL			
									r	r		r			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JDATA															
r															

位	字段	描述
31:23	Reserved	保留,必须保持复位值
22	JVALID	注入通道有效标志位（只读） 1： JDATA[11:0] 位数据有效 0： JDATA[11:0] 位数据无效 对应通道转换完成后硬件置位，读 ADC_JADDATA 寄存器自动清除。

位	字段	描述
21	JOVERRUN	Overrun Flag for Injected Channels (read-only) 1: JDATA [11:0] data is overrun 0: JDATA [11:0] for last conversion result Before the new conversion result is loaded to the register, JOVERRUN is set to '1' if the JDATA [11:0] is not read. This bit is cleared by hardware automatically after reading the ADC_JADDATA register. 注入通道数据覆盖标志位（只读） 1： JDATA[11:0] 数据被覆盖 0： JDATA[11:0] 数据最近一次转换结果。 新的转换结果装载至寄存器之前，若 JDATA[11:0] 的数据没有被读取，JOVERRUN 将置位；读 ADC_JADDATA 寄存器硬件自动清除。
20	Reserved	保留,必须保持复位值.
19:16	JCHANNELSEL	该 4 位显示当前数据所对应的注入通道 0000 = 通道 0 的转换数据 0001 = 通道 1 的转换数据 0010 = 通道 2 的转换数据 0011 = 通道 3 的转换数据 0100 = 通道 4 的转换数据 0101 = 通道 5 的转换数据 0110 = 通道 6 的转换数据 0111 = 通道 7 的转换数据 1000 = 通道 8 的转换数据 1001 = 通道 9 的转换数据 1010 = 内部温度传感器或内部参考电压的转换数据 其它：无效
15:0	JDATA	12 位 A/D 当前注入通道转换结果 软件选择对齐方式。

16.8.19 ADC_JDRn 注入通道数据寄存器(n=0~3)

地址偏移: 0xB0 ~ 0xBC
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.									JVALID	JOVER RUN	Res.				
									r	r					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JDATA															
r															

位	字段	描述
31:23	Reserved	保留,必须保持复位值
22	JVALID	注入通道有效标志位 1： JDATA[11:0]位数据有效 0： JDATA[11:0]位数据无效 对应通道转换完成后硬件置位，读 ADC_JADR 寄存器自动清除
21	JOVERRUN	注入通道数据覆盖标志位 1： JDATA [11:0]数据被覆盖 0： JDATA [11:0]数据最近一次转换结果 新的转换结果装载至寄存器之前，若 JDATA[11:0]的数据没有被读取，JOVERRUN 将置位，读 JDRn 寄存器硬件自动清除。
20: 16	Reserved	保留,必须保持复位值.
15: 0	JDATA	A/D 注入通道 n 的转换结果 软件可选择对齐方式，参考数据对齐章节。

16.8.20 ADC_LDATA 上一次转换数据寄存器

地址偏移: 0xF0
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

Res.										LVAILD	LOVER RUN	LCHANNELSEL			
										r	r	r			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LDATA															
r															

位	字段	描述
31:22	Reserved	保留,必须保持复位值.
21	LVALID	数据有效标志位（只读） 1： LCHANNELSEL 和 LDATA[11:0] 位数据有效 0： LCHANNELSEL 和 LDATA[11:0] 位数据无效 通道转换完成后硬件置位，读 ADC_LDATA 寄存器后该位自动清除。
20	LOVERRUN	数据覆盖标志位（只读） 1： LDATA[11:0] 上一次转换数据被覆盖 0： LDATA[11:0] 上一次转换数据未被覆盖 若数据装载至 LDATA[11:0] 寄存器之前，上一次 LDATA[11:0]没有被读取，则 LOVERRUN 将置位，读 ADC_LDATA 寄存器后该位自动清除。
19:16	LCHANNELSEL	该 4 位显示上一次数据寄存器中的数据所对应的通道 0000： 表示上一次数据寄存器所属通道为通道 0 0001： 表示上一次数据寄存器所属通道为通道 1 0010： 表示上一次数据寄存器所属通道为通道 2 0011： 表示上一次数据寄存器所属通道为通道 3 0100： 表示上一次数据寄存器所属通道为通道 4 0101： 表示上一次数据寄存器所属通道为通道 5 0110： 表示上一次数据寄存器所属通道为通道 6 0111 ： 表示上一次数据寄存器所属通道为通道 7 1000： 表示上一次数据寄存器所属通道为通道 8 1001： 表示上一次数据寄存器所属通道为通道 9 1010： 表示上一次数据寄存器所属通道为通道 10
15:0	LDATA	12 位 A/D 上一次通道转换结果(Last Conversion Data)

16.8.21 ADC_TRGSUPR 外部规则触发事件抑制寄存器

地址偏移: 0xF4
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.								TRG_SUP_EN	Res.				TRG_SUP_CNT		
								rw					rw		

位	字段	描述
31:8	Reserved	保留,必须保持复位值
7	TRG_SUP_EN	触发抑制使能 0: 不使能触发抑制。当 TRG_SUP_EN=0 时，内部触发计数器进行清零操作。 1: 使能触发抑制。无论 TRG_SUP_CNT 设置为多少，当 TRG_SUP_EN 由 0 配置为 1 后的第一个规则触发事件固定触发 1 次 ADC 规则转换
6:3	Reserved	保留,必须保持复位值
2:0	TRG_SUP_CNT	触发抑制计数目标；仅当 TRG_SUP_EN=1 时生效每 TRG_SUP_CNT+1 次规则触发事件，进行 1 次 ADC 转换，抑制其中的 TRG_SUP_CNT 次修改 ADC 的触发源、或修改 TRG_SUP_CNT 值，都不会改变内部的计数值； 仅当 TRG_SUP_EN=0 时，内部计数值会被强制清零。

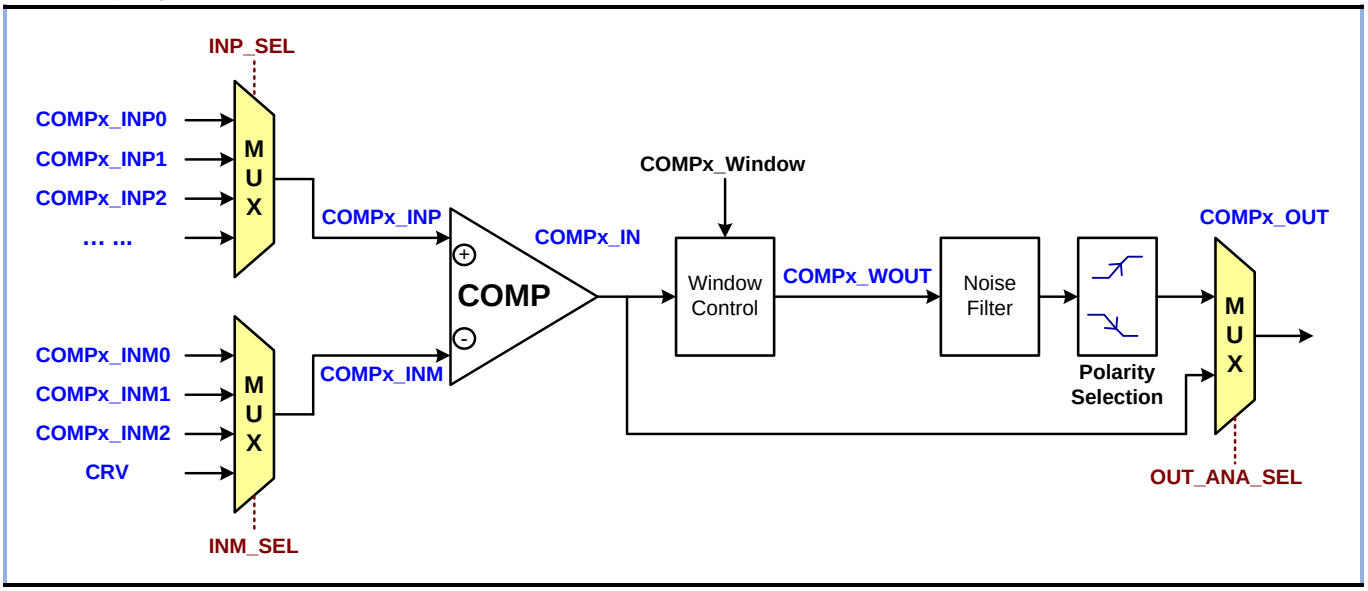
17 COMP 比较器

17.1 简介

芯片内嵌 2 个通用比较器（COMP1，2），每个可独立使用。比较器集成数字滤波器，其比较结果可输出至定时器或产生中断，或产生触发低功耗模式唤醒事件。也可与定时器结合使用，与定时器输出的 PWM 相结合，组成周期性的电流控制回路。

17.2 功能框图

图 17-1 比较器框图



17.3 主要特性

- 模拟输入为可复用的 I/O 引脚；
- 可编程迟滞电压；
- 支持多种速率和功耗；
- 支持比较结果的滤波功能，滤波周期可配置；
- 输出送至 I/O 引脚或定时器；
- 支持通过外部事件 EXTI 把 CPU 从睡眠和停机模式唤醒 ；
- 每个比较器支持 4 个正相输入和 4 个反相输入，带有轮询功能；
- 可以实现定周期切换的轮询功能；
- 可控制轮询通道 1/2/3 或 1/2；
- 正向输入和反向输入可同步轮询，或固定反向输入端（可选）。

17.4 功能描述

17.4.1 COMP 时钟和复位

COMP 输入时钟与 APB1 CLK 同步。在使用比较器之前，应该通过在 RCC 控制器中设置相应的比较器时钟使能位来启用比较器时钟。在 RCC 控制器中配置相应的比较器复位控制位允许您通过软件复位比较器。

17.4.2 COMP 开关

在使用比较器之前，需要置位 COMPx_CSR 寄存器的 EN 位给 COMP 上电。设置 EN 位为 1 时，它将 COMP 从断电状态唤醒，清除 EN 位（EN 位置 0）可停止比较器工作。

17.4.3 COMP 输入和输出

作为比较器输入的 I/O 必须在 GPIO 寄存器中配置为模拟输入模式。COMP 输出可以应用滤波功能（参考 COMPx_CSR 寄存器中的 OFLT 配置）。输出可以在内部重定向到各种定时器输入（请参阅 COMPx_CSR 寄存器中的 OUT_SEL 配置），也可以重定向到 I/O。

COMPx_CSR 的控制位 WE 可以开启或关闭窗口控制功能。当开启此功能并且信号 COMPx_Window 为 1 时，每隔一个 pclk，COMPx_IN 被采样到 COMPx_WOUT。当开启此功能并且信号 COMPx_Window 为 0 时，COMPx_WOUT 将保持其当前值（最新采样值）不变。当该功能关闭时，模拟信号 COMPx_IN 直接输出到数字滤波模块(Noise Filter)。此外，信号 COMPx_Window 是由 COMPx_CSR->WSEL 选择的定时器发出的信号。该功能用于在比较器输入电压无效时对输入进行滤波。它还可以在某些 PWM 应用中实现过零检测，在电机应用中实现瞬态电流

脉冲信号的滤波。在实际应用中，COMPx_ WOUT 可以将模拟输入延迟至多一个总线时钟 pclk。对于某些特性应用，必须仔细考虑窗口的位置，并且窗口宽度必须至少大于一个 pclk 时钟周期，以确保信号可以被采样。

17.4.4 COMP 通道选择

每个 COMP 有 4 个正相输入和 4 个反相输入通道，正相输入可从四个外部引脚之间选取，反相输入可从 3 个外部引脚或者 CRV 电压分压值选取。CRV 的电压可选择 VDDA 或者内部 1.2V 基准电压（V_{REFINT}）的分压。

COMP 可以在普通工作模式下通过软件选择输入通道，也可以在轮询工作模式下通过硬件轮询的方式分时监测多个通道的比较结果，从逻辑上类似于多个比较器同时工作。

在普通工作模式下，比较器比较所选择的 INP 和 INM 端口上的信号，具体流程如下：

- **配置 COMPx_CSR 寄存器的 INP_SEL 位和 INM_SEL 位，选择所要比较的信号；**
- **配置 COMPx_CSR 寄存器的 EN 位，比较器开始上电工作；**
- **比较的结果存放于 COMPx_CSR 寄存器的 OUT 位。**

另外，当 COMP 的 INM_SEL 选择 CRV 时，需要配置 COMP_CRV 寄存器的 CRV_SEL 位，然后将 CRV_EN 置位（在上面步骤 2 之前）。

在轮询工作模式下，COMP 的 INP 端口上的信号将会周期性的轮询变化，而 INM 端口的信号可以配置 COMPx_POLL 寄存器的 FIXN 位选择跟随 INP 端口变化或者由 COMPx_CSR 的 INM_SEL 位来配置。需要注意的是，当启动轮询功能以后，COMPx_CSR 的 INP_SEL 位将失去作用，同样的，如果 COMPx_POLL 寄存器的 FIXN 位选择 INM 端口跟随 INP 轮询变化，COMPx_CSR 的 INM_SEL 位也将失去作用。具体流程如下:

- **配置 COMPx_POLL 寄存器的 PERIOD 位来选择所需要的轮询等待周期；**
- **配置 COMPx_POLL 寄存器的 FIXN 位来决定 INM 端口的信号是否跟随 INP 端口轮询变化；**
- **配置 COMPx_POLL 寄存器的 POLL_CH 位决定所需要轮询的通道是 1/2/3 或者 1/2；**
- **配置 COMPx_POLL 寄存器的 POLL_EN 位，启动轮询功能；**
- **配置 COMPx_CSR 寄存器的 EN 位，比较器开始上电工作；**
- **轮询比较的结果存放于 COMPx_POLL 寄存器的 POUT 位，其中 POUT[2]、POUT[1]、POUT[0] 位分别存放轮询通道 3/2/1 的比较结果。**

17.4.5 中断和唤醒

比较器的输出可以芯片内部硬件连接到事件控制器。每个比较器有自己的 EXTI 线，能产生事件来退出低功耗模式。详细内容可以参考手册的中断和事件部分。

17.4.6 功耗模式

在具体应用中可以通过调整比较器功耗和响应时间得到最优的结果。

COMPx_CSR 寄存器的 MODE 位有下面 4 种设置：

- **00：高速/高功耗；**
- **01：中速/中等功耗；**
- **10：低速/低功耗；**
- **11：极低速/极低功耗。**

17.4.7 比较器锁定机制

比较器能用于安全的用途，比如过流或者过热保护。在某些特定的应用中，有必要保证比较器设置不能被随意改写或者程序计数器破坏所改变。

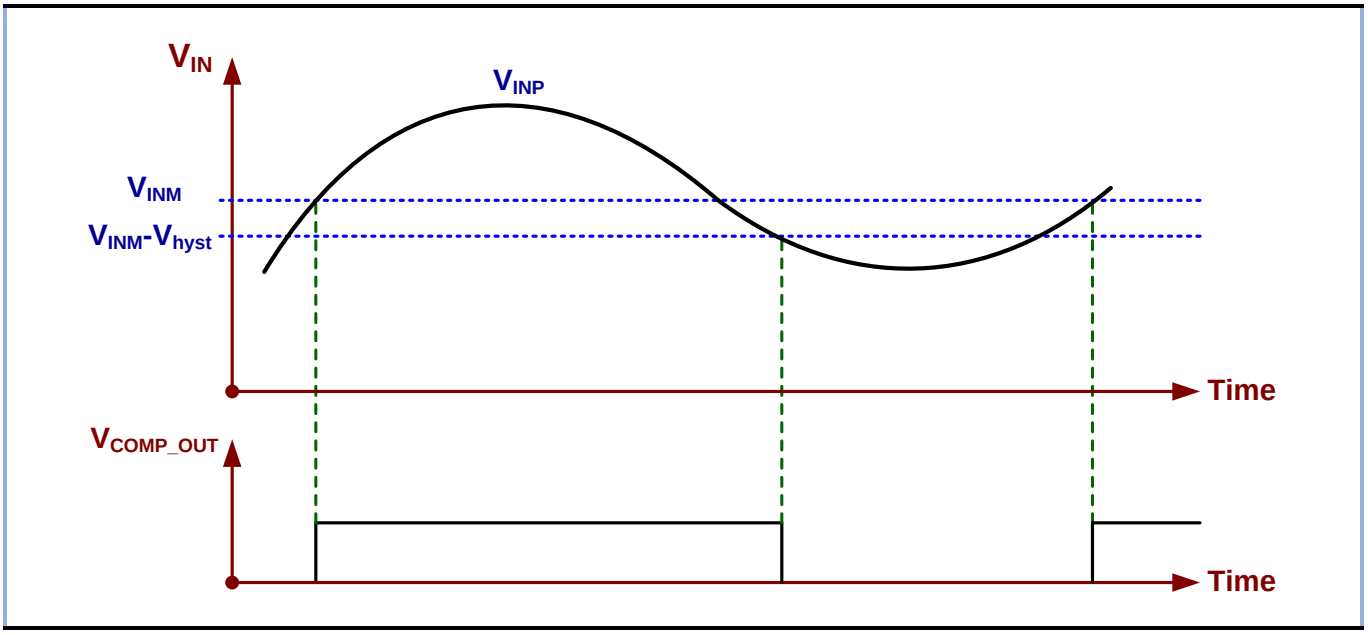
为了这个目的，比较器控制和状态寄存器可以设为只读。

一旦设置完成，LOCK 位被设置为 1，这导致整个 COMPx_CSR 寄存器变成只读，包括 LOCK 位在内， 只能通过 MCU 复位所清除。（详细参考 COMPx_CSR 关于 LOCK 位的配置）

17.4.8 迟滞电压

为了避免噪声信号导致的无效输入，比较器支持可配置的迟滞电压，（详细参考 COMPx_CSR 的 HYST 位的配置）。

图 17-2 比较器迟滞



17.5寄存器

表 17.1 COMP 寄存器概览

Offset	Acronym	Register Name	Reset
0x0,0x8	COMPx_CSR (x=1, 2)	COMP x (x=1, 2) 控制和状态寄存器	0x0000000
0x40	COMP_CRV	COMP 外部参考电压寄存器	0x0000000
0x4, 0xC	COMPx_POLL (x=1, 2)	COMP x (x=1, 2) 轮询寄存器	0x0000000

17.5.1 COMPx_CSR (COMP 控制和状态寄存器) (x=1, 2)

地址偏移: 0x0, 0x8

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	OUT	OUT_ANA_SEL	WE	WSEL			Res.				OFLT			HYST	
rw	r	rw	rw	rw							rw			rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POL	Res.	OUT_SEL				Res.	INP_SEL		INM_SEL			MODE		Res.	EN
rw		rw					rw		rw			rw			rw

位	字段	描述
31	LOCK	比较器寄存器锁 该位只能写一次，由软件置'1'，由系统复位清零。一旦设置，比较器 x 的所有控制位为只读。 1：COMPx_CSR, COMPx_POLL 只读 0：COMPx_CSR, COMPx_POLL 可读可写
30	OUT	比较器 x 输出 反映比较器 x 输出状态。 1：高输出（正相输入高于反相输入） 0：低输出（正相输入低于反相输入）
29	OUT_ANA_SEL	比较器 x 输出来源选择 1：选择模拟输出信号 0：选择经过同步的模拟输出信号 注意：当 OUT_ANA_SEL=1 时，比较结果可以在低功耗模式下以及无 clk 下唤醒 CPU。
28	WE	比较器 x 窗口控制输出使能位 1：使能窗口控制输出 0：禁止窗口控制输出

位	字段	描述
27:25	WSEL	比较器 x 窗口输入来源选择 000:：TIM1_OC1REF 001：TIM1_TRGO 010：TIM2_TRGO 100:：TIM13_OC1REF 101:：TIM14_OC1REF 其它：无选择
24 : 21	Reserved	始终读为 0.
20 : 18	OFLT	比较器 x 输出滤波周期 这些位控制比较器 x 的输出滤波周期，当比较器输出信号小于滤波周期宽度时，被认为是无效信号而被过滤掉，否则认为是有效信号,其中 n 代表 COMPx_POLL - >PERIOD 配置的轮询等待周期。 111：128 * n 个时钟周期 110：64 * n 个时钟周期 101：32 * n 个时钟周期 100：16 * n 个时钟周期 011：8 * n 个时钟周期 010：4 * n 个时钟周期 001：2 * n 个时钟周期 000：无滤波
17 : 16	HYST	比较器 x 迟滞电压 这些位控制比较器 x 的迟滞电压。 当 MODE = 00， 11：85mV,　　10：45mV 01：22mV　　00：0mV 当 MODE = 01、10 或 11 时 11：60mV,　　10：32mV 01：15mV　　00：0mV
15	POL	比较器 x 输出极性控制 该位用于选择比较器 x 输出极性。 1：输出端反相输出 0：输出端同相输出
14	Reserved	始终读为 0.
13 : 10	OUT_SEL	比较器 x 输出选择 这些位用来选择比较器 x 的输出目标。 0010：定时器 1 刹车输入 0110：定时器 1 OCRE_CLR 1000：定时器 2 输入捕获 4 1001：定时器 2 OCRE_CLR 1100：定时器 2 输入捕获 1 1101：定时器 13 输入捕获 1 1110：定时器 14 输入捕获 1 其他：无选择
9	Reserved	始终读为 0.
8: 7	INP_SEL	比较器 x 正相输入选择 这些位用于选择连接到比较器 x 正相输入端的信号源。 比较器 x（x=1）： 00：COMPx_INP0（PA3），即正向输入端通道 0； 01：COMPx_INP1（PA5），即正向输入端通道 1； 10：COMPx_INP2（PA6），即正向输入端通道 2； 11：COMPx_INP3（PB0），即正向输入端通道 3； 比较器 x（x=2）： 00：COMPx_INP0（PB0），即正向输入端通道 0； 01：COMPx_INP1（PB2），即正向输入端通道 1； 10：COMPx_INP2（PA8），即正向输入端通道 2； 11：COMPx_INP3（PA9），即正向输入端通道 3；

位	字段	描述
6: 4	INM_SEL	比较器 x 负相输入选择 这些位用于选择连接到比较器 x 负相输入端的信号源。 比较器 x（x=1）: 000：COMPx_INM0（PA4），即负相输入端通道 0； 001：COMPx_INM1（PA7），即负相输入端通道 1； 010：COMPx_INM2（PA8），即负相输入端通道 2； 011：COMPx_INM3（CRV），即负相输入端通道 3； 比较器 x（x=2）: 000：COMPx_INM0（PA4），即负相输入端通道 0； 001：COMPx_INM1（PA7），即负相输入端通道 1； 010：COMPx_INM2（PB1），即负相输入端通道 2； 011：COMPx_INM3（CRV），即负相输入端通道 3；
3: 2	MODE	比较器 x 模式 比较器 x 的工作模式控制位，允许调整速率和功耗。 11：极低功率/极低速 10：低功率/低速 01：中等功率/中速 00：高功率/高速
1	Reserved	始终读为 0.
0	EN	比较器 x 使能 该位是比较器开关使能位。 1：比较器 x 使能 0：比较器 x 禁止

17.5.2 COMP_CRV (COMP 外部参考电压寄存器)

地址偏移: 0x40
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRV_EN	Res.		CRV_SRC	Res.				CRV_SEL							
rw			rw					rw							

位	字段	描述
31:16	Reserved	保留,始终读为 0
15	CRV_EN	比较器参考电压使能 1：比较器参考电压（CRV）使能 0：比较器参考电压（CRV）禁止
14:13	Reserved	保留,始终读为 0
12	CRV_SRC	比较器参考电压源选择 0：VREFINT（内部电压） 1：VDDA（外部电压） 备注：当选用内部电压作比较器的参考电压源时，需要提前配置 ADC_ADCFG 来打开内部电压传感器使能
11:8	Reserved	保留,始终读为 0
7: 0	CRV_SEL	比较器参考电压选择 V_{CRV} = VDDA*CRV_SEL/255 或 V_{REFINT} *CRV_SEL/255

17.5.3 COMPx_POLL (COMP 轮询寄存器) (x=1, 2)

地址偏移: 0x4, 0xC
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.					POUT			Res.	PERIOD			Res.	FIXN	POLL_CH	POLL_EN
					r				rw				rw	rw	rw

位	字段	描述
31:11	Reserved	保留,始终读为 0
10 : 8	POUT	轮询通道输出 只读，反映轮询通道输出状态，POUT[0]对应通道 1，POUT[1]对应通道 2，POUT[2]对应通道 3 1：高输出（正相输入高于反相输入） 0：低输出（正相输入低于反相输入）
7	Reserved	始终读为 0.
6: 4	PERIOD	轮询等待周期 每 n 个 PCLK 周期切换到下一个轮询通道。 111：128 个时钟周期 110：64 个时钟周期 101：32 个时钟周期 100：16 个时钟周期 011：8 个时钟周期 010：4 个时钟周期 001：2 个时钟周期 000：1 个时钟周期
3	Reserved	始终读为 0.
2	FIXN	轮询通道反相输入端固定 1：轮询通道反相输入固定。由 CSR 寄存器 INM_SEL 决定，此时，INP_SEL 无效。 0：轮询通道反相输入不固定。与 INP 通道同时变化，此时 INM_SEL 和 INP_SEL 无效。
1	POLL_CH	比较器轮询通道 1：轮询通道 1/2/3 0：轮询通道 1/2
0	POLL_EN	比较器轮询模式使能 1：比较器轮询模式使能 0：比较器轮询模式禁止

18 OPAMP 运算放大器 1/2

18.1 简介

芯片内嵌两个运算放大器，每个运算放大器的输入输出都连接到 I/O，通过共享 I/O 可以与 ADC，比较器相连。

18.2 主要特性

- 轨对轨输入和输出
- 输出连接到 I/O 上

18.3 功能描述

18.3.1 时钟

运算放大器时钟控制器提供的时钟与 PCLK1 同步

18.4 寄存器

18.4.1 寄存器概览

表 18.1 OPAMP 寄存器概览

Offset	Acronym	Register Name	Reset
0x10	OPAMP_CR	配置寄存器	0x0000002

18.4.2 OPAMP_CR 配置寄存器

地址偏移: 0x00
复位值: 0x00000002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res															OPAEN
															rw

位	字段	描述
31:1	Reserved	保留,必须保持复位值
0	OPAEN	使能 OPA 0: 禁止 1: 使能

19 DBG 调试支持

19.1 简介

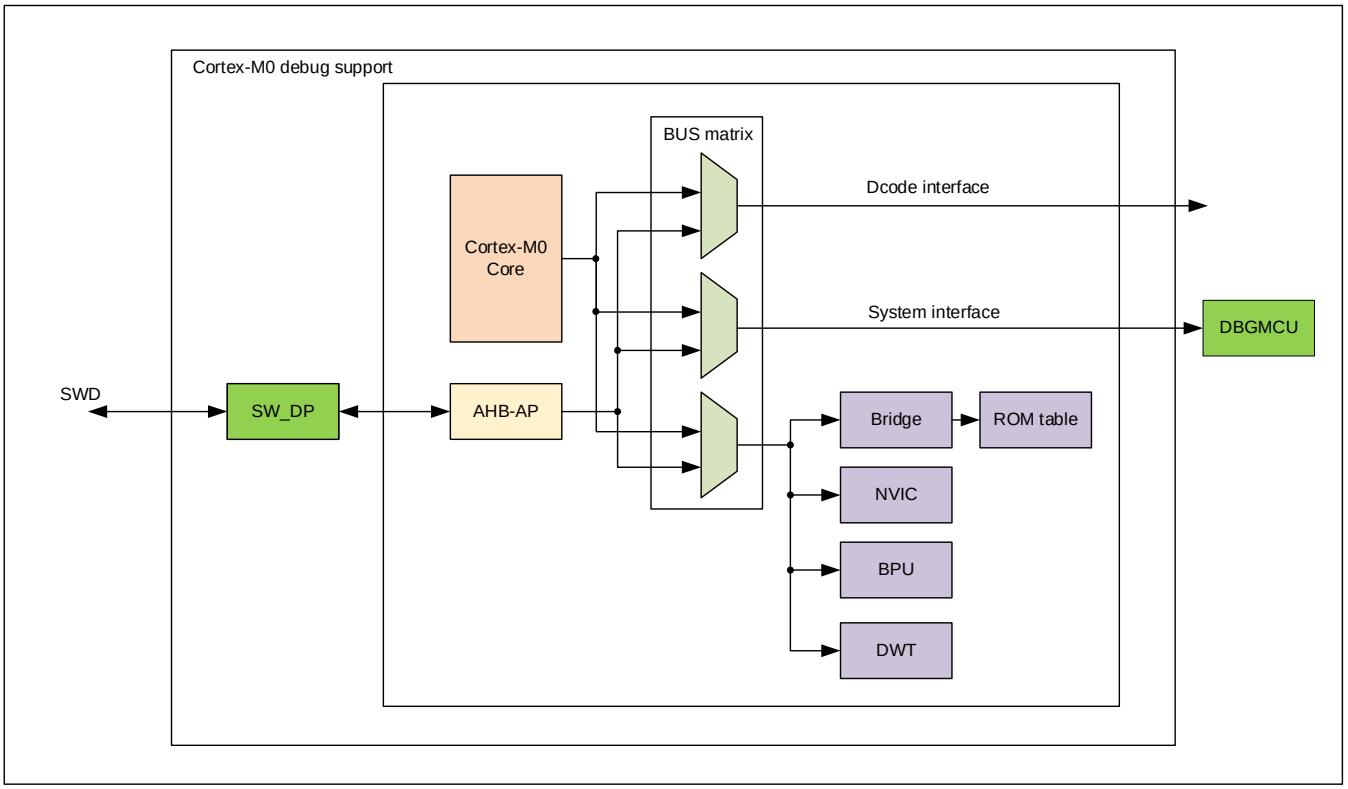
芯片内核包含硬件调试模块，主要用于功能的调试。当内核在取指（指令断点）或访问数据（数据断点）时，硬件调试模块可以控制内核停止，此时用户可以查询内核的内部状态和系统的外部状态。查询完成后，内核可以继续执行当前程序。

当芯片与调试器连接开始调试时，调试器自动调用内核的调试模块进行调试操作。

19.2 功能描述

19.2.1 功能框图

图 19-1 调试功能框图



Cortex-M0 内核含有调试单元，该单元由以下部分组成：

SWDP: SW 调试端口

BPU: 断点调试单元

DWT: 数据观察点和跟踪

19.2.2 SWD 内部上拉与下拉

SWD 引脚输入直接控制调试模式，不能悬空。为了保证 I/O 电平可控， SWD 引脚上内嵌了上拉和下拉电阻。

- **SWDIO：内部上拉**
- **SWCLK：内部下拉**

软件可以把这些 I/O 口作为普通的 I/O 口使用，此时默认的上下拉功能关闭，参考通用端口 GPIO 章节。

19.2.3 SWJ 调试端口

该芯片的 2 个普通 I/O 口可用作 SWD-DP 接口引脚， 不同封装都支持 SWD 调试端口。

表 19.1 SWD 调试端口引脚

SWJ-DP 端口引脚名称	SW 调试接口		引脚分配
	类型	调试功能	
SWDIO	输入/输出	串行数据输入/输出	PA13
SWCLK	输入	串行时钟	PA14

19.3 ID 代码和锁定机制

在芯片内部有多个 ID 编码，如下表：

表 19.2 ID 代码

ID 名称	芯片
DEV_ID	0x4C513000
CPU TAP SW ID	0x0BB11477

19.3.1 微控制器设备 ID 编码

微控制器内部包含设备 ID 编码，此 ID 定义了微控制器的硅片版本，并且映射到外部 APB 总线上。通过用户代码与调试接口均能够获取此 ID 编码。

19.3.2 Cortex JEDEC-106 ID 编码

微控制器有一个 JEDEC-106ID 编码。它位于映射到内部 PPB 总线地址为 0xE00FF000_0xE00FFFF 的 4KB ROM 表中。

19.4 SW 调试端口

19.4.1 SW 协议介绍

此同步串行协议使用 2 个引脚：主机到目标的时钟信号（SWCLK）与双向数据信号（SWDIO）。

SWDIO 作为双向数据线，需连接上拉电阻（ARM 建议值 100K）。SWDIO 引脚内嵌了上拉电阻，无需额外的外接电阻。

数据从低位开始传输，允许读写寄存器组 DPACC 与 APACC。

根据协议，当 SWDIO 改变方向时，同时需要插入一个转换时间（默认一个 Bit 时间，具体可以通过 SWCLK 调整），这段间内，任何设备不能驱动此信号线。

19.4.2 SW 协议序列

一次序列包含三个阶段：

- **主机发送 8 位请求包；**
- **目标发送 3 位确认应答；**
- **根据配置方向，主机或目标发送 33 位（包含一位校验位）数据；**

表 19.3 8 位应答包

位	名称	描述
0	起始	必须为 1
1	APnDP	0：访问 DP 1：访问 AP
2	RnW	0：写请求 1：读请求
4: 3	A[3 : 2]	DP 或 AP 寄存器的地址
5	Parity	前面比特位的校验位
6	Stop	0
7	Park	不能由主机驱动，由于有上拉，目标永远读为 1

注：每一个请求包紧跟一个 Bit 转换时间。更多关于 DAPCC 与 APACC 寄存器的信息，查看 ARM 相关的 CPU 技术参考手册。

表 19.4 3 位应答包

位	名称	描述
0 .. 2	ACK	001: 失败 010: 等待 100: 成功

注：当应答信号（ACK）处于上表的情况之一时，应答位后有一个转换时间。

表 19.5 33 位数据包

位	名称	描述
0 .. 31	WDATA/RDATA	写或读的数据
32	Parity	32 位数据的奇偶校验位

注：读数据位结束后等待一个转换时间。

19.4.3 SW-DP 状态机 (Reset, Idle states, ID code)

SW-DP 状态机通过内部的 ID 码识别 SW_DP，遵守 JEP-106 标准,具体信息请参考 ARM 相关手册。
直到调试器读取 ID 之前，SW-DP 的状态机不会工作。

- **当出现了上电复位，或 DP 从 JTAG 切换到 SWD 后，或超过 50 个周期的高电平时，SW-DP 状态机将处于复位状态；**
- **如果 RESET 状态之后出现了至少 2 个周期的低电平，状态机会切换到 IDLE 状态；**
- **状态机开始处于复位态，工作时必须先切换到 IDLE 态，先执行读 DP-SW ID 寄存器的操作。否则，调试器无法进行其它正常的传输，会出现 ACK Fault；**

19.4.4 DP 和 AP 读 / 写访问

- **对 DP 的读操作没有延时：调试器将直接获得数据 （如果 ACK 返回成功状态），或者处于等待状态（如果 ACK 返回等待状态）；**
- **对 AP 的读操作具有延时。这意味着前一次读操作的结果只能在下一次操作时获得。如果下一次的操作不是对 AP 的访问，则必须读 DP-RDBUFF 寄存器来获得上一次读操作的结果；**
- **DP-CTRL/STAT 寄存器的 READOK 标志位会在每次 AP 读操作和 RDBUFF 读操作后更新，以通知调试器 AP 的读操作是否成功；**
- **SW-DP 具有写缓冲区 （DP 和 AP 都有写缓冲），这使得其它传输进行时，仍然可以接受写操作。如果写缓冲区满，调试器将获得一个等待的 ACK 响应。读 IDCODE 寄存器，读 CTRL/STAT 寄存器和写 ABORT 寄存器操作在写缓冲区满时仍被接受；**
- **由于 SWCLK 和 HCLK 的异步性，需要在写操作后（在奇偶校验位后）插入 2 个额外的 SWCLK 周期，以确保内部写操作正确完成。这两个额外的时钟周期需要在 IDLE 状态下插入。这个操作步骤在写 CTRL/STAT 寄存器以提出一个上电请求时尤其重要，否则下一个操作（在内核上电后才有效的操作）会立即执行，这将会导致操作失败；**

19.4.5 SW-DP 寄存器

当 APnDP=0 时，可以访问以下这些寄存器

表 19.6 SW-DP 寄存器

A[3:2]	读/写	SELECT 寄存器 CTRLSEL 位	寄存器	描述
00	Write		IDCODE	固定为 0x0BB11477（用于识别 SW-DP）
00	Write		ABORT	
01	Read/Write	0	DP-CTRL/STAT	请求一个系统或调试的上电操作；配置 AP 访问的操作式； 控制比较，校验操作； 读取一些状态位（溢出，上电响应）。
01	Read/Write	1	WIRE CONTROL	配置串行通信物理层协议（如转换时间长度等）。
10	Read		READ RESEND	允许从一个错误的调试传输中恢复数据而不用重复最初的 AP 传输
10	Write		SELECT	选择当前的访问端口和有效的 4 字长寄存器窗口。
11	Read/Write		READ BUFFER	这个寄存器会从 AP 捕获上一次读操作的数据结果，因此可以获得数据而不必再启动一个新的 AP 传输。

19.4.6 SW-AP 寄存器

当 APnDP=1 时，可以访问 AP 寄存器的访问地址由以下两部分组成：

- **A[3：2]值**
- **DP SELECT 寄存器的当前值**

19.5 MCU 调试模块 (DBGMCU)

MCU 调试模块提供以下调试器协助功能：

- 支持低功耗模式
- 断点时定时器与看门狗的时钟控制

19.5.1 低功耗模式的调试支持

MCU 具有多种低功耗模式，能够关闭 CPU 时钟，降低 CPU 的功耗，通过执行 WFE 或 WFI 指令进入低功耗模式。 CPU Free-Run 时钟 FCLK 与 AHB 总线时钟 HCLK 对于调试操作时必须的，不能关闭，同时 MCU 可以通过配置一些寄存器来改变低功耗模式特性，从而支持在低功耗模式下调试代码， 具体的配置如下。

- **进入睡眠模式时，为了能够提供 HCLK 同 FCLK 相同的时钟，调试器必须先置位 DBG_CR 寄存器的 DBG_SLEEP 位。**

19.5.2 支持定时器、看门狗

当产生断点时，根据定时器和看门狗的应用不同来选择计数器的工作模式；

- □ **计数器可以选择继续计数，通常应用在输出 PWM 波控制电机**
- □ **计数器可以选择停止计数，通常应用在看门狗计数**

19.6 寄存器

19.6.1 寄存器概览

表 19.7 DBG 寄存器概览

Offset	Acronym	Register Name	Reset
0x00	DBG_IDCODE	DBG ID 编码寄存器	0x4C513000
0x04	DBG_CR	DBG 控制寄存器	0x00000000

19.6.2 DBG_IDCODE ID 编码寄存器

地址偏移: 0x40013400 (只支持 32 位访问，只读)
复位值：0x4C513000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DEV_ID															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEV_ID															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位	字段	描述
31:0	DEV_ID	设备识别编码 只读寄存器，始终读为复位值

19.6.3 DBG_CR 控制寄存器

地址偏移: 0x40013404 (只支持 32 位访问，只读)
复位值: 0x0000 0000(POR 复位，不被系统复位所复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.									DBG_TIM6_STOP	Res.		DBG_TIM13_STOP	DBG_TIM14_STOP	Res.	
									rw			rw	rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	DBG_TIM2_PWM_OFF	DBG_TIM1_PWM_OFF	Res.	DBG_TIM2_STOP	DBG_TIM1_STOP	Res.	DBG_IWDG_STOP	Res.							DBG_SLEEP
	rw	rw		rw	rw		rw								rw

位	字段	描述
31:23	Reserved	保留，必须保持复位值
22	DBG_TIM6_STOP	当内核进入调试状态时 TIM6 停止工作 0：定时器被选中时 TIM6 仍然正常工作 1：定时器被选中时 TIM6 停止工作
21:20	Reserved	保留，必须保持复位值
19	DBG_TIM13_STOP	当内核进入调试状态时 TIM13 停止工作 0：定时器被选中时 TIM13 仍然正常工作 1：定时器被选中时 TIM13 停止工作
18	DBG_TIM14_STOP	当内核进入调试状态时 TIM14 停止工作 0：定时器被选中时 TIM14 仍然正常工作 1：定时器被选中时 TIM14 停止工作
17:15	Reserved	保留，必须保持复位值
14	DBG_ TIM2_ PWM_OFF	在调试模式下 TIM2 PWM 输出为 0 0: TIM2 PWM 正常输出 1: TIM2 PWM 输出为 0
13	DBG_TIM1_ PWM_OFF	在调试模式下 TIM1 PWM 输出为 0 0: TIM1 PWM 正常输出 1: TIM1 PWM 输出为 0
12	Reserved	保留，必须保持复位值
11	DBG_TIM2_STOP	当内核进入调试状态时 TIM2 停止工作 0：定时器被选中时 TIM2 仍然正常工作 1：定时器被选中时 TIM2 停止工作
10	DBG_TIM1_STOP	当内核进入调试状态时 TIM1 停止工作 0：定时器被选中时 TIM1 仍然正常工作 1：定时器被选中时 TIM1 停止工作
9	Reserved	保留，必须保持复位值
8	DBG_IWDG_STOP	独立看门狗停止工作 该位与核心是否进入调试状态无关 0：看门狗计数器工作正常 1：看门狗计数器停止工作
7:1	Reserved	保留，必须保持复位值
0	DBG_SLEEP	调试休眠模式 0：休眠模式下，时钟 FCLK 打开，FCLK 默认保持配置的系统时钟，HCLK 关闭。休眠模式不会重置已配置的时钟系统。退出休眠模式时，软件不需要重新配置系统时钟 1：在休眠模式下，FCLK 和 HCLK 时钟由原先配置好系统时钟提供。

20 器件电子签名

20.1 简介

器件电子签名是存放在闪存存储器系统存储区域内用来唯一识别一颗微控制器的身份标识码（96 位）。在任何情况下，用户都不可以修改器件电子签名。

可以通过软件读取器件电子签名，用来实现以下功能：

- 作为密码使用，在编程闪存时，通过器件电子签名与软件加密算法结合使用，提高代码在闪存中的安全性
- 作为序列号，用作终端应用中的序列号
- 激活安全引导流程

20.2 寄存器描述

基地址: 0x1FFF F7E8

表 20.1 器件电子签名寄存器概览

Offset	Acronym	Register Name	Reset
0x00	UID1	唯一标识码 1	0xXXXXXXXX
0x04	UID2	唯一标识码 2	0xXXXXXXXX
0x08	UID3	唯一标识码 3	0xXXXXXXXX

20.2.1 UID1 唯一标识码

地址偏移:0x00

复位值: 其值在出厂时编写

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
U_ID（31：16）															
R															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID（15：0）															
r															

位	字段	描述
31：0	U_ID（31：0）	U_ID：31：0 唯一 ID 位

20.2.2 UID2 唯一标识码

地址偏移:0x04

复位值: 其值在出厂时编写

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
U_ID（63：48）															
R															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID（47：32）															
R															

位	字段	描述
31：0	U_ID （63：32）	U_ID：63：32 唯一 ID 位

20.2.3 UID3 唯一标识码

地址偏移:0x08

复位值: 其值在出厂时编写

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

U_ID（95：80）															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID（79：64）															
r															

位	字段	描述
31：0	U_ID（95：64）	U_ID：95：64 唯一 ID 位

21 版本历史

表 21.1 版本历史

日期	版本	修订内容
2024/06/28	1.0	初版
2025/03/10	1.1	优化格式与图表