megawin
make you win

M0-Based MCU

MG32F02D032

数据手册

初始版本: **0.06**

Preliminary Specification

This document contains information on a new product under development by Megawin.
Megawin reserves the right to change or discontinue this product without notice.
© Megawin Technology Co., Ltd. 2024 All rights reserved.

特性

- **CPU 内核**
  - ARM 32位Cortex-M0 CPU
  - 最高工作频率24MHz
  - 内置1个NVIC，支持32路外部中断输入，4级中断优先级
  - 内置1个24位系统滴答定时器
  - 内置1个单周期32位乘法器
  - 内置1个SWD串行线调试器，支持2个观察点、4个断点
- **闪存存储器**
  - 内置32K字节闪存，用于存放应用代码
  - 内置6K字节闪存，用于ISP代码与IAP数据
  - 支持ISP(在系统编程)，用于应用代码更新
    - 支持可编程ISP闪存大小，用于ISP引导代码
  - 支持IAP(在应用编程)，用于应用数据更新
    - 支持可编程IAP闪存大小
  - 支持ICP(在电路编程)，通过SWD接口更新ISP引导代码
  - 闪存支持512字节页擦除
- **SRAM存储器**
  - 内置2K+128字节SRAM
- **电源**
  - 内置1个稳压器，用于内核逻辑供电
  - 内置掉电检测器
    - BOD1检测电平可选：4.2V / 3.6V / 2.7V / 2.4V
  - 内置电源管理控制器，具备掉电与唤醒控制
  - 支持三种电源工作模式
    - ON(正常)模式，以及SLEEP、STOP掉电模式
  - 支持通过多种源从SLEEP/STOP模式唤醒
- **复位**
  - 内置POR(上电复位)电路
  - 内置1个复位源控制器
    - 可编程配置复位源的冷复位与热复位
    - 内部模块独立软件复位控制
  - 提供多种复位源
    - POR/BOD/外部复位引脚输入/软件强制复位
    - IWDT
    - 非法地址错误复位/闪存访问保护错误复位
    - 时钟丢失检测(MCD)复位
- **时钟**
  - 内置ILRCO(内部低频RC振荡器)，32KHz
  - 内置IHRCO(内部高频RC振荡器)
    - 在+25℃下校准至24MHz ±1%
  - 支持外部时钟输入，最高24MHz
  - 内置时钟源控制器，各模块独立时钟使能控制
- **GPIO**
  - 支持通用IO引脚
    - QFN20封装最多13个GPIO引脚
  - 每引脚独立可选IO模式
    - 推挽输出

  - 准双向(仅PC引脚)
  - 开漏输出
  - 高阻抗数字输入
  - 模拟 IO
- **灵活的引脚复用功能选择**
- **每引脚独立可编程驱动强度**
- **每引脚独立IO防抖滤波**
- **每引脚独立输入反相选择**
- **每引脚独立上拉选项**
- **除RSTN、XIN外，每引脚独立高速模式选项**
- **复位后可选保持GPIO引脚状态与IO模式设置**

❖ **中断支持**

- **内置1个EXIC(外部中断控制器)，连接NVIC**
  - 独立高/低电平、上升/下降沿触发选择
- **内置1个WIC(唤醒中断控制器)，用于唤醒事件控制**
- **全部GPIO引脚可配置为中断源与键盘输入**
  - 支持端口或逻辑中断功能
- **支持外部引脚用于CPU NMI功能**

❖ **定时器**

- **提供6个定时器/计数器：TM00、TM01、TM36**
- **定时器模块通用功能**
  - 可选全计数、级联、分立定时器工作模式
  - 多路内部和外部信号作为定时器时钟源或触发源
  - 支持定时器复位、触发启动和时钟门控触发源功能
  - 定时器溢出作为时钟输出至外部引脚
  - 主计数器计数自动停止模式
- **TM36定时器模块**
  - 带16位预分频器的16位定时器
  - 2路CCP（输入捕获/输出比较/PWM）通道
  - 2路带OCN（互补输出比较）的CCP通道
  - PWM功能：中心/边沿对齐、死区控制、刹车控制
  - 附加重复计数器，用于自动停止模式
  - 支持占空比捕获功能
  - PWM输出时钟源最高96MHz
- **TM0x定时器模块（TM00、TM01）**
  - 带8位预分频器的8位定时器

❖ **看门狗定时器**

- **内置1个IWDT（独立看门狗定时器）**
  - 8位递减计数器，12位预分频器，由ILRCO时钟驱动
  - 在SLEEP与STOP模式下仍可工作
  - 计数器下溢可选触发复位或中断
  - 支持两路提前唤醒比较器，带中断

❖ **I2C**

- **提供1个I2C模块：I2C0**
- **I2C模块通用功能**
  - 支持主机与从机模式
  - 支持可编程时钟速率控制，最高400KHz
  - 主机模式可编程高/低电平周期控制
  - 从机模式支持时钟延展

- 支持通用呼叫功能
- 支持多主机处理能力
- 支持字节模式与缓冲模式两种数据流控制
- 字节模式提供总线事件码，便于单工固件控制
- 缓冲模式支持4字节数据缓冲区与32位数据寄存器，实现高速通信
- 支持使用DMA缓冲收发数据
- 支持从机地址硬件检测，从STOP模式唤醒
- 支持SMBus超时检测

❖ UART

- **提供1个UART模块：URT4**
- **UART模块通用功能**
  - 通过可编程过采样率提供精确的UART波特率控制
  - 支持最高6Mbit/s波特率
  - 可编程数据字长：7位或8位
  - 可编程4~32过采样率
  - 硬件奇偶校验生成与检测
  - TX/RX引脚可交换配置
  - 发送与接收独立信号极性控制
  - 支持基础UART模式
  - 支持TX/RX独立8位数据寄存器，便于单工固件控制
  - 可配置停止位：1位或2位

❖ SPI

- **提供1个SPI通信模块：SPI0**
- **支持主机与从机模式**
  - 支持全双工、半双工或单工通信模式
  - 支持无NSS（从机选择信号）的数据通信
  - 支持主机数据输入采样延迟半个SPI时钟
  - 支持从机数据输出提前半个SPI时钟
- **支持可编程时钟速率控制**
  - 主机/从机时钟最高12MHz
- **可选8/16/24/32位帧宽**
  - 支持4字节数据缓冲区与32位数据寄存器，实现高速通信
- **支持多主机处理能力**
- **可选时钟极性CPOL与相位CPHA**
- **可选数据顺序是MSB或LSB**
- **主机模式NSS线硬件或软件管理**
- **可配置数据传输模式**
  - 标准SPI模式（收发数据线分离）
  - 单/双/四路SPI双向数据传输模式
- **数据发送/接收溢出检测**

❖ ADC

- **12位SAR ADC，250Ksps**
  - 可配置分辨率：12/10/8位
  - 可配置采样时间
- **提供4路外部通道与4路内部通道输入**
  - 内部额外通道源：VBUF、VSSA、DAC_P0、DAC_P1
- **输出代码左/右对齐**
- **ADC参考电压固定取自内部VDD**
- **采样结束、转换结束、序列转换结束均可产生中断**

- 支持电压窗口检测与输出代码限制
- 支持单次/通道扫描/循环扫描

❖ DAC

- 两路12位电压型DAC
  - 最大转换速率50 Ksps
- 转换启动触发：寄存器写入、外部引脚、内部事件
- 内置输出缓冲器
- 支持SLEEP与STOP模式下DAC输出

❖ Misc.

- 定时器同步使能全局控制
- 8位非复位备份寄存器
- 提供片上16字节唯一ID码

❖ 工作条件

- 工作温度范围 -20℃ ~ 85℃ (**1)
- 工作频率范围最高24MHz

❖ 封装类型

- QFN20

(**1): 抽样测试

目录

特性 3
目录 7
图目录 10
表目录 11
1. 概述 12
2. 订货信息 13
3. 框图 15
3.1. 系统功能框图 15
3.2. 芯片内部模块框图 16
4. 引脚说明 17
4.1. 引脚外形 17
4.1.1. QFN20 封装引脚 17
4.2. 引脚定义 18
4.3. 引脚 AFS 汇总表 21
4.4. 模拟功能引脚表 21
4.5. 复用功能引脚列表 21
5. 存储器映射 23
5.1. 存储器组织 23
5.2. CPU 存储器映射 24
5.3. 外设存储器边界 25
5.4. 启动模式 26
6. 功能描述 27
6.1. CPU 内核 27
6.1.1. 简介 27
6.1.2. CPU 特性 27
6.1.3. ARM Cortex-M0 处理器 27
6.2. 电源管理 28
6.2.1. 简介 28
6.2.2. 芯片电源特性 28
6.2.3. 电源工作模式 28
6.2.4. 电源供电 28
6.2.5. CPU 掉电 29
6.3. 系统复位 29
6.3.1. 简介 29
6.3.2. 芯片复位特性 29
6.3.3. 芯片复位等级 29
6.3.4. 外部复位 29
6.3.5. 模块复位 30
6.4. 系统时钟 30
6.4.1. 简介 30
6.4.2. 芯片时钟特性 30
6.4.3. 系统时钟源 30
6.4.4. 模块时钟控制 30

6.5. 系统通用控制 30
6.5.1. 简介 30
6.5.2. 特性 30
6.6. 存储器访问 30
6.6.1. 简介 30
6.6.2. 特性 30
6.6.3. 存储器控制器 31
6.6.4. 闪存 ICP/ISP/IAP 31
6.6.5. 硬件选项字节闪存 31
6.7. GPIO 31
6.7.1. 简介 31
6.7.2. 特性 31
6.7.3. GPIO 控制模块 32
6.8. 中断 32
6.8.1. 简介 32
6.8.2. 中断特性 32
6.8.3. 中断架构 33
6.8.4. 嵌套向量中断控制器 33
6.8.5. 唤醒中断控制器 34
6.8.6. 外部中断控制器 34
6.9. APB 总线通用控制 34
6.9.1. 简介 34
6.9.2. 特性 34
6.9.3. APB 控制模块 34
6.10. I2C 34
6.10.1. 简介 34
6.10.2. 特性 34
6.10.3. I2C 控制 35
6.11. UART 35
6.11.1. 简介 35
6.11.2. 特性 35
6.11.3. 模块功能 35
6.11.4. UART 控制 36
6.12. SPI 36
6.12.1. 简介 36
6.12.2. 特性 36
6.12.3. 模块功能 37
6.12.4. SPI 控制 37
6.13. 定时器 37
6.13.1. 简介 37
6.13.2. 特性 38
6.13.3. 模块功能 38
6.13.4. 定时器控制模块 39
6.14. ADC 39
6.14.1. 简介 39
6.14.2. 特性 39

6.14.3. 模块功能 40
6.14.4. ADC 控制模块 40
6.15. DAC 41
6.15.1. 简介 41
6.15.2. 特性 41
6.15.3. 模块功能 41
6.15.4. DAC 控制模块 41
7. 应用笔记 42
7.1. 电源电路 42
7.2. 复位电路 42
7.3. ADC 应用电路 43
7.4. DAC 应用电路 43
8. 电气特性 44
8.1. 参数术语说明 44
8.2. 绝对最大额定值 44
8.3. 直流电气特性 44
8.4. IO 电气特性 46
8.5. IHRCO 特性 47
8.6. ILRCO 特性 47
8.7. LDO 特性 47
8.8. LVR 特性 48
8.9. BOD1 特性 49
8.10. Flash 特性 49
8.11. ADC 特性 49
8.12. DAC 特性 51
8.13. UART 特性 52
8.14. SPI 特性 53
8.15. I2C 特性 55
9. 封装尺寸 56
9.1. QFN-20 (3x3x0.75) 56
10. 版本历史 57
11. 免责声明 59

图目录

图 2-1. 器件型号编码规则 13
图 3-1.系统功能框图 15
图 3-2.芯片内部模块框图 16
图 4-1. QFN20 封装引脚 17
图 5-1.存储器组织映射图 23
图 6-1. ARM Cortex-M0 处理器 27
图 7-1.电源供电电路 42
图 7-2.复位电路 42
图 7-3. ADC 应用电路 43
图 7-4. DAC 应用电路 – 电压型 DAC 43
图 8-1. UART 时序波形图 52
图 8-2. SPI 主机时序波形图 54
图 8-3. SPI 从机时序波形图 54
图 8-4. I2C 时序波形图 55
图 9-1. QFN-20 (3mm X 3mm X 0.75mm) ~ AZ20 56

表目录

表 2-1. 芯片选型表.....14
表 4-1. QFN20 引脚 AFS 列表.....17
表 4-2. 引脚定义缩写说明.....18
表 4-3. 引脚描述.....18
表 4-4.引脚 AFS 汇总表.....21
表 4-5.模拟功能引脚表.....21
表 4-6.复用功能引脚列表.....21
表 5-1. CPU 存储器地址映射表.....24
表 5-2.外设存储器地址边界表.....25
表 6-1. 掉电模式选择.....29
表 6-2. 中断源列表.....33
表 6-3. UART 模块功能表.....35
表 6-4. SPI0 模块功能表.....37
表 6-5.定时器模块功能表.....38
表 6-6. ADC0 模块功能表.....40
表 6-7. DAC 模块功能表.....41
表 8-1.参数术语说明.....44
表 8-2.绝对最大额定值.....44
表 8-3.直流电气特性.....44
表 8-4. IO 电气特性.....46
表 8-6. IHRCO 特性.....47
表 8-7. ILRCO 特性.....47
表 8-8. LDO 特性.....47
表 8-9. LVR 特性.....48
表 8-10. BOD1 特性.....49
表 8-11. Flash 特性.....49
表 8-12. ADC 特性.....49
表 8-13. DAC 特性.....51
表 8-14. UART 特性.....52
表 8-15. SPI 特性.....53
表 8-16. I2C 特性.....55

1. 概述

MG32F02D032 是一款基于高性能 Arm®32 位 Cortex®-M0 CPU 内置嵌套向量中断控制器（NVIC）的单芯片 32 位单片机

MG32F02D032 内置固定 **32K** 字节主闪存，用于存放应用代码与数据；另有固定 ***6K*** 字节闪存，由在系统编程（ISP）引导加载代码与在应用编程（IAP）存储器共用，用户可以调整这两部分闪存的大小分配。此外，芯片还额外内置 **64** 字节选项字节闪存，用于芯片配置。

全部闪存均可在串行写入器模式下编程（ICP，在电路编程）。此外，主闪存还支持 ISP（在系统编程）模式或 SRAM（在 SRAM 上启动）模式编程。ICP 与 ISP 允许用户在不将单片机从最终产品上取下的情况下下载新代码；IAP 则意味着应用程序运行过程中可以向闪存写入非易失数据。得益于内置电荷泵电路，编程时无需外部高压。

MG32F02D032 完整保留 Arm® 32-位 Cortex®-M0 的全部特性，内置 **2176** 字节（2K+128）SRAM、2 组 IO 端口、32 路外部中断源（4 级中断控制器）以及 3 个 8/16 位定时器/计数器。此外，**MG32F02D032** 还包含系统滴答定时器、1 个看门狗定时器、1 个带 IC/OC 的高级定时器模块、2 个通用基础定时器模块、1 个高精度内部振荡器 IHRCO（24MHz）与 ILRCO（32KHz）、1 路 12 位 ADC 以及两路 12 位电压型 DAC。

同时，**MG32F02D032** 为生产应用提供多种灵活的通信接口，提供包含 GPIO、I2C、SPI、UART、带 IC/PWM 的定时器、ADC、DAC 和 SWD（片上调试）在内的复用功能引脚。它最多有 13 个 GPIO 引脚，并提供可编程 IO 类型——准双向、推挽输出、开漏输出、仅输入（高阻）并可选择上拉。此外，芯片内置防抖电路，可滤除较差信号的噪声。

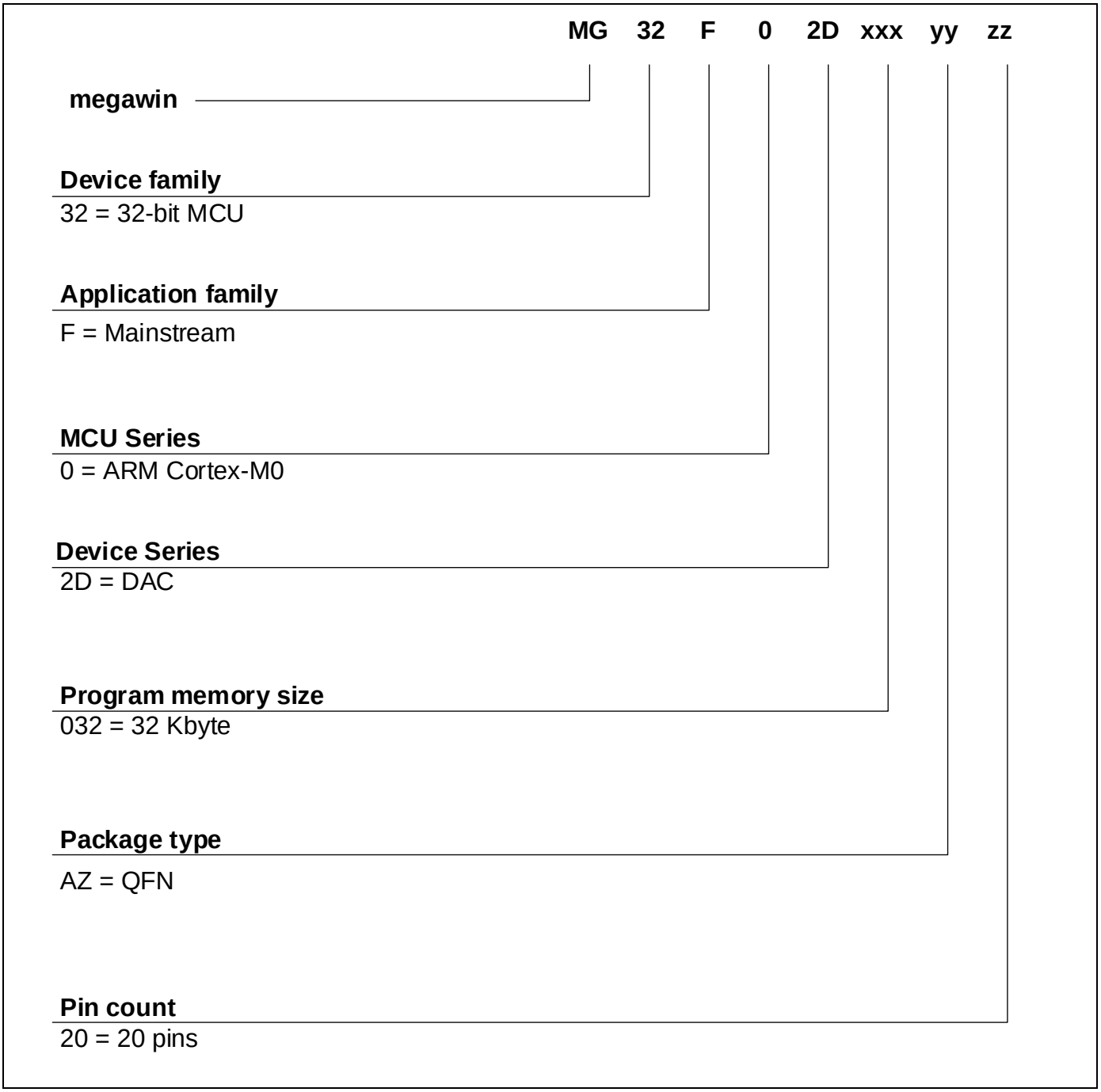
在电源管理与复位控制方面，**MG32F02D032** 内置电源监控电路，包含低压检测器（LVD）、掉电检测器（BOD1）、上电复位（POR）与低压复位（LVR）。**MG32F02D032** 提供多种掉电模式以降低功耗： SLEEP 模式与 STOP 模式。

在 SLEEP 模式下，CPU 停止运行，而外设与中断系统仍继续工作。在 STOP 模式下，RAM 与 SFR（特殊功能寄存器）的值得以保持，其余功能全部停止；最重要的是，在 SLEEP 模式下，芯片可以由多种中断或复位源（POR/LVR/BOD1）唤醒。

2. 订货信息

请联系笙泉科技（Megawin）销售，确认该器件的可用选项（存储器大小、封装等）及更多信息。

图 2-1. 器件型号编码规则



- 芯片选型

表 2-1. 芯片选型表

芯片功能	MG32F02D032	备注
闪存	32KB	AP+IAP+ISP 存储空间
SRAM	2KB+128B	
封装	QFN20	
IO 数量	13	IO 数量由封装确定
最大 CPU 频率	24MHz	
内部时钟源	ILRCO+IHRCO	IHRCO 可选可选 12MHz（默认）与 11.059MHz
电压检测器	LVR+BOD1	低压复位（LVR），BOD1：4.2/3.6/2.7/2.4V
定时器	16-bit*2: TM00/01 32-bit*1: TM36	支持全计数、级联、分立模式
IC/OC/PWM 通道	2-CH (16-bit) or 4-CH(8-bit)	IC：输入捕获，OC：输出比较（支持普通+互补输出）
WDT	IWDT	IWDT:独立看门狗定时器
ADC	12-Bit , 4-CH 250Ksps	
DAC	12-Bit , 2-CH 50Ksps	
I2C 单元	1	可选字节/缓冲模式，带/不带时钟延展
UART 单元	Basic *1	
SPI 单元	1	主机/从机模式，带或不带 NSS 控制
SPI 最高时钟	Master: 12 MHz Slave: 12 MHz	从机异步模式 12MHz
工作电压	2.7~5.5V	
工作温度	--20~85°C	抽样测试
闪存区域	AP,IAP,ISP	应用程序闪存、应用内编程数据闪存、在系统编程闪存（ISPD：在系统编程数据闪存）

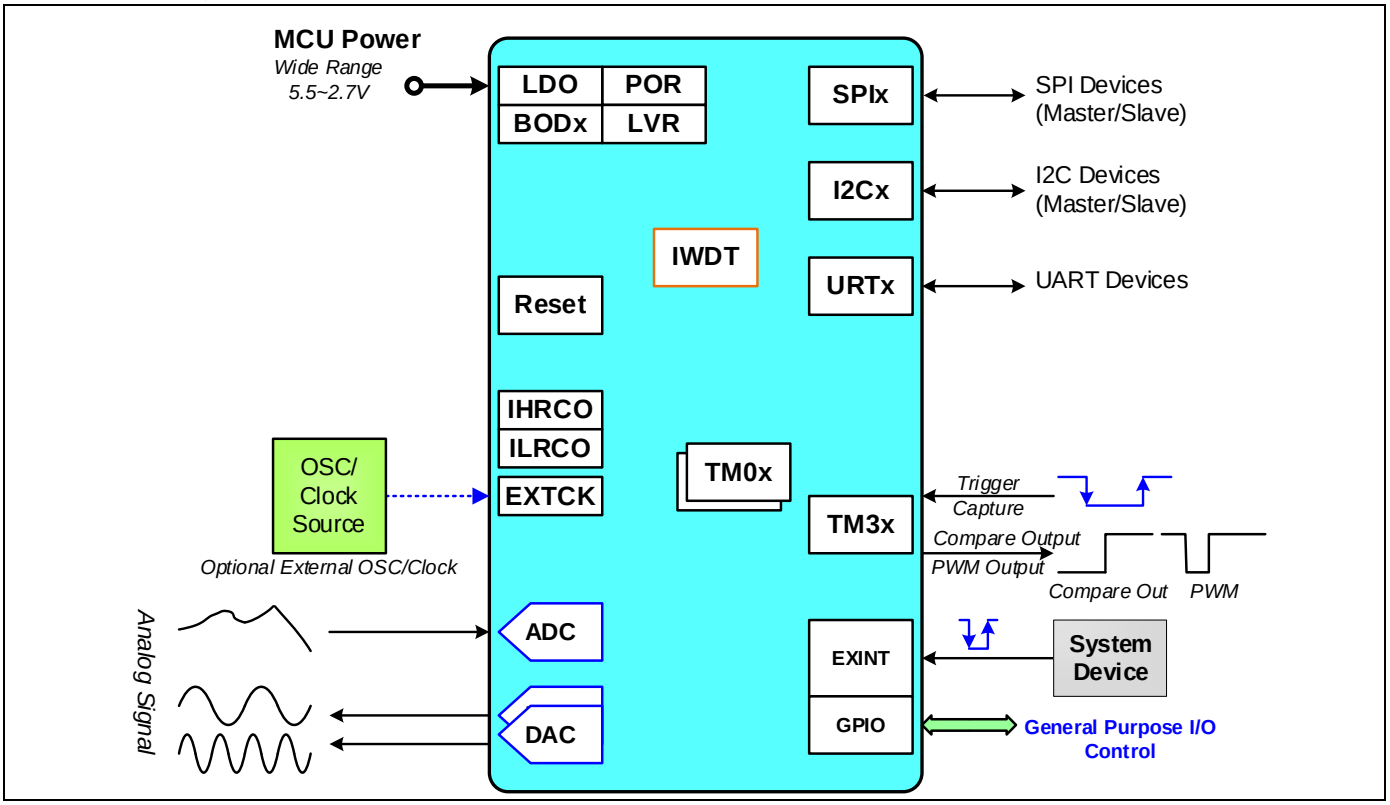
- 器件型号列表
  - **MG32F02D032AZ20：QFN20 (3mm x 3mm), 32KB Flash**

3. 框图

3.1. 系统功能框图

下图展示面向应用的系统功能框图。

图 3-1.系统功能框图

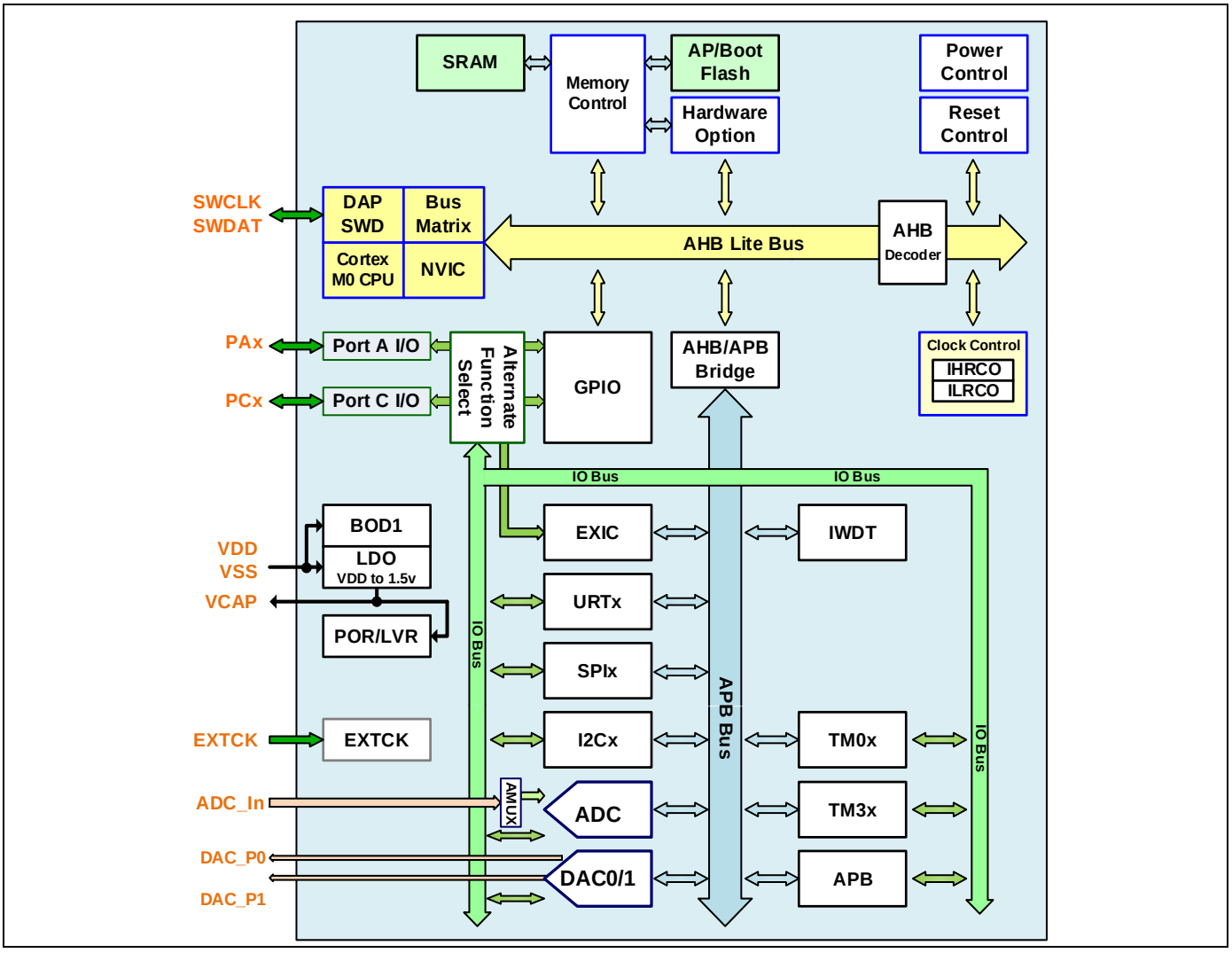


3.2. 芯片内部模块框图

下图展示芯片内部器件模块。

内置 1 个带 NVIC（嵌套向量中断控制器）与 DAP（调试访问端口）的 ARM® Cortex®-M0 处理器；AHB-Lite 总线挂载 SRAM/闪存、电源/复位/时钟系统控制器以及 GPIO 控制模块；APB 总线挂载 UART/SPI/I2C 通信控制器、通用定时器/IWDT 定时器以及 ADC/DAC 模拟控制模块；模拟器件包含 POR（上电复位）、BOD1（掉电检测器）、ILRCO（内部低频 RC 振荡器）/IHRCO（内部高频 RC 振荡器）。

图 3-2.芯片内部模块框图



4. 引脚说明

4.1. 引脚外形

4.1.1. QFN20 封装引脚

图 4-1. QFN20 封装引脚

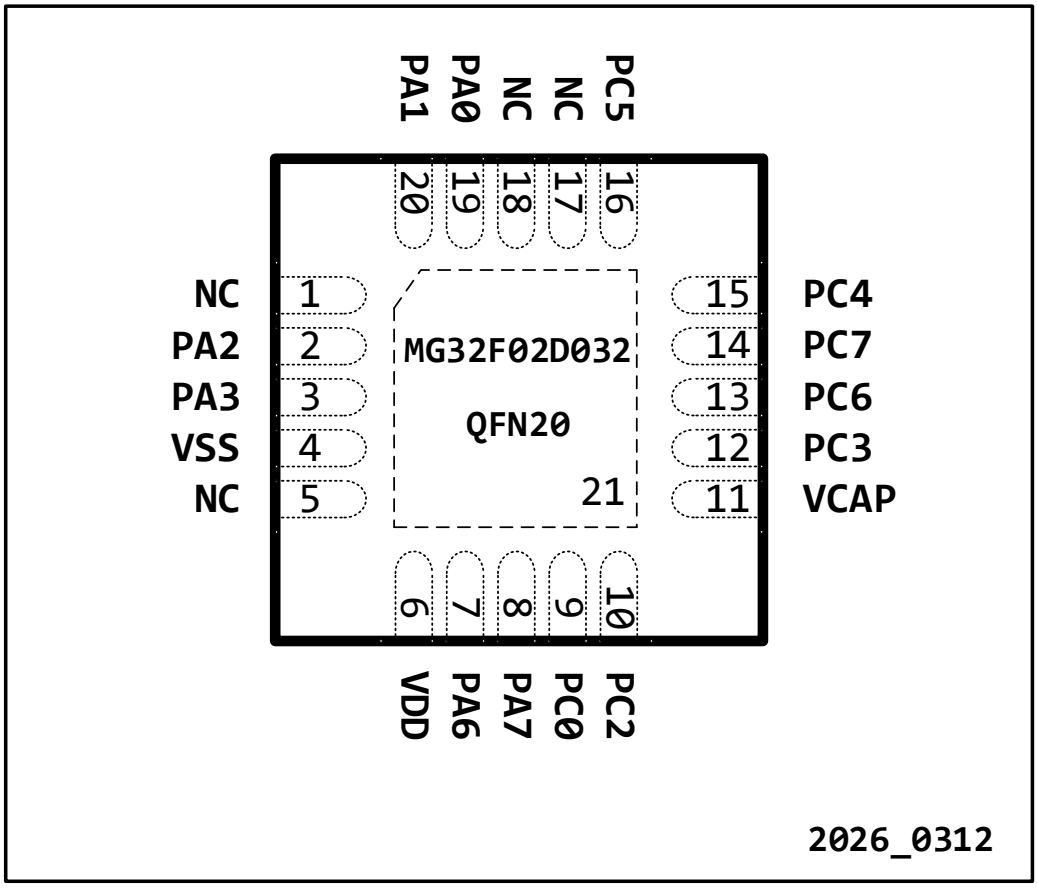


表 4-1. QFN20 引脚 AFS 列表

引脚	名称	引脚 AFS 列表	模拟功能
1	NC		
2	PA2	GPA2, SPI0_CLK, TM36_OC00, I2C0_SCL, URT4_TX	ADC_I2
3	PA3	GPA3, RSTN, SPI0_MOSI, TM36_OC10, I2C0_SDA, URT4_RX	ADC_I3
4	VSS		
5	NC		
6	VDD		
7	PA6	GPA6, SPI0_NSS, TM36_OC00, I2C0_SCL	DAC_P0
8	PA7	GPA7, TM36_CKO, SPI0_MISO, TM36_OC10, I2C0_SDA	DAC_P1
9	PC0	GPC0, ICKO, TM00_CKO, TM36_OC00, I2C0_SCL, EXTCK, DAC_TRG0, TM36_IC0	
10	PC2	GPC2, ADC0_OUT, TM36_OC10, SPI0_NSS, I2C0_SCL, MF_S0, TM36_OC0N, DAC_TRG0	
11	VCAP		
12	PC3	GPC3, TM36_OC1N, SPI0_MISO, I2C0_SDA, MF_S1, TM36_IC1, DAC_TRG1	
13	PC6	GPC6, SPI0_CLK, TM36_OC1N, URT4_TX	
14	PC7	GPC7, ADC0_TRG, TM36_TRGO, SPI0_MOSI, URT4_RX	
15	PC4	GPC4, SWCLK, I2C0_SCL, TM36_OC00, TM01_CKO, URT4_TX	
16	PC5	GPC5, SWDIO, I2C0_SDA, TM36_OC10, SPI0_NSSI, DAC_TRG1, URT4_RX	
17	NC		
18	NC		
19	PA0	GPA0, TM36_OC00, URT4_TX	ADC_I0
20	PA1	GPA1, CPU_NMI, TM36_OC10, URT4_RX	ADC_I1, VBG_OUT
21	VSS		

4.2. 引脚定义

表 4-2. 引脚定义缩写说明

IO Type		IO Structure	
P	Power/Ground pin	I	Digital Input
B	Bidirectional	P	Output Push-pull capability
I	Input	O	Output Open drain capability
O	Output	Q	Quasi-bidirectional
A	Analog I/O	A	Analog I/O (Digital I/O disable)
AO	Analog output only	U	Internal pull-up
Q	Quasi-bidirectional	CF	Fixed driving strength(GPIO mode)

表 4-3. 引脚描述

引脚名称	引脚号 QFN20	IO 类型	默认类型	默认电平	IO 结构	复用功能	描述
PA0	19	B	A		A,I,P,O,U,CF	GPA0	GPIO/中断/KBI 端口-A 功能引脚-0
						TM36_OC00	TM36 输出比较/PWM 通道-00
						URT4_TX	URT4 发送 TX 信号；可通过寄存器设置交换 URT4_RX 与 URT4_TX
						ADC_I0	ADC 模拟单端输入通道 0
PA1	20	B	A		A,I,P,O,U,CF	GPA1	GPIO/中断/KBI 端口-A 功能引脚-1
						CPU_NMI	CPU NMI 外部引脚输入
						TM36_OC10	TM36 输出比较/PWM 通道-10
						URT4_RX	URT4 接收 RX 信号；可通过寄存器设置交换 URT4_RX 与 URT4_TX
						ADC_I1	ADC 模拟单端输入通道 1
						VBG_OUT	带隙基准电压输出
PA2	2	B	A		A,I,P,O,U,CF	GPA2	GPIO/中断/KBI 端口-A 功能引脚-2
						SPI0_CLK	SPI0 时钟信号
						TM36_OC00	TM36 输出比较/PWM 通道-00
						I2C0_SCL	I2C0 SCL 信号
						URT4_TX	URT4 发送 TX 信号；可通过寄存器设置交换 URT4_RX 与 URT4_TX
						ADC_I2	ADC 模拟单端输入通道 2
PA3	3	B	A		A,I,P,O,U,CF	GPA3	GPIO/中断/KBI 端口-A 功能引脚-3
						RSTN	外部硬件复位输入
						SPI0_MOSI	SPI0 主机输出/从机输入信号，4-I/O 模式下为数据 0 信号；可通过寄存器设置交换 SPI0_MOSI 与 SPI0_MISO
						TM36_OC10	TM36 输出比较/PWM 通道-10
						I2C0_SDA	I2C0 SDA 信号
						URT4_RX	URT4 接收 RX 信号；可通过寄存器设置交换 URT4_RX 与 URT4_TX
						ADC_I3	ADC 模拟单端输入通道 3
PA6	7	B	A		A,I,P,O,Q,U,CF	GPA6	GPIO/中断/KBI 端口-A 功能引脚-6
						SPI0_NSS	SPI0 从机选择输入/输出信号
						TM36_OC00	TM36 输出比较/PWM 通道-00
						I2C0_SCL	I2C0 SCL 信号

引脚名称	引脚号 QFN20	IO 类型	默认类型	默认电平	IO 结构	复用功能	描述
						DAC_P0	DAC 模拟输出通道 0
PA7	8	B	A		A,I,P,O,Q,U,CF	GPA7	GPIO/中断/KBI 端口-A 功能引脚-7
						TM36_CKO	TM36 定时器溢出输出信号
						SPI0_MISO	SPI0 主机输入/从机输出信号，4-I/O 模式下为数据 1 信号；可通过寄存器设置交换 SPI0_MOSI 与 SPI0_MISO
						TM36_OC10	TM36 输出比较/PWM 通道-10
						I2C0_SDA	I2C0 SDA 信号
						DAC_P1	DAC 模拟输出通道 1
PC0	9	B	A		A,I,P,O,Q,U,CF	GPC0	GPIO/中断/KBI 端口-C 功能引脚-0
						ICKO	内部时钟源时钟输出
						TM00_CKO	TM00 定时器溢出输出信号
						TM36_OC00	TM36 输出比较/PWM 通道-00
						I2C0_SCL	I2C0 SCL 信号
						EXTCK	外部时钟源时钟输入
						DAC_TRG0	DAC 触发启动输入
						TM36_IC0	TM36 输入捕获通道-0
PC2	10	B	A		A,I,P,O,Q,U,CF	GPC2	GPIO/中断/KBI 端口-C 功能引脚-2
						ADC0_OUT	ADC 阈值窗口比较输出
						TM36_OC10	TM36 输出比较/PWM 通道-10
						SPI0_NSS	SPI0 从机选择输入/输出信号
						I2C0_SCL	I2C0 SCL 信号
						MF_S0	多功能信号-0 输出
						TM36_OC0N	TM36 输出比较/PWM 互补通道-0
						DAC_TRG0	DAC 触发启动输入
PC3	12	B	A		A,I,P,O,Q,U,CF	GPC3	GPIO/中断/KBI 端口-C 功能引脚-3
						TM36_OC1N	TM36 输出比较/PWM 互补通道-1
						SPI0_MISO	SPI0 主机输入/从机输出信号，4-I/O 模式下为数据 1 信号；可通过寄存器设置交换 SPI0_MOSI 与 SPI0_MISO
						I2C0_SDA	I2C0 SDA 信号
						MF_S1	多功能信号-1 输出
						TM36_IC1	TM36 输入捕获通道-1
						DAC_TRG1	DAC 触发启动输入
PC4	15	B	Q	H	A,I,P,O,Q,U,CF	GPC4	GPIO/中断/KBI 端口-C 功能引脚-4
						SWCLK	串行线调试时钟信号
						I2C0_SCL	I2C0 SCL 信号
						TM36_OC00	TM36 输出比较/PWM 通道-00
						TM01_CKO	TM01 定时器溢出输出信号
						URT4_TX	URT4 发送 TX 信号；可通过寄存器设置交换 URT4_RX 与 URT4_TX
PC5	16	B	Q	H	A,I,P,O,Q,U,CF	GPC5	GPIO/中断/KBI 端口-C 功能引脚-5
						SWDIO	串行线调试数据信号

引脚名称	引脚号 QFN20	IO 类型	默认类型	默认电平	IO 结构	复用功能	描述
						I2C0_SDA	I2C0 SDA 信号
						TM36_OC10	TM36 输出比较/PWM 通道-10
						SPI0_NSSI	SPI0 仅输入从机选择信号
						DAC_TRG1	DAC 触发启动输入
						URT4_RX	URT4 接收 RX 信号；可通过寄存器设置交换 URT4_RX 与 URT4_TX
PC6	13	B	Q	H	A,I,P,O,Q,U,CF	GPC6	GPIO/中断/KBI 端口-C 功能引脚-6
						SPI0_CLK	SPI0 时钟信号
						TM36_OC1N	TM36 输出比较/PWM 互补通道-1
						URT4_TX	URT4 发送 TX 信号；可通过寄存器设置交换 URT4_RX 与 URT4_TX
PC7	14	B	A		A,I,P,O,Q,U,CF	GPC7	GPIO/中断/KBI 端口-C 功能引脚-7
						ADC0_TRG	ADC 触发启动输入
						TM36_TRGO	TM36 触发输出信号
						SPI0_MOSI	SPI0 主机输出/从机输入信号，4-I/O 模式下为数据 0 信号；可通过寄存器设置交换 SPI0_MOSI 与 SPI0_MISO
						URT4_RX	URT4 接收 RX 信号；可通过寄存器设置交换 URT4_RX 与 URT4_TX
VSS	4,21	P					IO/内核/ADC 接地
VCAP	11	AO	AO				（VCAP）内核电源/LDO 输出（在引脚附近放置 0.1μF+4.7μF 电容）
VDD	6	P					IO 电源/LDO 输入（在引脚附近放置 0.1μF+10μF 电容）
VCC1	NC	P					霍尔传感器电源
HOUT1	NC	AO	AO				霍尔传感器输出
VCC2	NC	P					霍尔传感器电源
HOUT2	NC	AO	AO				霍尔传感器输出

4.3. 引脚 AFS 汇总表

下表汇总所有引脚相关的 IO 引脚 AFS 信号列表（AFS=n，n 为 IO 引脚 AFS 设置值）。

表 4-4.引脚 AFS 汇总表

引脚	AFS=0	AFS=1	AFS=2	AFS=3	AFS=4	AFS=5	AFS=6	AFS=7	AFS=8	AFS=9	AFS=10	AFS=11	AF12
PA0	GPA0										TM36_OC00	URT4_TX	
PA1	GPA1	CPU_NMI									TM36_OC10	URT4_RX	
PA2	GPA2							SPI0_CLK	TM36_OC00	I2C0_SCL			URT4_TX
PA3	GPA3	RSTN						SPI0_MOSI	TM36_OC10	I2C0_SDA			URT4_RX
PA6	GPA6						SPI0_NSS		TM36_OC00	I2C0_SCL			
PA7	GPA7			TM36_CKO			SPI0_MISO		TM36_OC10	I2C0_SDA			
PC0	GPC0	ICKO	TM00_CKO				TM36_OC00	I2C0_SCL	EXTCK	DAC_TRG0			TM36_IC0
PC2	GPC2	ADC0_OUT					TM36_OC10		SPI0_NSS	I2C0_SCL	MF_S0	TM36_OC0N	DAC_TRG0
PC3	GPC3						TM36_OC1N		SPI0_MISO	I2C0_SDA	MF_S1	TM36_IC1	DAC_TRG1
PC6	GPC6								SPI0_CLK			TM36_OC1N	URT4_TX
PC7	GPC7	ADC0_TRG					TM36_TRGO		SPI0_MOSI				URT4_RX
PC4	GPC4	SWCLK	I2C0_SCL						TM36_OC00	TM01_CKO			URT4_TX
PC5	GPC5	SWDIO	I2C0_SDA						TM36_OC10	SPI0_NSSI	DAC_TRG1		URT4_RX
引脚	AFS=0	AFS=1	AFS=2	AFS=3	AFS=4	AFS=5	AFS=6	AFS=7	AFS=8	AFS=9	AFS=10	AFS=11	AF12

4.4. 模拟功能引脚表

下表列出全部模拟功能的模拟信号引脚。

表 4-5.模拟功能引脚表

引脚名称	ANA0	ANA1	ANA2
PA0	ADC_I0		
PA1	ADC_I1		VBG_OUT
PA2	ADC_I2		
PA3	ADC_I3		
PA6			DAC_P0
PA7			DAC_P1

4.5. 复用功能引脚列表

下表为全部 AFS 信号相关的 AFS IO 引脚列表（[ ]内为 AFS 设置值）。

表 4-6.复用功能引脚列表

序号.	AFS 列表 t		AFS IO 引脚列表 ([ ] : AFS 设置值)					
	分组	AFS 名称	引脚-1 名称	引脚-2 名称	引脚-3 名称	引脚-4 名称	引脚-5 名称	引脚-6 名称
1	GPA	GPA0	PA0 [0]					
2		GPA1	PA1 [0]					
3		GPA2	PA2 [0]					
4		GPA3	PA3 [0]					
5		GPA6	PA6 [0]					
6		GPA7	PA7 [0]					
7	GPC	GPC0	PC0 [0]					
8		GPC2	PC2 [0]					
9		GPC3	PC3 [0]					
10		GPC6	PC6 [0]					

序号.	AFS 列表 t		AFS IO 引脚列表 ([ ] : AFS 设置值)					
	分组	AFS 名称	引脚-1 名称	引脚-2 名称	引脚-3 名称	引脚-4 名称	引脚-5 名称	引脚-6 名称
11		GPC7	PC7 [0]					
12		GPC4	PC4 [0]					
13		GPC5	PC5 [0]					
14	Chip	SWCLK	PC4 [1]					
15		SWDIO	PC5 [1]					
16		RSTN	PA3 [1]					
17		ICKO	PC0 [1]					
18		CPU_NMI	PA1 [1]					
19	ANAIO	ADC0_TRG	PC7 [1]					
20		ADC0_OUT	PC2 [1]					
21		DAC_TRG0	PC0 [9]	PC2 [12]				
22		DAC_TRG1	PC3 [12]	PC5 [10]				
23	I2C0	I2C0_SCL	PA2 [9]	PA6 [9]	PC0 [7]	PC2 [9]	PC4 [2]	
24		I2C0_SDA	PA3 [9]	PA7 [9]	PC3 [9]	PC5 [2]		
25	URT4567	URT4_TX	PA0 [11]	PA2 [12]	PC6 [12]	PC4 [12]		
26		URT4_RX	PA1 [11]	PA3 [12]	PC7 [12]	PC5 [12]		
27	SPI0	SPI0_CLK	PA2 [7]	PC6 [8]				
28		SPI0_MOSI	PA3 [7]	PC7 [8]				
29		SPI0_MISO	PA7 [6]	PC3 [8]				
30		SPI0_NSS	PA6 [6]	PC2 [8]				
31		SPI0_NSSI	PC5 [9]					
32	TM00	TM00_CKO	PC0 [2]					
33	TM01	TM01_CKO	PC4 [9]					
34	TM36	TM36_CKO	PA7 [3]					
35		TM36_TRGO	PC7 [6]					
36		TM36_IC0	PC0 [12]					
37		TM36_IC1	PC3 [11]					
38		TM36_OC00	PA0 [10]	PC0 [6]	PA2 [8]	PA6 [8]	PC4 [8]	
39		TM36_OC0N	PC2 [11]					
40		TM36_OC10	PA1 [10]	PC2 [6]	PA3 [8]	PA7 [8]	PC5 [8]	
41		TM36_OC1N	PC3 [6]	PC6 [11]				
42	Other	MF_S0	PC2 [10]					
43		MF_S1	PC3 [10]					
44		EXTCK	PC0 [8]					

5. 存储器映射

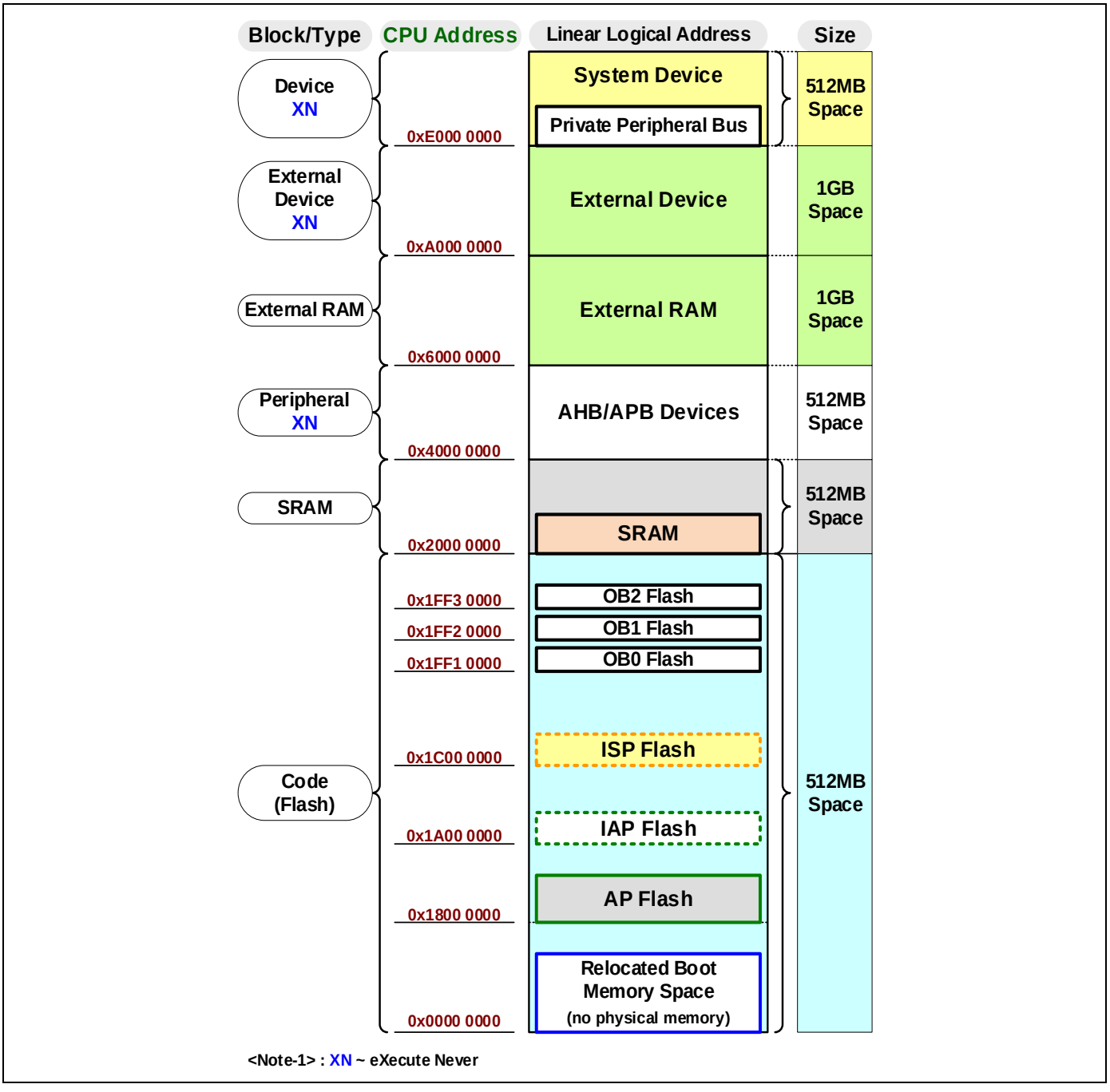
5.1. 存储器组织

芯片内置最多 ***2176*** 字节 SRAM。芯片内置最多 ***32K*** 字节主闪存，用于存放代码与数据；内置可编程大小的系统闪存，用于引导加载代码；另有 64 字节选项字节（***OB***）闪存，用于芯片配置。此外，还存在许多模块独立的硬件控制寄存器，位于 AHB/APB 器件地址空间中。

固定 ***32K*** 字节主闪存用于存放应用程序（AP）代码；另有固定 ***6K*** 字节闪存，由在系统编程（ISP）代码与在应用编程（IAP）存储器共用，用户可以调整这两部分闪存的大小。

下图展示存储器组织映射图。存储器分为 8 个独立块，每块大小 512M 字节。标记为“XN”的块不可执行代码。

图 5-1.存储器组织映射图



5.2. CPU 存储器映射

下表展示 CPU 的存储器地址映射。标记为“XN”的块不可执行代码。

表 5-1. CPU 存储器地址映射表

块索引	块名称	XN	边界地址		大小	地址空间	备注
			起始地址	结束地址			
7	系统器件	XN	0Xe010 0000	0Xffff FFFF	511MB	VENDOR_SYS	
			0Xe000 0000	0Xe00F FFFF	1MB	私有外设总线 (PPB)	M0 保留 Cortex M0 内核内部外设
6	外部器件	XN	0Xc000 0000	0Xdfff FFFF	512MB	保留	外部存储器(SRAM, Flash)
5	外部器件	XN	0Xa000 0000	0Xbfff FFFF	512MB	保留	外部存储器(SRAM, Flash)
4	外部 RAM		0x8000 0000	0x9FFF FFFF	512MB	保留	外部存储器(SRAM, Flash)
3	外部 RAM		0x6000 0000	0x7FFF FFFF	512MB	保留	外部存储器(SRAM, Flash)
2	外设	XN	0x4000 0000	0x5FFF FFFF	512MB	APB/AHB	APB/AHB 模块
			0x2000 0880	0x3FFF FFFF	512MB	保留	
			0x2000 0000	0x2000 087F	2KB	**SRAM (*2)**	2KB+128B
0	代码		0x1FF3 0200	0x1FFF FFFF	832KB	保留	
			0x1FF3 0040	0x1FF3 01FF	448B	**OB Flash-2**	
			0x1FF3 0000	0x1FF3 003F	64B		硬件选项字节-2 (64-byte)
			0x1FF2 0200	0x1FF2 FFFF	64KB	保留	
			0x1FF2 0050	0x1FF2 01FF	432B	**OB Flash-1**	
			0x1FF2 0040	0x1FF2 004F	16B		唯一 ID (16-byte)
			0x1FF2 0000	0x1FF2 003F	64B		硬件选项字节-1 (64-byte)
			0x1FF1 0200	0x1FF1 FFFF	64KB	保留	
			0x1FF1 0040	0x1FF1 01FF	448B	**OB Flash-0**	
			0x1FF1 0000	0x1FF1 003F	64B		硬件选项字节-0 (64-byte)
			0x1C00 1800	0x1FF0 FFFF	63MB	保留	
			0x1C00 0000	0x1C00 17FF	6KB	**ISP Flash (*2)**	引导闪存（大小可配置, ISP+IAP 最大. 6KB)
			0x1A00 1800	0x1BFF FFFF	32MB	保留	
			0x1A00 0000	0x1A00 17FF	6KB	**IAP Flash (*2)**	数据闪存（大小可配置， ISP+IAP 最大 6KB)
			0x1800 8000	0x19FF FFFF	32MB	保留	
			0x1800 0000	0x1800 7FFF	32KB	**AP Flash (*2)**	应用程序闪存（固定大小）
			0x0000 8000	0x17FF FFFF	384MB	保留	
			0x0000 0000	0x0000 7FFF	32KB	重映射存储器空间 (*1)	中断向量表 0x0000 00C0~0x0000 0000

XN:禁止执行, 1 块= 512MB

*1:重映射存储器空间：由 BOOT 配置决定映射到主闪存、引导闪存或 SRAM

*2:表中列出最大值，实际存储器大小请参考芯片 “芯片选型参数表”

5.3. 外设存储器边界

表 **5-2.**外设存储器地址边界表

地址类型	边界地址		大小	扇区 / 组 外设	模块	备注
	起始地址	结束地址				
APB	0x5F01 0100	0x5FFF FFFF	16MB	APB	保留	
	0x5F00 0000	0x5F00 00FF	256B		**APB**	APB 模块全局控制
	0x5E00 0000	0x5EFF FFFF	16MB	保留	保留	
	0x5D00 0100	0x5DFF FFFF	16MB	WDT/RTC	保留	
	0x5D00 0000	0x5D00 00FF	256B		**IWDT**	独立看门狗定时器
	0x5C08 0100	0x5CFF FFFF	15MB	DAC	保留	
	0x5C08 0000	0x5C08 00FF	256B		**DAC**	数模转换控制器
	0x5B00 0100	0x5C07 FFFF	16MB	ADC	保留	
	0x5B00 0000	0x5B00 00FF	256B		**ADC0**	模数转换控制器
	0x5700 0000	0x5AFF FFFF	64MB	保留	保留	
	0x5686 0100	0x56FF FFFF	8MB	TM2x/3x	保留	
	0x5686 0000	0x5686 00FF	256B		**TM36**	带 4 路 IC/OC/PWM 的 32 位定时器
	0x5501 0100	0x5685 FFFF	24MB		保留	
	0x5501 0000	0x5501 00FF	256B		**TM01**	基础 16 位定时器/计数器
	0x5500 0100	0x5500 FFFF	64KB		保留	
	0x5500 0000	0x5500 00FF	256B		**TM00**	基础 16 位定时器/计数器
	0x5300 0100	0x54FF FFFF	32MB	SPI	保留	
	0x5300 0000	0x5300 00FF	256B		**SPI0**	带数据缓冲区的 SPI 总线控制器
	0x5204 0100	0x52FF FFFF	16MB	UART	保留	
	0x5204 0000	0x5204 00FF	256B		**URT4**	基础 UART 总线控制器
	0x5100 0100	0x5203 FFFF	16MB	I2C	保留	
	0x5100 0000	0x5100 00FF	256B		**I2C0**	I2C 总线控制器
	0x5000 0100	0x50FF FFFF	16MB	EXT 中断	保留	
	0x5000 0000	0x5000 00FF	256B		**EXIC**	外部中断控制器
AHB	0x4FF0 0100	0x4FFF FFFF	1MB	Chip	保留	
	0x4FF0 0000	0x4FF0 00FF	256B		**CFG**	硬件选项(NVR0/1/2)
	0x4F00 0100	0x4FEF FFFF	15MB		保留	
	0x4F00 0000	0x4F00 00FF	256B		**WRI**	烧写接口控制
	0x4E00 0000	0x4EFF FFFF	16MB	保留	保留	
	0x4D00 0100	0x4DFF FFFF	16MB	Memory	保留	
	0x4D00 0000	0x4D00 00FF	256B		**MEM**	内部存储器控制器
	0x4C03 0100	0x4CFF FFFF	16MB	System	保留	
	0x4C03 0000	0x4C03 00FF	256B		**SYS**	系统与芯片控制
	0x4C02 0100	0x4C02 FFFF	64KB		保留	
	0x4C02 0000	0x4C02 00FF	256B		**PW**	电源管理控制器
	0x4C01 0100	0x4C01 FFFF	64KB		保留	
	0x4C01 0000	0x4C01 00FF	256B		**CSC**	时钟源控制器
	0x4C00 0100	0x4C00 FFFF	64KB		保留	
	0x4C00 0000	0x4C00 00FF	256B		**RST**	复位源控制器
	0x4500 0000	0x4BFF FFFF	112MB	保留	保留	为未来设计保留
	0x4402 0100	0x44FF FFFF	16MB	IO 配置	保留	
	0x4402 0000	0x4402 00FF	256B		**PC**	
	0x4400 0100	0x4401 FFFF	128KB		保留	
	0x4400 0000	0x4400 00FF	256B		**PA**	
	0x4100 0200	0x43FF FFFF	48MB	保留		为未来设计保留
	0x4100 0000	0x4100 01FF	512B	GPIO	**IOP**	IO 端口输入/输出
	0x4000 0000	0x40FF FFFF	16MB	保留		为未来设计保留

5.4. 启动模式

芯片启动时，通过硬件配置选项字节（***OB***）选择以下三种启动方式之一：

- 从用户应用程序（**AP**）闪存启动
- 从在系统编程（**ISP**）启动
- 从片内 **SRAM** 启动

6. 功能描述

6.1. CPU 内核

6.1.1. 简介

芯片内置 Cortex®™-M0 处理器 CPU 内核。该处理器是一种可配置的多级流水线 32 位 RISC 处理器，具有 AMBA AHB-Lite 接口，并包含 NVIC 组件，还提供可选的 DAP 硬件调试功能。

该处理器可以执行 Thumb 代码，并兼容其他 Cortex®™-M0 系列处理器。该系列支持两种模式——线程模式（Thread mode）与处理者模式（Handler mode）。发生异常时进入处理者模式；异常返回只能在处理者模式下执行。复位后进入线程模式，异常返回后也可回到线程模式。

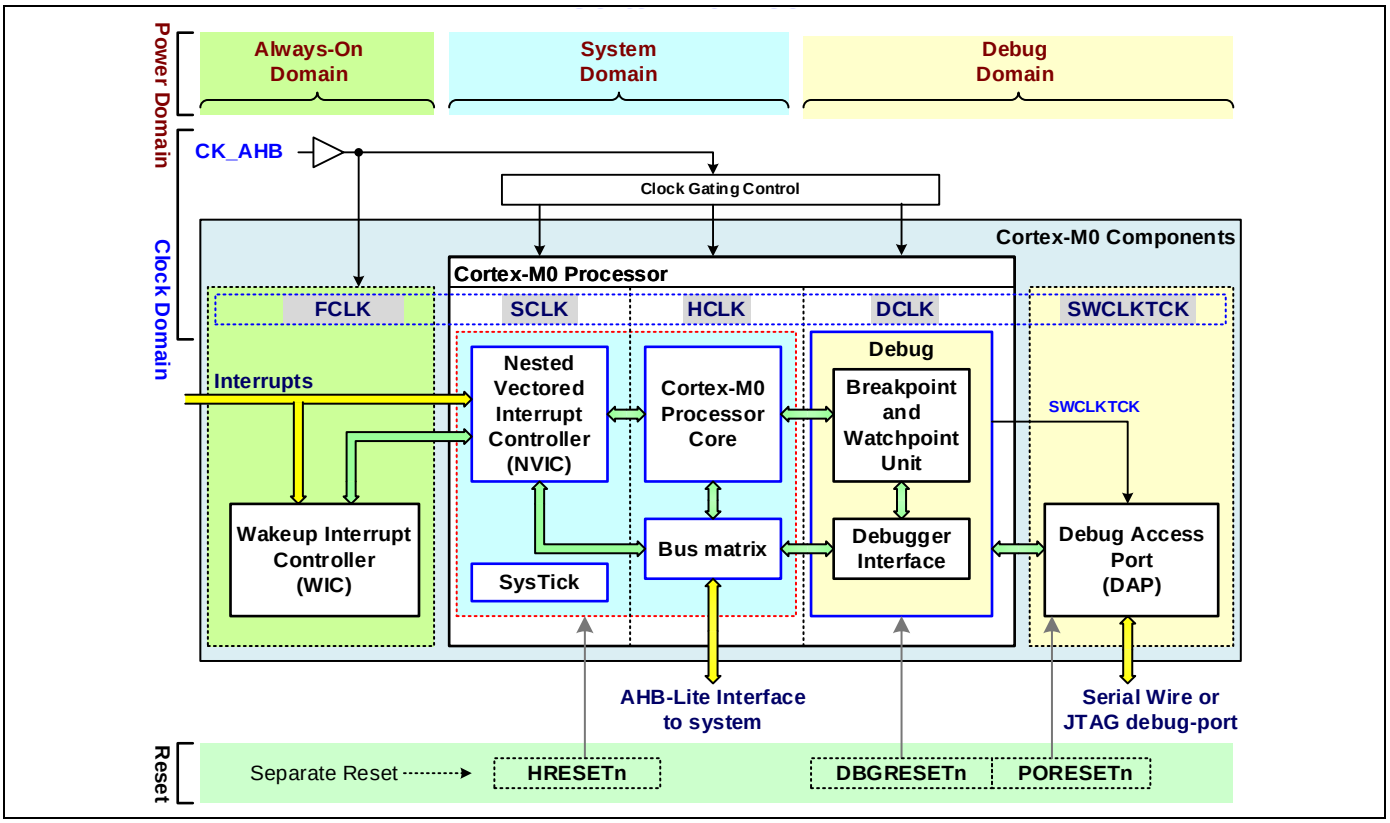
6.1.2. CPU 特性

- **ARM® 32 位 Cortex®™-M0 CPU**
- **最高工作频率 24MHz**
- **内置 1 个 NVIC，支持 32 路外部中断输入，4 级中断优先级**
- **内置 1 个 24 位系统滴答定时器**
- **内置 1 个单周期 32 位乘法器**
- **内置 1 个 SWD 串行线调试器，支持 2 个观察点、4 个断点**
- **ARMv6-M Thumb® 指令集**

6.1.3. ARM Cortex-M0 处理器

下图展示 ARM® Cortex®™-M0 处理器的模块框图。

图 6-1. ARM Cortex-M0 处理器



6.2. 电源管理

6.2.1. 简介

芯片仅需单路电源输入，内置 1 个 LDO（低压差线性稳压器）为内部内核逻辑供电。芯片支持 1 个电源控制器（PW），用于管理上电复位（POR）电路、低压复位（LVR）电路、掉电检测器（BOD1）、掉电控制与唤醒控制。

支持掉电模式：***SLEEP*** 模式与 ***STOP*** 模式。掉电模式可降低芯片功耗，并为芯片应用提供不同等级的省电方案。

6.2.2. 芯片电源特性

- **内置 1 个稳压器，用于内核逻辑供电**
- **内置掉电检测器**
  - **BOD1 检测电平可选： 4.2V/3.6V/2.7V/2.4V**
- **内置电源管理控制器，具备掉电与唤醒控制**
- **支持三种电源工作模式**
  - **ON(正常) 模式，以及 SLEEP、STOP 掉电模式**
- **支持通过多种源从 SLEEP/STOP 模式唤醒**
  - **唤醒源来自 GPIO 引脚、IWDT、I2C、BOD1**

6.2.3. 电源工作模式

电源控制器支持 ***ON***, ***SLEEP***, ***STOP*** 三种电源工作模式。

- **ON 模式**

在 ***ON*** 模式下，CPU 可以全速运行。所有外设模块可以满功耗正常运行全部功能。这些模块可以独立使能或关闭以节省电流消耗。

- **SLEEP 模式**

在 ***SLEEP*** 模式下，仅 CPU 停止并进入 CPU 睡眠状态。所有外设模块可以配置为继续运行或休眠。

在此模式下，芯片可以由相关的中断或事件发生而唤醒。

- **STOP 模式**

STOP 模式提供最低的电流消耗。与 ***SLEEP*** 模式不同的是，CPU 进入深度睡眠状态，除部分特殊模块或器件外，所有外设模块都被关闭。这些模块或器件可以配置为在 ***STOP*** 模式下继续运行或关闭，包括 IWDT 模块以及 LVR、BOD1 器件。内部稳压器也运行在低功耗模式。

在此模式下，芯片可以由部分外部输入线（GPIO）与部分事件检测唤醒。

6.2.4. 电源供电

为便于应用 PCB 设计，芯片仅需单路电源输入。内置 1 个内部低压差线性稳压器（LDO），生成+1.5V 内核电源 VDDC，用于内核逻辑供电。

VDD 引脚用于 IO 电源输入与内部 LDO 输入。**VSS** 引脚用于连接外部地，作为内部 LDO、硬核与数字逻辑的参考地。**VCAP** 引脚为 LDO 输出引脚，正常工作时需要连接旁路电容

6.2.5. CPU 掉电

要使芯片进入掉电模式，固件必须执行 WFI 或 WFE 指令，强制 CPU 进入睡眠或深度睡眠状态，随后芯片将进入 ***SLEEP*** 或 ***STOP*** 掉电模式。固件执行 WFI 或 WFE 指令后，用户可以通过设置 CPU 寄存器的 SLEEPDEEP 位来配置 CPU 睡眠模式。

表 6-1. 掉电模式选择

CPU	系统模式	CPU 寄存器
		SLEEPDEEP
运行	ON	x
休眠	SLEEP	0
深度休眠	STOP	1

6.3. 系统复位

6.3.1. 简介

复位期间，所有寄存器恢复至初始值，程序从复位向量开始执行。芯片包含复位源控制器（RST），用于管理多路复位源，并向芯片系统与内部模块产生热复位与冷复位信号。该控制器还向固件提供复位事件标志，用于识别复位发生源。

6.3.2. 芯片复位特性

- **内置 POR（上电复位）/LVR（低压复位）电路**
- **内置 1 个复位源控制器**
  - **可编程配置复位源的冷复位与热复位**
  - **内部模块独立软件复位控制**
- **提供多种复位源**
  - **POR/LVR/BOD1/外部复位引脚输入/软件强制复位**
  - **IWDT/ADC**
  - **IAR(非法地址错误复位)/闪存访问保护错误复位**

6.3.3. 芯片复位等级

芯片提供三级复位—POR 复位、冷复位与热复位。POR 复位是最高优先级复位，由芯片硬件产生；冷复位为第二优先级；热复位为最低优先级复位。

发生 POR 复位时，会产生冷复位给芯片；发生冷复位时，会产生热复位给芯片。

- **上电复位**

上电复位（***POR***）用于在上电时复位芯片内部及 CPU。芯片将保持复位状态，直到 VDD 电源上升到上电复位电压以上才开始工作。当 VDD 电源下降到 POR 阈值电压以下时，复位状态再次被激活。在断电周期内，VDD 必须下降到 POR 阈值电压以下后再重新上电，才能确保产生上电复位。

- **冷复位**

冷复位为第二优先级复位，由 POR 复位产生并触发。它发送给 IWDT 等部分模块进行深度模块复位。冷复位将重新加载全部硬件配置 ***OB***，并解除支持寄存器锁功能的模块的寄存器锁功能。

- **热复位**

热复位为最低优先级复位，由冷复位产生并触发。它发送给所有模块以清除标志与硬件电路。热复位将重新加载部分硬件配置 ***OB***，并在模块未加锁或不支持锁功能时，将模块寄存器复位为默认值。如果 RST 控制器未加锁，热复位将清除 RST 控制器中的热复位源使能位。

6.3.4. 外部复位

芯片提供来自 **RSTN** 引脚的外部硬件复位输入，通过将 **RSTN** 引脚保持为低电平实现。**RSTN** 引脚通过硬件配置 ***OB*** 配置为外部复位引脚或其他功能（GPIO 等）。为确保可靠的上电复位，来自 **RSTN** 引脚的外部硬件复位是必要的。

6.3.5. 模块复位

每个 AHB 或 APB 控制模块都可以接收系统热复位信号，以复位模块的控制标志、寄存器与逻辑电路。对于 IWDT、PW、CSC 和 MEM 等部分模块，它们还可以接收冷复位，以解除寄存器锁功能并复位模块。

6.4. 系统时钟

6.4.1. 简介

芯片内置时钟源控制器（CSC），用于系统时钟源管理。系统应用可用的时钟源包括：内部高频 RC 振荡器（***IHRCO***）、内部低频 RC 振荡器（***ILRCO***）与外部时钟输入（***EXTCK***）。

6.4.2. 芯片时钟特性

- **内置 ILRCO（内部低频 RC 振荡器），32KHz**
- **内置 IHRCO（内部高频 RC 振荡器）**
  - **在+25℃下校准至 24MHz ±1%**
- **支持外部时钟输入，最高 24MHz**
- **内置时钟源控制器，各模块独立时钟使能控制**
- **支持内部 ILRCO/IHRCO 时钟输出**

6.4.3. 系统时钟源

系统应用有三种时钟源：内部高频 RC 振荡器（***IHRCO***）、内部低频 RC 振荡器（***ILRCO***）与外部时钟输入（***EXTCK***）。软件可以根据应用需要选择其中一种时钟源，并可在运行中动态切换。但在切换时钟前，软件需要确保时钟源已稳定。

6.4.4. 模块时钟控制

CSC 模块可以对内部模块进行时钟使能设置并选择模块时钟源。用户必须先选择模块时钟并使能模块时钟，然后才能配置模块正常工作。

6.5. 系统通用控制

6.5.1. 简介

芯片内置 1 个系统控制（SYS）模块，用于系统通用控制，包括 1 个系统事件中断全局使能控制与芯片制造标识码。

6.5.2. 特性

- **系统中断源的系统中断全局使能控制**
- **芯片制造标识码——器件 ID、产品 ID、用户 ID**

6.6. 存储器访问

6.6.1. 简介

芯片的程序存储器与数据存储器具有独立的地址空间。程序与数据存储器的逻辑分离允许存储器通过 32 位地址访问，便于 CPU 快速存储与处理。芯片支持 1 个存储器控制器（MEM），用于管理内部闪存与 SRAM 的访问操作。

6.6.2. 特性

❖ 片内存储器

- **内置 32K 字节闪存，用于存放应用代码**
- **内置 6K 字节闪存，用于 ISP 代码与 IAP 数据**

- 内置最大 **2K+128** 字节 **SRAM**

❖ 存储器控制器特性

- 支持 **ICP**（在电路编程）,通过 **SWD** 接口更新 **ISP** 引导代码
- 支持 **ISP**（在系统编程），用于应用代码更新
  - 支持可编程 **ISP** 闪存大小，用于 **ISP** 引导代码
- 支持 **IAP**（在应用编程），用于应用数据更新
  - 支持可编程 **IAP** 闪存大小
- 支持 **512** 字节页擦除的闪存

6.6.3. 存储器控制器

芯片通过 AHB 总线上的存储器控制器访问片内闪存与 SRAM。该控制器包含闪存访问的 ***ICP***（在电路编程）/ ***ISP***（在系统编程）/ ***IAP***（在应用编程）电路、用于硬件选项寄存器加载的选项字节加载器，以及一个具备访问外部程序存储器能力的外部存储器总线 EMB 接口。

芯片内置固定 **32K** 字节主闪存，用于存放应用代码与数据；另有固定 ***6K*** 字节闪存，由在系统编程（ISP）引导加载代码与在应用编程（IAP）存储器共用，用户可以调整这两部分闪存的大小。此外，芯片还额外内置 64 字节选项字节闪存，用于芯片配置。

存储器控制器（MEM）支持对闪存进行读/编程（写）/擦除。用户可以通过 CPU 读指令直接读取闪存数据，无需经过任何寄存器。在“编程”模式下，MEM 提供 32 位数据写入操作以更新闪存中的新数据。在“擦除”模式下，擦除地址仅在 CPU 地址低 9 位为 0（X...XX0 0000 0000B）时有效，即以 512 字节对齐寻址。如果擦除起始地址的低 9 位不全为 0，则该擦除操作无效。

6.6.4. 闪存 ICP/ISP/IAP

芯片为 ICP、ISP 与 IAP 应用提供 3 种闪存访问模式：编程模式与读模式。ICP 允许通过硬件 SWD 接口更新闪存全部内容，无需任何固件。此外，用户可以使用 ISP 与 IAP 这两种模式，通过固件闪存访问处理程序向闪存存储区更新新数据并读取闪存内容。

6.6.5. 硬件选项字节闪存

片内最多可有 **64** 字节选项字节闪存，用于存储硬件选项配置设置。

上电复位后，内置选项字节（***OB***）闪存将加载到硬件配置选项字节寄存器（***OR***）中。硬件配置 ***OR*** 用于配置时钟源（内部 RC 振荡器或晶体振荡器）、启动存储器选择（AP、ISP 闪存或 SRAM）、IAP 闪存大小以及其他芯片配置等。

6.7. GPIO

6.7.1. 简介

芯片具有以下 IO 端口：**PA[3:0], PA[7:6], PC0, PC[7:2]**。**QFN20** 封装最多支持 **13** 个 GPIO 引脚。**RSTN** 引脚是 **PA3** 上的复用功能引脚。可用的 IO 引脚确切数量取决于封装类型。

芯片为每个 GPIO 端口内置了多个 IO 模式控制（**PA/PC**）模块。这些模块用于 GPIO 引脚的 IO 模式控制、复用功能选择、驱动强度设置、输入反相选择、上拉使能、防抖滤波设置与高速使能。此外，还内置 1 个 IO 端口访问控制（IOP）模块，用于控制所有 GPIO 端口在 GPIO 模式下的输入与输出状态。

6.7.2. 特性

- 支持通用 **IO** 引脚
  - **QFN20** 封装最多 **13** 个 **GPIO** 引脚
- 每引脚独立可选 **IO** 模式
  - 推挽输出
  - 准双向
  - 开漏输出

  - 高阻抗仅输入
  - 模拟 IO
- 灵活的引脚复用功能选择
- 每引脚独立 IO 防抖滤波
- 每引脚独立输入反相选择
- 每引脚独立上拉选项
- 复位后可选保持 GPIO 引脚状态与 IO 模式设置

6.7.3. GPIO 控制模块

GPIO 控制模块包括 IOM（IO 引脚模式控制）、IOP（IO 端口访问控制）与 AFS（复用功能选择）模块。

- **IO 工作模式**

IO 工作模式支持模拟 IO、数字输入、推挽输出、开漏输出与准双向。每引脚独立提供可选的 IO 模式。IO 模式控制模块支持每引脚独立可编程的 IO 工作模式、输出高速选项、上拉选项、输出驱动强度、IO 防抖滤波与输入反相选择。

- **IO 端口访问**

当任意 IO 引脚的 AFS 设置配置为 GPIO 功能模式时，用户可以直接设置该 IO 引脚的逻辑输出或获取逻辑输入。每个 GPIO 引脚有 1 个独立的数据输出寄存器位，用于存储输出逻辑值。用户还可以直接读取输入数据寄存器位，获取每个 GPIO 引脚的逻辑状态。

为便于固件控制，每个 GPIO 引脚提供 1 个置位控制位与 1 个清零控制位，分别用于置位与清零数据输出寄存器位。

芯片为每个 GPIO 引脚提供 1 个置位/清零寄存器控制位，用于置位、清零数据输出寄存器位或读取引脚状态。该寄存器位写 1 置位数据位，写 0 清零数据位；读该寄存器位可获取 GPIO 引脚状态。由于该寄存器位仅占用 8 位存储器空间，固件可以通过 CPU 字节访问指令轻松控制单个 GPIO 引脚，类似于 8051 单片机的位访问 IO 控制。

- **复用功能选择控制**

用户可以通过 AFS 矩阵为每个 GPIO 引脚独立配置模块功能 IO 与 IO 引脚之间的复用功能。通常，除 **SWCLK/SWDIO** 功能引脚外，每个 GPIO 引脚的 AFS 默认设置为 GPIO 功能。这些引脚可能由硬件配置 ***OB*** 更改。

6.8. 中断

6.8.1. 简介

复位后，CPU 从复位中断向量（0x00000004）地址开始执行，该地址应为用户应用程序代码的起始位置。为处理中断，中断服务位置（称为中断向量）应位于地址 0x000000BF~0x00000000。

芯片内置 Arm® cortex M0 CPU，并嵌入 NVIC（嵌套向量中断控制器），支持 32 路外部中断输入，4 级中断优先级。同时内置 EXIC（外部中断控制器）模块并连接至 NVIC。

6.8.2. 中断特性

- **内置 1 个 NVIC，支持 32 路外部中断输入，4 级中断优先级**
- **内置 1 个 EXIC（外部中断控制器），连接 NVIC**
  - **独立高/低电平、上升/下降沿触发选择**
- **内置 1 个 WIC（唤醒中断控制器），用于唤醒事件控制**
- **全部 GPIO 引脚可配置为中断源与键盘输入**
  - **支持端口或逻辑中断功能**
  - **支持端口与逻辑功能，用于 KBI 功能**
- **支持外部引脚用于 CPU NMI/RXEV/TXEV 功能**
  - **可配置引脚用于 CPU NMI 输入功能**

6.8.3. 中断架构

每个中断在程序存储器中分配有固定位置。中断使 CPU 跳转到该位置，并在此开始执行服务例程。例如，NMI 中断分配在位置 0x00000008。如果要使用 NMI，其服务例程必须从位置 0x00000008 开始。

中断服务位置以 4 字节间隔分布：0x00000004 为***复位中断***，0x00000008 为 ***NMI***，0x0000000C 为 ***HardFault***，0x0000002C 为 ***SVCall***，0x00000038 为 ***PendSV***，0x0000003C 为 ***SysTick***，等等。

- **异常类型**

NVIC 有 7 种异常类型：***复位（Reset）***、***NMI***、***HardFault***、***SVCall***、***PendSV***、***SysTick*** 与中断（IRQ）。NVIC 支持 32 路外部中断输入。中断是由外设发出或软件请求产生的异常。4 级优先级中断结构为处理这些中断源提供了极大的灵活性。

- **中断源**

“挂起位（Pending Bits）”是中断标志，通过设置“使能位（Set Enable Bit）”使能后会产生中断。“挂起位”可以由软件置位或清零，其效果与硬件置位或清零相同。也就是说，中断可以在软件中产生，也可以在软件中取消挂起。“优先级位（Priority Bits）”决定每个中断的优先级等级。“同级优先级轮询顺序（Priority within Level）”用于解决同一优先级同时请求时的处理顺序。“向量地址（Vector Address）”是程序存储器中中断服务例程的入口点。

表 6-2. 中断源列表

NVIC						备注
异常编号	IRQ 编号	中断名称	优先级	触发方式	异常处理函数	
0	-	Initial	-			
1	-	Reset	-3	异步		复位异常
2	-14	NMI	-2	异步	系统处理函数	非屏蔽中断
3	-13	HardFault	-1	同步	故障处理函数	Cortex-M0 硬故障中断
4~10	-	Reserved	-			
11	-5	SVC	可配置	同步	系统处理函数	Cortex-M0 SV 调用中断
12~13	-	Reserved	-			
14	-2	PendSV	可配置	异步	系统处理函数	Cortex-M0 Pend SV 中断
15	-1	SysTick	可配置	异步	系统处理函数	Cortex-M0 系统滴答中断
16~47	0~31	-	可配置	异步	ISRs	外设中断
可配置:可编程优先级 0~3						

- **中断优先级**

处理中断的优先级方案有 4 级。CPU 寄存器（IPR0-7、SHPR2 与 SHPR3）中的优先级位决定每个中断的优先级等级。

中断优先级寄存器为每个中断提供 8 位优先级字段，每个寄存器包含 4 个优先级字段。处理器仅实现每个字段的位[7:6]，位[5:0]读为 0 并忽略写入。

高优先级中断不会被低优先级中断请求打断。如果同时收到两个不同优先级的中断请求，则先处理高优先级请求。如果同时收到同一优先级的中断请求，由内部轮询顺序决定处理哪个请求。“中断源”表显示了同一优先级内的内部轮询顺序与中断向量地址。异常编号越小，优先级越高。

6.8.4. 嵌套向量中断控制器

Cortex®-M0 处理器集成了可配置的嵌套向量中断控制器（NVIC），支持低延迟中断处理，并包含非屏蔽中断（***NMI***）。NVIC 提供零抖动中断选项与 4 级中断优先级。

中断处理函数不需要任何汇编包装代码，消除了 ISR 的代码开销。尾链（Tail-chaining）优化还显著降低了从一个 ISR 切换到另一个 ISR 时的开销。

为优化低功耗设计，NVIC 与睡眠模式集成。可选地，睡眠模式支持可以包含深度睡眠功能，使整个器件能够快速掉电。

6.8.5. 唤醒中断控制器

芯片包含唤醒中断控制器（WIC），可以检测来自 EXIC 的中断或唤醒事件，并将处理器从深度睡眠模式唤醒。仅当 CPU 寄存器 SCR 中的 DEEPSLEEP 位设置为 1 时，WIC 才使能。WIC 不可编程，没有寄存器或用户接口，完全由硬件信号工作。

6.8.6. 外部中断控制器

外部中断控制器（EXIC）包含 4 个外部端口中断模块（EXINT），用于管理外部引脚输入中断事件；1 个唤醒控制模块，用于唤醒事件控制；并控制 NMI/RXEV 事件。EXIC 还充当内部模块与 NVIC 之间中断与唤醒事件管理的接口控制器。

6.9. APB 总线通用控制

6.9.1. 简介

片内置 1 个 APB（APB 总线通用控制）模块，用于 APB 器件的通用控制。

6.9.2. 特性

- **定时器同步使能全局控制**

6.9.3. APB 控制模块

- **定时器通用控制**

TMx 模块支持 **TMx_EN** 与 **TMx_EN2** 两个定时器使能控制位，用于分别使能每个 TMx 模块的主定时器与第二定时器。

在 APB 模块中,有与定时器使能位 **TMx_EN** 和 **TMx_EN2** 相同的控制位 **APB_TMx_EN** 与 **APB_TMx_EN2**. 这些控制寄存器位内置在 1 个 32 位寄存器中，固件可以通过设置 **APB_TMx_EN** 或 **APB_TMx_EN2** 寄存器同步使能或关闭，便于固件控制（x 为定时器模块索引）。

ITR6 与 ITR7 用作所有定时器模块的触发事件或时钟信号的公共信号。用户可以通过寄存器设置选择触发源信号。**APB_ITR6** 与 **APB_ITR7** 信号可以选自其他 TMx 定时器、URTx、ADC0 模块与 EXIC 全局中断事件。

6.10. I2C

6.10.1. 简介

I2C 接口是一种两线双向串行总线，非常适合典型的单片机应用。I2C 协议允许系统设计人员仅使用两条双向总线（一条时钟 SCL、一条数据 SDA）互连多达 128 个不同器件。I2C 总线提供 SDA、SCL 产生与同步、仲裁逻辑以及 START/STOP 控制与产生功能。实现该总线所需的外部硬件仅为每条 I2C 总线的一条上拉电阻。连接到总线的所有器件都有独立的地址，解决总线争用的机制是 I2C 协议的固有特性。

I2C 模块内置影子缓冲区与数据寄存器，以提高发送与接收通信性能。

6.10.2. 特性

- **提供 1 个 I2C 模块：I2C0**
- **支持主机与从机模式**
- **支持可编程时钟速率控制，最高 1MHz**
- **主机模式可编程高/低电平周期控制**
- **从机模式支持时钟延展**
- **支持通用呼叫功能**
- **支持多主机处理能力**
- **支持字节模式与缓冲模式两种数据流控制**

- 字节模式提供总线事件码，便于单工固件控制
- 缓冲模式支持 4 字节数据缓冲区与 32 位数据寄存器，实现高速通信
- 支持从机地址硬件检测，从 STOP 模式唤醒
- 支持 SMBus 超时检测

6.10.3. I2C 控制

- **I2C 数据字节模式控制**

  模块提供 1 个总线事件寄存器，用于获取 I2C 事件码，供软件字节模式单工控制使用。I2C 数据字节模式使用 1 个 8 位移位缓冲区与 1 个 8 位数据寄存器。

- **I2C 数据缓冲模式控制**

  模块实现 1 个 8 位移位缓冲区、1 个 32 位影子缓冲区与 1 个 32 位数据寄存器，用于数据缓冲模式的数据流控制。

- **I2C 主机时序控制**

  两个时序控制寄存器用于配置 I2C 高电平与低电平周期时间。

- **I2C 超时定时器控制**

  模块提供 1 个 8 位超时定时器（TMO），用于 I2C 访问超时控制。

6.11. UART

6.11.1. 简介

芯片支持基础 UART 模块。基础 UART 模块仅支持通过 RX 与 TX 两个引脚的标准异步通信模式。

6.11.2. 特性

- 提供 1 个 UART 模块：URT4
- UART 模块通用功能
  - 通过可编程过采样率提供精确的 UART 波特率控制
  - 支持最高 6Mbit/s 波特率
  - 可编程数据字长：7 位或 8 位
  - 硬件奇偶校验生成与检测
  - 可编程 4~32 过采样率
  - TX/RX 引脚可交换配置
  - 发送与接收独立信号极性控制
  - 支持 TX/RX 独立 8 位数据寄存器，便于单工固件控制
  - 可配置停止位：1 位或 2 位

6.11.3. 模块功能

下表展示 UART 模块实现的功能。

表 6-3. UART 模块功能表

模块功能	URT4	备注
UART –异步	支持	
7 位数据选项	支持	
TX 奇偶校验位生成	支持	硬件根据数据字节自动生成奇偶校验位
Msb/Lsb 传输选项	不支持	
可配置停止位	1, 2	可编程停止位长度

模块功能	URT4	备注
可编程过采样数	4~32	
通用定时器控制	支持	波特率定时器与超时定时器可用作通用定时器
RX 奇偶校验错误检测	支持	检查接收数据字节的奇偶校验
帧错误检测	支持	
数据溢出检测	支持	接收缓冲区超过阈值；发送缓冲区为空
DMA 请求能力	不支持	

6.11.4. UART 控制

UART 模块可以将控制模式配置为 UART（异步模式）、SYNC（同步模式）、IDLE（多处理器空闲模式）与 ADR（多处理器地址位模式）之一。

UART 模块为多处理器通信实现空闲线模式（Idle-Line mode）或地址位模式（Address-Bit mode）两种工作模式。

- **UART 数据缓冲区**

  UART 模块实现两个 8 位移位缓冲区与两个 8 位数据寄存器，用于数据流控制并降低 CPU 开销。

- **UART 数据字符格式设置**

  UART 字符定义为 UART 传输的数据单元。通常，字符包含 1 个起始位、8 位或 7 位数据位与 1 个停止位。此外，还可以插入 1 个奇偶校验位（PAR）。

- **UART 波特率控制**

  波特率定时器（BR）可以配置为 UART 波特率发生器或通用定时器。波特率定时器发生器能够输出内部时钟，用于 UART 通信波特率控制。

6.12. SPI

6.12.1. 简介

芯片提供高速串行外设接口（SPI）。SPI 是一种全双工、高速、同步通信总线，具有两种工作模式：主机模式与从机模式。在 24MHz APB 时钟下，主机模式 SPI 时钟最高可达 12MHz，从机模式最高可达 12MHz。

SPI 模块内置发送与接收独立的影子缓冲区与数据寄存器，以提高发送与接收通信性能。

6.12.2. 特性

- 支持主机与从机模式
  - 支持全双工、半双工或单工通信模式
  - 支持无 NSS（从机选择信号）的数据通信
  - 支持主机数据输入采样延迟半个 SPI 时钟
  - 支持从机数据输出提前半个 SPI 时钟
  - 支持 SPI 主机标准模式数据输出的可配置空闲状态
  - 支持 SPI 从机标准模式的异步时钟模式
- 支持可编程时钟速率控制
- 可选 8/16/24/32 位帧宽
- 支持 4 字节数据缓冲区与 32 位数据寄存器，实现高速通信
- 支持多主机处理能力
- 可选时钟极性 CPOL 与相位 CPHA
- 可选 MSB 或 LSB 先行数据顺序
- 主机模式 NSS 线硬件或软件管理
- 可配置数据传输模式
- 标准 SPI 模式（收发数据线分离）

- 单/双路 SPI 双向数据传输模式
- 支持 DTR（双倍传输速率）模式
- 数据发送/接收溢出检测
- 支持硬件主机模式故障检测与自动切换从机模式

6.12.3. 模块功能

下表展示 SPI0 模块实现的功能。

表 6-4. SPI0 模块功能表

模块功能	SPI0	备注
SPI 标准模式	主机/从机	2 条数据线全双工通信
SPI 1/2-线模式	支持	1/2 条数据线，半双工通信
从机异步模式	支持	从机模式使用异步时钟输入处理
主机数据采样延迟	支持	主机数据输入采样延迟 1/2 SPI 时钟时间
从机数据输出提前	支持	模式 0、3 下从机数据输出提前 1/2 SPI 时钟时间
数据线复制模式	支持	2 条数据线模式下所有数据线输出相同数据
DTR 模式	支持	双倍传输速率模式
MOSI/MISO 可交换	支持	
主机模式	支持	
从机模式	支持	
Msb/Lsb 传输选项	支持	
可编程数据位宽	8/16/24/32 bits	
可编程时钟相位与极性	支持	
硬件 NSS 控制	支持	主机与从机均由硬件控制
NSS 脉冲模式	支持	两帧连续数据之间可选脉冲
可编程 NSS 脉冲宽度	支持	
背靠背数据传输	支持	NSS 脉冲关闭时
模式故障检测	支持	主机模式故障/切换检测
总线空闲检测	支持	从机模式总线空闲检测
接收溢出检测	支持	
发送欠载检测	支持	从机模式数据发送欠载
发送写错误检测	支持	从机模式 NSS 无效终止；位计数错误
DMA 请求能力	不支持	

6.12.4. SPI 控制

- **SPI 数据缓冲模式控制**

  模块实现两个 32 位移位缓冲区、两个 32 位影子缓冲区与两个 32 位数据寄存器，用于数据流控制并降低 CPU 开销。

- **SPI 数据帧**

  用户可以通过寄存器设置 8/16/24/32 位数据帧宽，还可以配置帧数据顺序为 LSB 先行或 MSB 先行。

- **SPI 数据模式**

  SPI 模块提供多种数据模式，可配置为标准 SPI、1 线 SPI、2 线 SPI 中的一种，以适应灵活的 SPI 应用。

6.13. 定时器

6.13.1. 简介

芯片有 3 个定时器/计数器模块：TM00、TM01 与 TM36。它们都可以配置为定时器或事件计数器。

TM0x 是带 8 位预分频器的 8 位定时器/计数器。TM36 是带 16 位预分频器的 16 位定时器/计数器，并嵌入 4 路输入捕获/输出比较通道。

6.13.2. 特性

- 提供 3 路定时器/计数器：**TM00**、**TM01**、**TM36**
- 定时器模块通用功能：
  - 可选全计数、级联、分立模式
  - 多路内部和外部信号作为定时器时钟源或触发源
  - 内部定时器事件输出到引脚或其他模块作为输入触发事件
  - 支持定时器复位、触发启动和时钟门控触发源功能
  - 定时器溢出作为时钟输出至外部引脚
  - 可编程计数器自动停止模式
  - 主计数器支持加/减计数控制（仅 **TM36**）
  - 第二计数器支持加/减计数控制（独立模式）
- **TM36** 定时器模块：
  - **32** 位定时器/计数器
  - **2** 路 **CCP**（输入捕获/输出比较/**PWM**）通道
  - **2** 路带 **OCN**（互补输出比较）的 **CCP** 通道
  - **PWM** 功能：中心对齐、死区控制、刹车控制
  - 支持 **OC** 比较器拆分为两个独立比较器模式
  - 附加重复计数器，用于自动停止模式
  - 支持占空比捕获功能
- **TM0x** 定时器模块（**TM00**、**TM01**）：
  - 带 **8** 位预分频器的 **8** 位定时器

6.13.3. 模块功能

下表展示定时器模块实现的功能。

表 **6-5.**定时器模块功能表

模块功能	TM00/01	TM36	
定时器/计数器总位数	16	32	
定时器级联模式	支持	支持	16 位计数器+16 位预分频器，或 8 位计数器+8 位预分频器
定时器分立模式	支持	支持	两个 16 位计数器或 8 位计数器
定时器全计数模式	支持	支持	32 位计数器或 16 位计数器
独立通道		2	
内部 TRGI 线	8	8	
外部 TRGI 线			外部引脚输入作为时钟源，即使内部时钟关闭
输出 TRGO 线(*1)	1	1	支持定时器复位、使能、更新事件、输出状态作为触发输出
输出 CKO 线	1	1	定时器溢出作为时钟输出至外部引脚
输入捕获 IC 线		2	
输出 OC/OCN/OCH 线		2/2/0	OCN: 互补输出, OCH: 分离的 8 位比较高位输出
输入刹车线			刹车输入使定时器输出信号保持或进入已知（关闭）状态
PWM 分离两个		支持	支持 OC 比较器拆分为两个独立的高/低 8 位比较器模式
PWM 边沿对齐		支持	
PWM 中心对齐		支持	
死区发生器		支持	可编程死区控制

模块功能	TM00/01	TM36	
第 1 定时器向上/向下	U	U/D	向上/向下计数
第 2 定时器向上/向下	U/D	U/D	向上/向下计数
定时器自动停止	支持	支持	可编程计数器自动停止单脉冲模式
重复计数器		支持	用于自动停止模式的附加重复计数器
QEI 定时器 U/D 控制			
3-输入异或至 CH-0			
输入占空比捕获		支持	

<注> *1:由 MF_S1 AFS 支持

6.13.4. 定时器控制模块

TMx 模块包括触发/时钟控制模块、计数器级、捕获/比较控制模块与通道 IO 控制的输入/输出级（仅 TM36）以及刹车控制模块（仅 TM36）。TMx 支持三种定时器工作模式：（1）级联模式（2）独立模式（3）全计数模式。

- **触发控制模块**

  触发控制模块有两个功能，一是控制定时器触发输入事件，二是控制定时器触发输出事件。

  定时器触发输入事件包括主定时器与第二定时器的复位定时器、门控时钟与定时器启动触发。定时器触发输入事件的输入源选自外部触发信号、内部触发信号或 **TMx_IN0**/**TMx_IN1** 外部通道输入信号。

  定时器触发输出事件的来源可以来自该定时器模块的多种内部事件或信号。用户也可以通过软件寄存器直接设置触发输出。该输出事件的源可以通过寄存器选择并反相输出信号。

- **定时器输入/输出通道**

  TM0x 模块无通道输入选择功能，因为不支持输入捕获/输出比较。每个通道有 4 条输入线。

  定时器输入捕获与输出比较：输入捕获（IC）与输出比较（OC）功能仅 TM36 模块支持。TM0x 模块没有输入捕获/输出比较功能。用户可以独立将每个定时器 IC/OC 通道配置为输入捕获、输出比较或 PWM 模式。

- **PWM 死区控制**

  死区发生器（DTG）仅 TM36 模块支持。用户可以使用 DTG 功能，并将定时器通道配置为 16 位 PWM 模式或两个 8 位 PWM 模式。

- **刹车控制模块**

  刹车控制模块仅 TM36 模块支持。该模块可以从内部事件或软件寄存器输入刹车事件，以刹停定时器输出信号。

6.14. ADC

6.14.1. 简介

芯片内置 1 个 ADC0 模块，嵌入 1 个 12 位逐次逼近型 ADC（模数转换器）与用于输出代码控制的数字逻辑。它支持可配置的多路复用通道，包含 4 路外部源与 4 路内部源。模数转换可以在单次、连续、单循环扫描或连续循环扫描模式下进行。

6.14.2. 特性

- **12 位 SAR ADC，250Ksps**
  - **可配置分辨率：12/10/8 位**
  - **可配置采样时间**
- **提供 4 路外部通道与 4 路内部通道输入**
  - **内部通道源：VBUF、VSSA、DAC_P0、DAC_P1**
- **支持自动采样与外部引脚、内部事件、软件位触发**
- **输出代码左/右对齐**
- **提供内部电压源 VBUF 1.4V**

- 采样结束、转换结束、序列转换结束均可产生中断
- 支持单次/通道扫描/循环扫描
- 支持等待模式
  - 防止低频应用中 ADC 溢出
- 支持自动关闭模式
  - 除有效转换阶段外，ADC 自动断电

6.14.3. 模块功能

下表展示 ADC0 模块实现的功能。

表 6-6. ADC0 模块功能表

模块功能	ADC0	备注
AD 位分辨率	12-bit	
AD 最大转换速率	250Ksps	
外部输入通道	4	
内部输入通道	4	
ADC 参考电压上限	VDD	
VBUF, AVSS 作为 ADC 输入	支持	内部 VBG 缓冲输出、ADC 地信号
VCAP 输出作为 ADC 输入	-	内部 LDO 输出
DAC 输出作为 ADC 输入	支持	内部 DAC 输出
分压 VDD 作为 ADC 输入	-	内部 1/2 VDD 或 1/4 VDD
带增益的 PGA	-	带增益比的输入缓冲器
可配置采样时间	0~255	采样时钟时间
通道扫描转换	支持	
硬件累加器	-	
电压窗口检测	-	通过高/低阈值检测代码
输出代码限制	-	钳位输出代码或跳过该代码
代码左/右对齐	支持	输出代码数据对齐
有符号代码转换	-	ADC 输出无符号代码
等待模式	支持	
自动关闭模式	支持	
ADC 校准	偏移	
DMA 请求能力	-	

6.14.4. ADC 控制模块

ADC 控制模块由带 8 路输入通道的模拟多路复用器（AMUX）、**250K**sps/**12** 位 SAR（逐次逼近寄存器）ADC、参考电压电路、ADC 转换触发启动控制模块与通道扫描控制模块组成。

- **ADC 输入通道**

  模拟多路复用器（AMUX）选择 ADC 的输入，允许以单端模式测量任意输入引脚。

  用于 A/D 转换器的模拟输入引脚也具有数字输入与输出功能的 IO 引脚。为获得合适的模拟性能，用作 ADC 的引脚应关闭其数字输出，可通过将端口引脚置于仅输入模式实现。当 ADC 输入引脚上施加模拟信号且不需要该引脚的数字输入时，软件可以将相应引脚设置为 AIO 模式以关闭数字输入缓冲器，从而降低电流消耗。

- **单端模式**

  ADC 支持单端工作模式。对于单端模式，ADC 可以将 ADC 输出转换为无符号代码。

  ADC 采样时间：针对输入信号质量与转换速度问题，用户可以调整 ADC 采样时间。通常，如果转换速率与信号带宽对实际应用合理有效，用户可以增加 ADC 采样时间以获得更稳定的电压与更好的 ADC 性能。

- **ADC 转换模式**

  ADC 支持单次（One Shot）、通道扫描（Channel Scan）与循环扫描（Loop Scan）三种转换模式。

- **ADC 输出控制**

  ADC 转换完成后，生成 ADC 原始代码并发送至 ADC 输出控制模块，其中包括数字偏移调整器、数字分辨率调整器与数据对齐调整器。ADC 输出代码将由 ADC 输出控制模块调整，并将转换结果数据存储到 ADC 数据寄存器中。

- **ADC 等待与自动关闭**

  ADC 支持等待模式功能，防止在 ADC 采样时钟频率较低的应用中 ADC 溢出。ADC 还支持自动关闭模式功能，除有效转换阶段外，强制 ADC 自动进入断电状态。

6.15. DAC

6.15.1. 简介

芯片内置 1 个 DAC 模块，嵌入 1 个 12 位电压型 DAC（数模转换器）与用于输入代码控制的数字逻辑。数模转换可以由数据寄存器写入、事件（外部引脚输入或内部事件）触发启动。

6.15.2. 特性

- **两路 12 位电压型 DAC**
  - **最大转换速率 50Ksps**
  - **模拟输出至 ADC 内部通道**
- **转换启动触发：寄存器写入、外部引脚、内部事件**
- **内置输出缓冲器**

6.15.3. 模块功能

下表展示 DAC 模块实现的功能。

表 6-7. DAC 模块功能表

模块功能	DAC	备注
DAC 单元	2	
DAC 位分辨率	12	
DAC 类型 e	电压型	
输出通道	2	
最大转换速率	50Ksps	
DAC 参考电压上限	VDD	
内部输出缓冲器	支持	内置内部输出缓冲器
输出至 ADC	支持	DAC 模拟输出至 ADC 内部通道
输出至 ACMP	-	DAC 模拟输出至 ACMP 内部通道
输出满量程	VDD-0.2V	可编程满量程输出电流
代码左/右对齐	-	输入代码左/右对齐的数据对齐
代码宽度	12-bit	固定代码宽度
STOP 模式下输出	支持	STOP 模式下保持 DAC 输出电压
转换启动触发	寄存器写入 外部引脚 内部事件	转换启动触发：寄存器写入、外部引脚与内部事件
DMA 请求能力	-	

6.15.4. DAC 控制模块

DAC 控制模块由 **50K**sps/**12** 位电压型 DAC、参考电压电路、DAC 转换输出寄存器（**DAC_DOR0**）与 DAC 转换触发启动控制模块组成。

DAC 输出缓冲器开启时，DAC 输出可编程为 0.2V 至 VDD-0.2V 的满量程输出电压。DAC 输出缓冲器开启时，电压型 DAC 输出的电阻负载最小为 10KΩ。

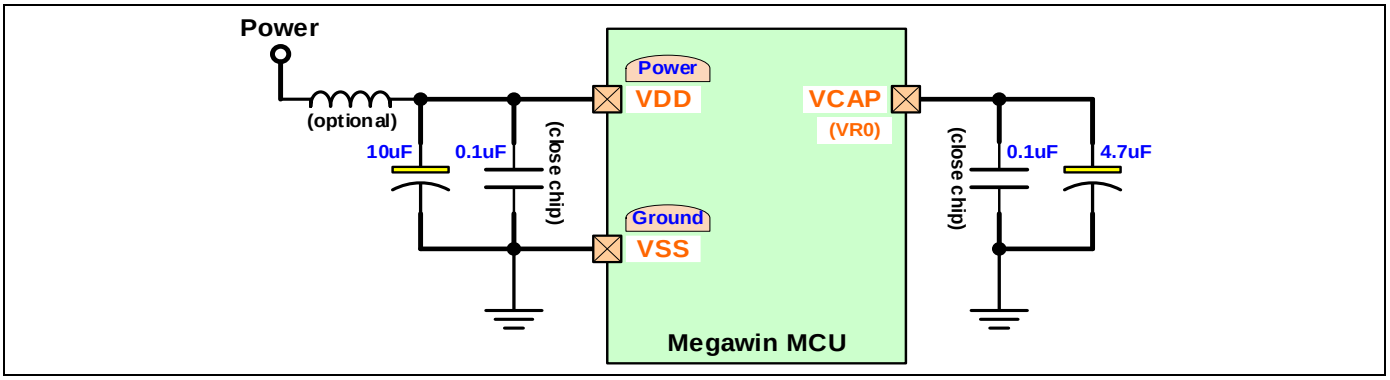
7. 应用笔记

7.1. 电源电路

为使芯片在 2.7V 至 5.5V 的电源电压范围内工作，需要在 **VDD/VSS** 电源引脚上增加外部去耦与旁路电容，如下图所示。VCAP 引脚为内置 LDO 电压输出，作为内部内核逻辑电源，需要在引脚附近放置 1 个 0.1μF 电容与 1 个 4.7μF 电容。

下图展示电源建议电路。

图 7-1.电源供电电路



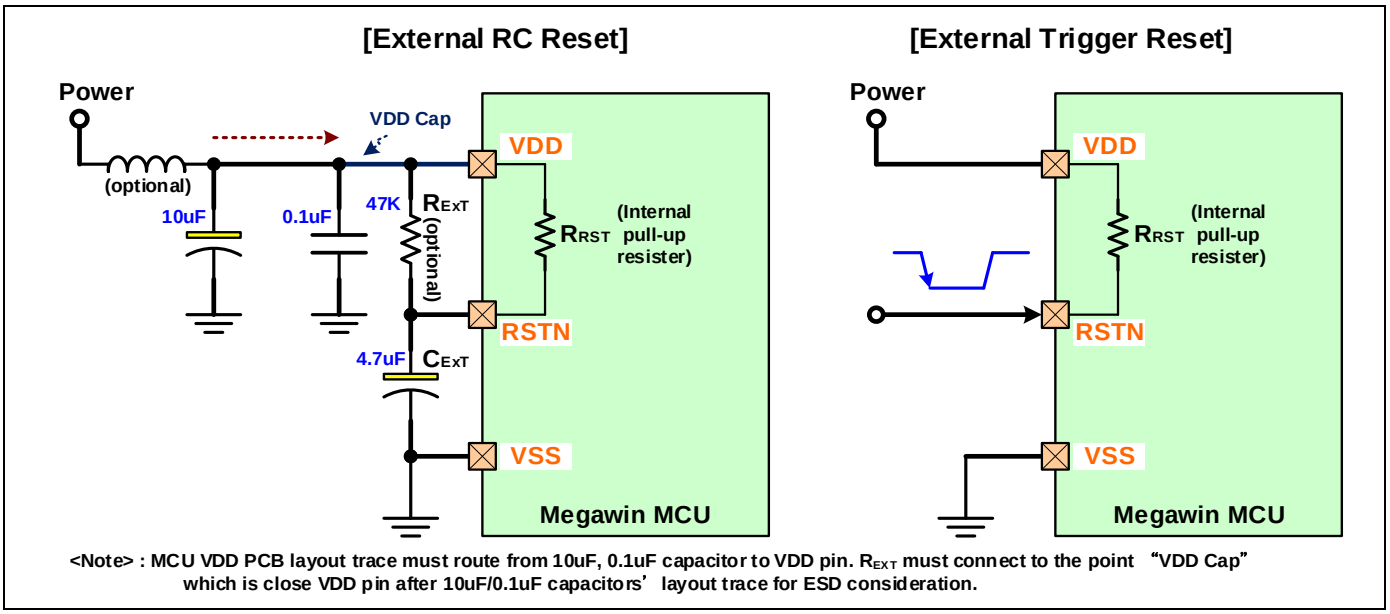
7.2. 复位电路

通常，上电时能够成功产生上电复位。然而，为进一步确保 MCU 在上电期间可靠复位，外部复位是必要的。下图展示外部复位电路，由连接到 **VSS**（地）的电容 ***CEXT*** 与连接到 **VDD**（电源）的电阻 ***REXT*** 组成。

通常，***REXT*** 是可选的，因为 **RSTN** 引脚有内部上拉电阻（***RRST***）。这个连接到 VDD 的内部扩散电阻允许仅使用连接到 **VSS** 的外部电容 ***CEXT*** 实现上电复位。

强烈建议：如果 **RSTN** 引脚在应用中被同时用作芯片复位与 GPIO 功能，则必须设置为输出模式。在这种情况下，如果设置为 GPIO 输入模式，引脚输入低电平可能导致芯片复位锁死错误。

图 7-2.复位电路



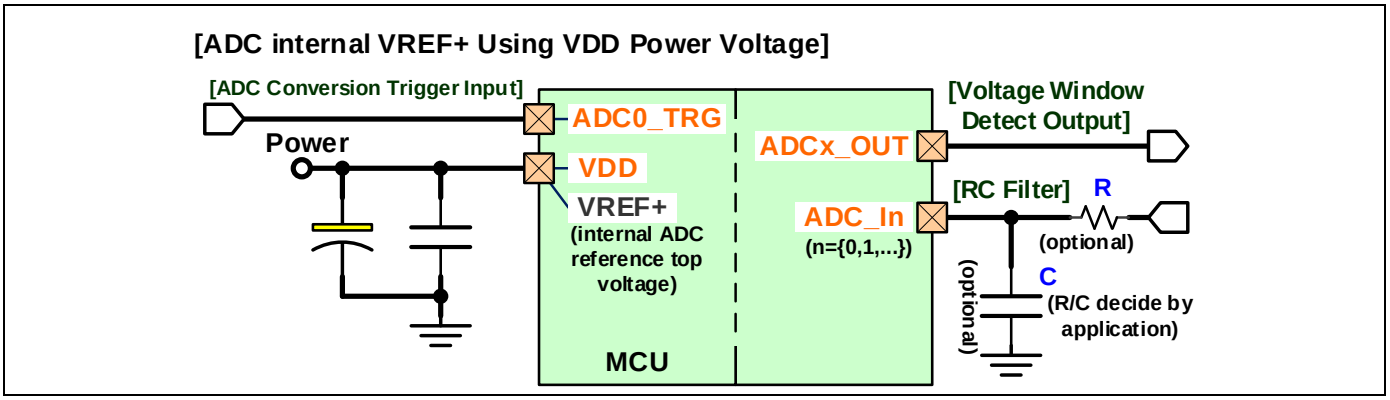
<Note> : MCU VDD PCB layout trace must route from 10uF, 0.1uF capacitor to VDD pin. R_{EXT} must connect to the point "VDD Cap" which is close VDD pin after 10uF/0.1uF capacitors' layout trace for ESD consideration.

7.3. ADC 应用电路

ADC 参考电压源可以来自 VDD 电源，通过将内部 ADC **VREF** 直接连接到 **VDD** 引脚实现。

可选的 **ADCx_TRG** 引脚能够输入 ADC 输入转换的触发信号，可选的 **ADCx_OUT** 引脚用于输出内部 ADC 窗口检测状态。

图 7-3. ADC 应用电路



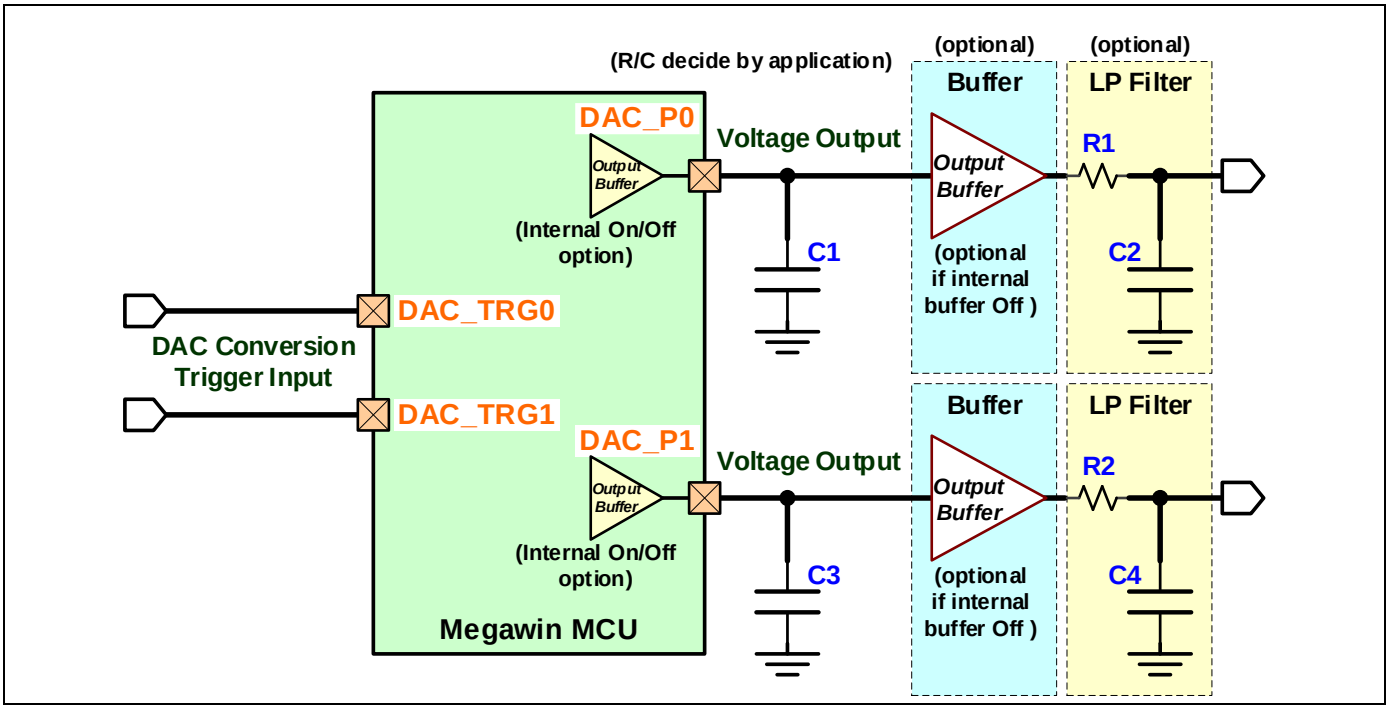
7.4. DAC 应用电路

可选的 DAC_TRGn 引脚能够输入 DAC 输出转换的触发信号。

内置输出缓冲器可以根据用户要求的应用输出电阻负载来使能。通常，需要使用电容（C1、C3）来存储 DAC 输出并稳定输出电压。外部低通滤波器（R1/C2、R2/C4）是可选的，可在应用电路中实现以获得更好的输出性能。

下图展示电压型 DAC 应用电路

图 7-4. DAC 应用电路 – 电压型 DAC



8. 电气特性

8.1. 参数术语说明

表 8-1.参数术语说明

符号	定义	说明
电气特性的缩写		
Min	最小值	除非另有说明，该值在最恶劣的环境温度与电源电压条件下，参照抽样测试平均值得到保证。
Max	最大值	除非另有说明，该值在最恶劣的环境温度与电源电压条件下，参照抽样测试平均值得到保证。
Typ	典型值	除非另有说明，该值基于 TA=25 °C, VDD=5V.
VDD	电源电压	电压范围在特性表或条件列中规定。
VSS	电源参考电压	除非另有说明，所有电压均以 VSS 为参考。
TA	环境温度	温度范围在特性表或条件列中规定。
T_{PC}	外设时钟周期时间	外设输入时钟源可选择 APB、SYS 或其他时钟。该时钟频率需要低于模块工作时钟频率的 1/2。

8.2. 绝对最大额定值

表 8-2.绝对最大额定值

参数	额定值	单位
带偏压的环境温度	-20 ~ +85	**°C**
存储温度	-65 ~ + 150	**°C**
任意端口 IO 引脚或 RST 相对于 VSS 的电压	-0.5 ~ VDD + 0.5	**Volt**
VDD 相对于 VSS 的电压	-0.5 ~ +6.0	**Volt**
流过 VDD 与 VSS 的最大总电流	200	**mA**
任意 IO 引脚灌入的最大输出电流	20	**mA**

注：超过“绝对最大额定值”所列值的应力可能导致器件永久性损坏。这仅为应力额定值，并不意味着器件在该值或本规范操作列表所示值以外的任何其他条件下可以正常工作。长期暴露在最大额定值条件下可能影响器件可靠性。

8.3. 直流电气特性

表 8-3.直流电气特性

VDD=5.0V±10%, VSS=0V, TA = 25 °C , 每个 CPU 周期执行 NOP (除非另有说明)

符号	参数	条件	限值			单位
			最小	典型	最大	
	功耗					
I_{OP1}	ON（正常）模式工作电流	TL1 (APB=AHB=32KHz) dhrystone		**0.11**		**mA**
I_{OP2}		TL2 (APB=AHB=12MHz) dhrystone		**2.52**		**mA**
I_{OP3}		TL3 (APB=AHB=24MHz) dhrystone + IP		**7.49**		**mA**
I_{OP4}		TL4 (APB=AHB=24MHz – XTAL) dhrystone + IP		**8.0**		**mA**
I_{OP5}		TL5 (APB=AHB=24MHz – EXTCK) dhrystone + IP		**6.9**		**mA**
I_{OP6}		TL6 (APB=AHB=48MHz) dhrystone + 全部 IP		**13.4**		**mA**

符号	参数	条件	限值			单位
			最小	典型	最大	
I_{SLP0}	SLEEP 模式工作电流（IWDT 使能）	SL0 (ILRCO 开启：IWDT 关闭, APB=AHB=32KHz)		106		uA
I_{SLP1}		SL1 (IHRCO 开启: APB/AHB=6MHz/3MHz)		730		uA
I_{SLP2}		SL2 (IHRCO 开启: APB=AHB=12MHz)		990		uA
I_{SLP3}		SL3 (XTAL=12MHz: APB/AHB=6MHz/3MHz)		1407		uA
I_{SLP4}		SL4 (ILRCO 开启: APB=AHB=32KHz) 低功耗 SLEEP 模式		54		uA
I_{STP0}	STOP 模式工作电流 （LVR/BOD0/BOD1 关闭）	ST0 (ILRCO 关闭)		3.2		uA
I_{STP1}		ST1 (IWDT 使能, ILRCO=32KHz)		4.5		uA
唤醒时间						
t_{WK_SLP0}	从 SLEEP 模式唤醒 （正常 SLEEP 模式）	IHRCO 开启，由 IWDT 事件唤醒 (RTC 时钟= CK_APB= CK_IHRCO)		5	6	T_{PC}
t_{WK_SLP1}	从 SLEEP 模式唤醒 （低功耗 SLEEP 模式）	IHRCO/ILRCO 开启，由 IWDT 事件唤醒(RTC 时钟= CK_APB= CK_IHRCO)	40			us
t_{WK_STP0}	从 STOP 模式唤醒	ILRCO 开启，由 IWDT 事件唤醒	16	20		us
BOD 特性						
V_{LVR}	LVR 检测电平 (VCAP)	TA = -20℃ to +85℃				Volt
I_{LVR}	LVR 功耗	TA = 25℃		2.1		uA
V_{BOD10}	BOD1 检测电平 2.4V	TA = -20℃ to +85℃				Volt
V_{BOD11}	BOD1 检测电平 2.7V	TA = -20℃ to +85℃				Volt
V_{BOD12}	BOD1 检测电平 3.6V	TA = -20℃ to +85℃				Volt
V_{BOD13}	BOD1 检测电平 4.2V	TA = -20℃ to +85℃				Volt
工作条件						
V_{PSR}	上电斜率 (VDD 10uf + 0.1uf, VCAP 4.7uf + 0.1uf)	TA = -20℃ to +85℃	0.05		2.5	V/ms
V_{OP1}	CPU 工作频率 Operating Speed 0–24MHz	TA = -20℃ to +85℃	2.7		5.5	Volt

(*1) 数据基于特性化结果，未在生产中测试

T_{PC}: APB 时钟周期时间, IP: 内部外设模块,**全部 IP**: 全部测试模块

TL3 ~ TL6: 带 IO 翻转测量电流, **SL4**: 以唤醒时间 t_{WK_SLP1} 作为低功耗 SLEEP 模式参考。

8.4. IO 电气特性

表 8-4. IO 电气特性

VSS=0V, TA = 25 °C 每个 CPU 周期执行 NOP (除非另有说明)

符号	参数	条件	限值			单位
			最小	典型	最大	
V_{IH}	输入高电平电压	除 RSTN,XIN 引脚	0.6			VDD
V_{IL}	输入低电平电压	除 RSTN,XIN 引脚			0.15	VDD
	VDD=5.0V					
I_{IH}	输入高电平漏电流	V_{PIN} = VDD		0.03	0.1	uA
I_{IL}	输入低电平漏电流	V_{PIN} = 0.4V		0.03	0.1	uA
I_{H2L}	逻辑 1 到 0 输入转换电流（准双向或带片上上拉电阻的输入模式）	V_{PIN} = 2.2V (V_{IH} 电压)		254	500	uA
I_{OH1}	输出高电平电流（推挽输出模式）	VDD=5.0V, V_{PIN} = 0.85V				mA
I_{OL1}	输出低电平电流（推挽输出模式）	VDD=5.0V, V_{PIN} = 0.1V				mA
R_{Vweak}	IO 引脚极弱上拉电阻			260		Kohm
R_{PU}	IO 引脚上拉电阻	除 RSTN		12		Kohm
TR1	IO 上升时间	C 负载=30Pf		7.2		ns
TF1	IO 下降时间 e	C 负载=30Pf		5.1		ns
	VDD=3.3V					
I_{IH}	输入高电平漏电流	V_{PIN} = VDD		0.03	0.1	uA
I_{IL}	输入低电平漏电流	V_{PIN} = 0.4V		0.04	0.1	uA
I_{H2L}	逻辑 1 到 0 输入转换电流（准双向或带片上上拉电阻的输入模式）	V_{PIN} = 1.6V (V_{IH} 电压)		112	150	uA
I_{OH1}	输出高电平电流（推挽输出模式与高灌电流等级）	VDD=3.3V, V_{PIN} = 2.4V				mA
I_{OL1}	输出低电平电流（推挽输出模式与高灌电流等级）	VDD=3.3V, V_{PIN} = 0.4V				mA
R_{Vweak}	IO 引脚极弱上拉电阻			420		Kohm
R_{PU}	IO 引脚上拉电阻	除 RSTN		16.2		Kohm
TR1	IO 上升时间	C 负载=30Pf		10.5		ns
TF1	IO 下降时间	C 负载=30Pf		6.3		ns
	VDD=2.7V					
I_{IH}	输入高电平漏电流	V_{PIN} = VDD		0.01	0.1	uA
I_{IL}	输入低电平漏电流	V_{PIN} = 0.4V		0.03	0.1	uA
I_{H2L}	逻辑 1 到 0 输入转换电流（准双向或带片上上拉电阻的输入模式）	V_{PIN} = 1.1V (V_{IH} 电压)		26	50	uA
I_{OH1}	输出高电平电流（推挽输出模式与高灌电流等级）	VDD=1.8V, V_{PIN} = 1.4V				mA
I_{OL1}	输出低电平电流（推挽输出模式与高灌电流等级）	VDD=1.8V, V_{PIN} = 0.4V				mA
R_{Vweak}	IO 引脚极弱上拉电阻			1100		Kohm
R_{PU}	IO 引脚上拉电阻	除 RSTN		65		Kohm
TR1	IO 上升时间	C 负载=30Pf		19.1		ns
TF1	IO 下降时间 e	C 负载=30Pf		13.5		ns

8.5. IHRCO 特性

表 8-5. IHRCO 特性

参数	条件	限值			单位
		最小	典型	最大	
电源电压		2.7	5.0	5.5	Volt
IHRCO0 频率	TA = +25℃		24		MHz
IHRCO0 频率偏差(出厂校准)	TA = +25℃	-1.0		+1.0	%
(VCAP= 1.5V~1.65V)	TA = -20℃ to +85℃				%
IHRCO 启动时间	TA = +25℃			5(*1)	us
IHRCO 功耗	TA = +25℃, VDD=5.0V		0.45		mA

(*1) 数据基于特性化结果，未在生产中测试

8.6. ILRCO 特性

表 8-6. ILRCO 特性

参数	条件	限值			单位
		最小	典型	最大	
电源电压		2.7	5.0	5.5	Volt
ILRCO 频率	TA = +25℃		32		KHz
ILRCO 频率偏差(出厂校准)	TA = +25℃, VDD=5.0V	-4		+4	%
	TA = -20℃ to +85℃	-30		+30	%
ILRCO 功耗	TA = +25℃, VDD=5.0V		1		uA
输出占空比	TA = +25℃, VDD=5.0V	45	50	55	%

(1) 数据基于特性化结果，未在生产中测试

8.7. LDO 特性

表 8-7. LDO 特性

VDD=5.0V±10%, VSS=0V, TA = -20℃~ +85 ℃

符号	参数	条件	限值			单位
			最小	典型	最大	
电源范围						
VDD	电源电压	正常模式, IOUT=20mA	2.7	5.0	5.5	V
通用						
VCAP	LDO 输出电压 (VCAP 引脚)	ON(正常) 模式	1.52	1.57	1.62	Volt
		低功耗模式, IOUT=100uA, VDD=2.7V~5.5V, TA = -20 ℃~ +85 °C		1.37		Volt
IQ	电流	VDD=2.7V~5.0V, 温度.= 25℃, 正常模式		30		uA
		VDD=2.7V~5.0V, 温度.= 25℃, 低功耗模式		1		uA
		VDD=2.7V~5.0V, 温度.= -20℃~ +85℃				uA
VDROP	压降电压 (VDD-VCAP)	IOUT=10mA, VDD=2.7V~5.5V (VCAP =1.57V +/-5%)				mV
IOUT	最大输出电流	VDD=5.0V (VCAP 电压变化 < ±5%)	20			mA
		VDD=3.6V (VCAP 电压变化 < ±5%)	20			mA
		VDD=2.7V (VCAP 电压变化 < ±5%)	20			mA

(1) 数据基于特性化结果，未在生产中测试

8.8. LVR 特性

表 8-8. LVR 特性

VDD=5.0V±10%, VSS=0V, TA = 25 °C

参数	条件	限值			单位
		最小	典型	最大	
电源范围					
电源电压		**2.7**	**—**	**5.5**	**V**
通用					
LVR 工作电流	仅 LVR 开启		**6**		**uA**
t 掉电电流					**uA**
目标 LVR 电压	下降沿		**1.95**		**V**
	上升沿		**2.00**		**V**
检测电压误差	校准目标为 LVR 电平				**mV**
检测电压的 LVR 温度系数	-20℃~ +85℃				**%**

8.9. BOD1 特性

表 8-9. BOD1 特性

VDD=5.0V±10%, VSS=0V, TA = 25 °C

参数	条件	限值			单位
		最小	典型	最大	
电源范围					
电源电压		2.7	—	5.5	V
通用					
工作电流(BOD1 + BOD2)			7		uA
t 掉电电流					uA
检测电压误差					mV
检测电压(-20℃ ~ 85℃)	2.4V		2.4		V
	2.7V		2.7		V
	3.6V		3.6		V
	4.2V		4.2		V
检测迟滞窗口	2.4V				mV
	2.7V				mV
	3.6V				mV
	4.2V				mV
检测电压的温度系数	-20℃~ +85℃				%

8.10. Flash 特性

表 8-10. Flash 特性

VDD=5.0V±10%, VSS=0V, TA = -20℃~ +85 ℃

参数	条件	限值			单位
		最小	典型	最大	
电源电压		2.7		5.5	Volt
Flash 写入（擦除/编程）电压		2.7		5.5	Volt
Flash 擦除/编程次数		20000			次
Flash 数据保持时间	TA = +25℃	100			年
Flash 整片擦除时间		20		40	ms
Flash 页擦除时间		4		5	ms
Flash 编程时间	编程一个 32 位字			50	μs

8.11. ADC 特性

表 8-11. ADC 特性

VDDA=VDD=5.0V±10%, VSS=0V, TA = 25 °C, CLOAD=10pF,增益=x1 (除非另有说明)

符号	参数	条件	限值			单位
			最小	典型	最大	
电源范围						
VDDA	模拟电源电压		2.7	5.0	5.5	Volt
I_{ADC_ON}	工作电流 - 正常					uA
I_{ADC_OFF}	工作电流 - 掉电					uA

符号	参数	条件	限值			单位
			最小	典型	最大	
ADC 静态参数						
Bits	分辨率				**12**	**bits**
INL	积分非线性(INL)	VREF = 5V, VDD = 5V, 250Ksps 转换速率 (采样时钟 = 6 MHz/24 时钟)	**-1.8**		**1.8**	**LSB**
INL	积分非线性(INL)	VREF = 5V, VDD = 5V, 200Ksps 转换速率 (采样时钟 = 6 MHz/30 时钟)	**-1.95**		**7**	**LSB**
DNL	微分非线性(DNL)	VREF = 5V, VDD = 5V, 250Ksps 转换速率 (采样时钟 = 6 MHz/24 时钟)	**-1**		**1.5**	**LSB**
DNL	微分非线性(DNL)	VREF = 5V, VDD = 5V, 200Ksps 转换速率 (采样时钟 = 6 MHz/30 时钟)	**-1**		**1.0**	**LSB**
E_{OFFSET}	偏移误差	VREF = 5V, VDD = 5V, 250Ksps 转换速率 (采样时钟 = 6 MHz/24 时钟)	**1.6**		**2.7**	**LSB**
E_{OFFSET}	偏移误差	VREF = 5V, VDD = 5V, 200Ksps 转换速率 (采样时钟 = 6 MHz/30 时钟)	**1.1**		**2.4**	**LSB**
E_{FS}	满量程误差	VREF = 5V, VDD = 5V, 250Ksps 转换速率 (采样时钟 = 6 MHz/24 时钟)	**-11**		**-7**	**LSB**
E_{FS}	满量程误差	VREF = 5V, VDD = 5V, 200Ksps 转换速率 (采样时钟 = 6 MHz/30 时钟)	**-11**		**-7**	**LSB**
	ADC 输入与直流特性					
V_{AIN}	ADC 输入电压范围	VDDA>=4.0V	**0.2**		**VDD-0.2**	**Volt**
		VDDA<4.0V	**0.3**		**VDD-0.3**	**Volt**
C_{LOAD}	输入电容					**pF**
V_{BUF}	内部 VBUF 参考电压	25 °C		**1.40**		**Volt**
	内部 VBUF 参考电压随温度变化	-20 °C < < 85 °C **V_{BUF}** =1.40V at 25°C	**-7**		**8**	**mV**
T_{VBUF}	动态稳定时间			**2.85**		**us**
T_{ADEN}	ADC 使能稳定时间					**us**
ADC 转换参数						
Fs	采样时钟	24 个时钟/次转换			**6**	**MHz**
		30 个时钟/次转换			**6**	**MHz**
Fconv	转换速率	VDDA = 5.5 ~ 2.7 V			**250**	**Ksps**
Tconv	转换时钟下的转换时间（不含采样时间）	ADC0_CONV_TIME=0		**24**		**时钟**
		ADC0_CONV_TIME=1		**30**		**时钟**

8.12. DAC 特性

表 8-12. DAC 特性

VDDA=VDD=5.0V±10%, VSS=0V, TA = 25 °C, TT case

符号	参数	条件	限值			单位
			最小	典型	最大	
电源范围						
VDDA	模拟电源电压	VDD = 2.7V~5.5V	**2.7**		**5.5**	**Volt**
DAC 静态参数						
	分辨率				**12**	**bits**
DNL	微分非线性(DNL)	DAC 缓冲器开启	**-1.8**		**0.8**	**LSB**
INL	积分非线性(INL)	DAC 缓冲器开启	**-2**		**3.5**	**LSB**
EOFFSET	偏移误差	DAC 缓冲器开启	**-0.001**		**0.005**	**LSB**
EGAIN	增益误差(%满量程)	DAC 缓冲器开启	**-0.001**		**0.001**	**%**
ENOB	有效位数(ENOB)			**10**		**LSB**
	DAC DC 特性					
FSR	满量程范围	DAC 缓冲器开启	**0.2**		**VDD-0.2**	**Volt**
RLOAD	缓冲器开启时的电阻负载		**10**			**Kohm**
RO	缓冲器关闭时的电阻负载	VDD=2.4V		**TBD**		**Kohm**
		VDD=3.3V		**TBD**		**Kohm**
		VDD=5.5V		**TBD**		**Kohm**
CLOAD	电容负载				**30**	**pF**
IDAC	DAC 工作电流	DAC 缓冲器开启		**TBD**		**mA**
IBUF	DAC 输出缓冲器电流	DAC 缓冲器开启		**0.50**		**mA**
IOFF	DAC 掉电电流			**TBD**		**uA**
	DAC 转换参数					
FCONV	转换速率	$C_{LOAD} \le 30$ Pf, $R_{LOAD} \ge 10$ KΩ DAC 输出从输入代码 I 变化到 i+1 LSB			**50**	**Ksps**
TSETTLING	建立时间	$C_{LOAD} \le 30$ Pf, $R_{LOAD} \ge 10$ KΩ DAC 输出从输入代码 I 变化到 i+1 LSB		**TBD**		**ns**
		$C_{LOAD} \le 30$ Pf, $R_{LOAD} \ge 10$ KΩ 输入代码在最低与最高输入代码之间转换，DAC 输出达到最终值±1 LSB		**TBD**		**us**
TSTART	DAC 开启后的启动时间			**TBD**		**us**

8.13. UART 特性

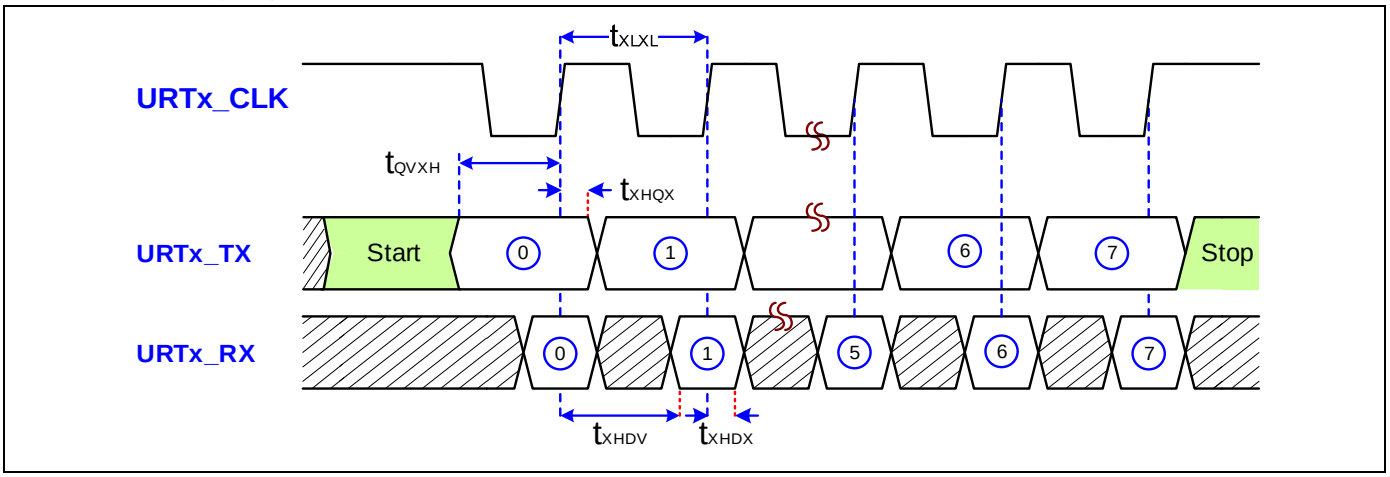
表 8-13. UART 特性

VDD=5.0V±10%, VSS=0V, TA = 25°C (除非另有说明)

符号	参数	条件	限值			单位
			最小	典型	最大	
UART 模式						
f_{CK}	串口时钟频率				6	MHz
t_{XLXL}	串口时钟周期时间		4			T_{PC}
t_{QVXH}	输出数据建立到时钟上升沿时间		T_{PC} -20			ns
t_{XHQX}	时钟上升沿后输出数据保持时间		T_{PC} -10			ns
t_{XHDX}	时钟上升沿后输入数据保持时间		0			ns
t_{XHDV}	时钟上升沿到输入数据有效时间				T_{PC} -20	ns

T_{PC} : APB 时钟或 SYS 时钟周期时间

图 8-1. UART 时序波形图



8.14. SPI 特性

表 8-14. SPI 特性

VDD=5.0V±10%, VSS=0V, TA = 25°C (除非另有说明)

符号	参数	条件	限值			单位
			最小	典型	最大	
主机模式						
f_{MCK}	SPI 时钟频率	VDD=2.7V ~ 5.5V			12	MHz
T_{mckh}	SPI 时钟高电平时间		2			T_{PC}
T_{mckl}	SPI 时钟低电平时间		2			T_{PC}
T_{mis}	D_{IN} 有效到 SPI 时钟移位沿时间		$2T_{PC}+20$			ns
T_{mih}	时钟移位沿到 D_{IN} 变化时间		0			ns
T_{moh}	SPI 时钟移位沿到 D_{OUT} 变化时间				10	ns
从机模式						
f_{SCK}	SPI 时钟频率	VDD=2.7V ~ 5.5V, 异步时钟模式			12	MHz
		VDD=2.7V ~ 5.5V, 同步时钟模式			8	MHz
t_{SE}	NSS 下降沿到第一个 SPI 时钟沿时间		2			T_{PC}
t_{SD}	最后一个 SPI 时钟沿到 NSS 上升沿时间		2			T_{PC}
t_{SEZ}	NSS 下降沿到 D_{OUT} 有效时间				4	T_{PC}
t_{SDZ}	NSS 上升沿到 D_{OUT} 高阻时间				4	T_{PC}
t_{CKH}	SPI 时钟高电平时间		3			T_{PC}
t_{CKL}	SPI 时钟低电平时间		3			T_{PC}
t_{SIS}	D_{IN} 有效到 SPI 时钟采样沿时间		2			T_{PC}
t_{SIH}	SPI 时钟采样沿到 D_{IN} 变化时间		2			T_{PC}
t_{SOH}	SPI 时钟移位沿到 D_{OUT} 变化时间				4	T_{PC}
t_{SLH}	最后一个 SPI 时钟沿到 D_{OUT} 变化时间 (仅 CPHA = 1)		1		2	T_{PC}

T_{PC} : APB 时钟或 SYS 时钟周期时间

D_{IN} : SPI 输入数据信号

D_{OUT} : SPI 输出数据信号

图 8-2. SPI 主机时序波形图

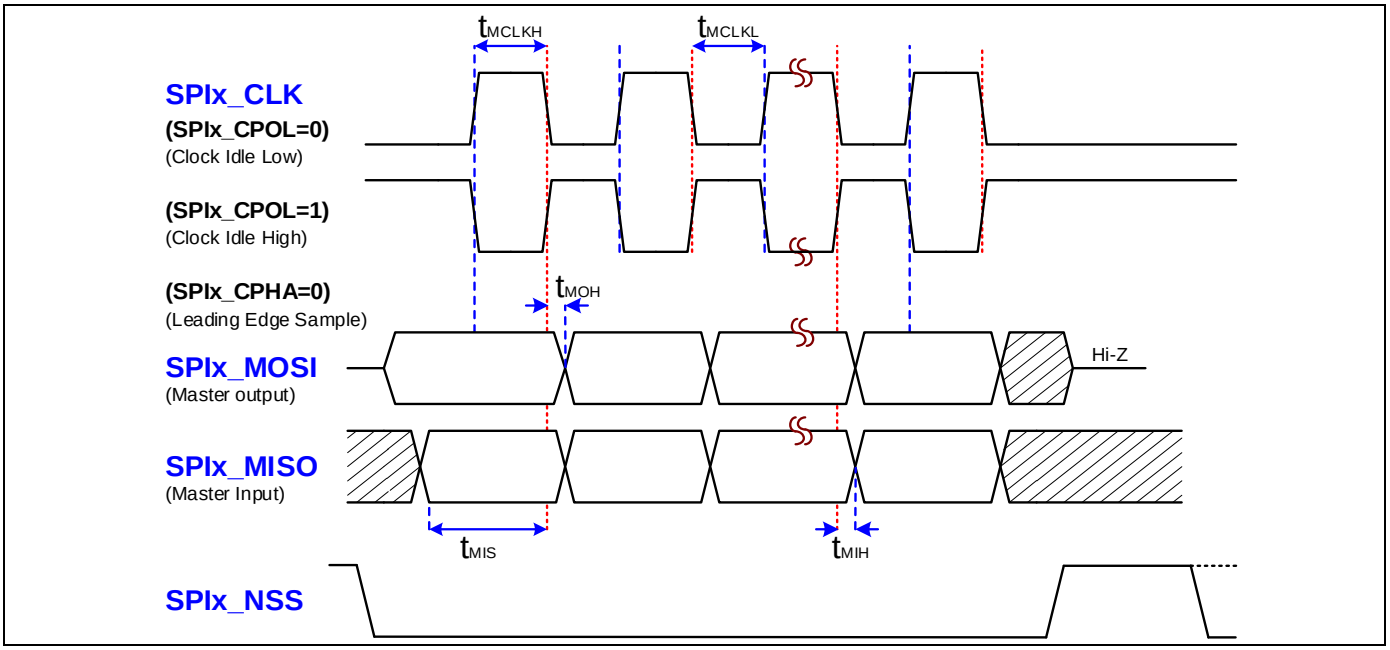
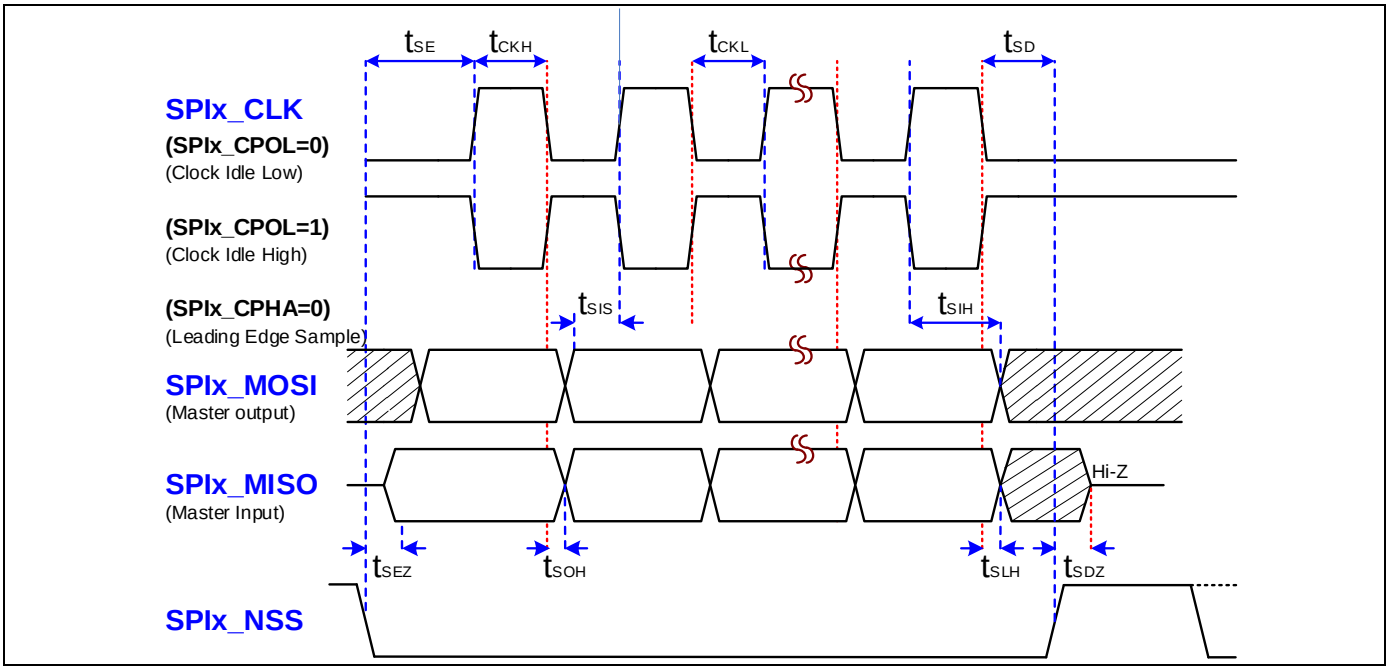


图 8-3. SPI 从机时序波形图



8.15. I2C 特性

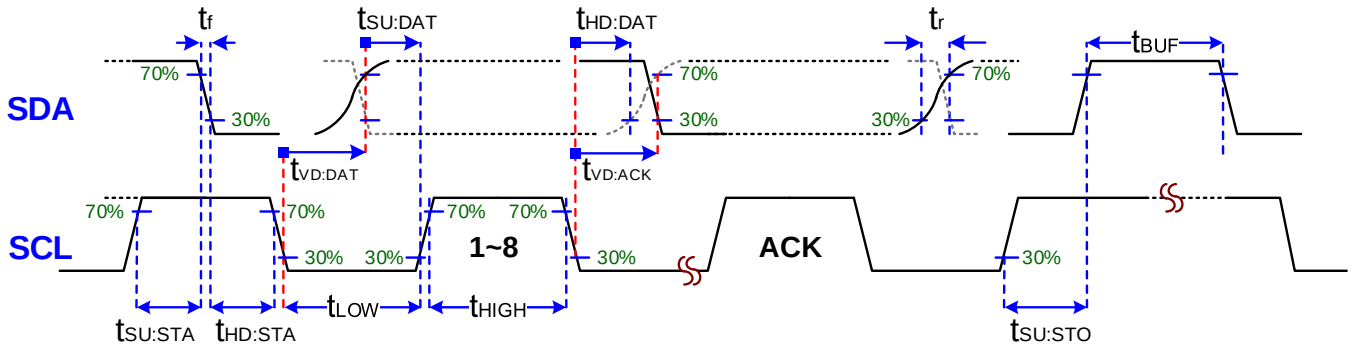
表 8-15. I2C 特性

VDD=5.0V±10%, VSS=0V, TA = 25°C (除非另有说明)

符号	参数	条件	标准模式		快速模式		快速+模式		单位
			最小	最大	最小	最大	最小	最大	
f_{SCL}	SCL 时钟频率		0	100	0	400	0	1000	KHz
t_{Low}	SCL 时钟低电平周期		4.7		1.3		0.5		us
t_{Low_M}	SCL 时钟低电平周期(主机模式)		2		2		2		T_{PC}
t_{Low_S}	SCL 时钟低电平周期(从机模式)		4		4		4		T_{PC}
t_{High}	SCL 时钟高电平周期		4.0		0.6		0.26		us
t_{High_M}	SCL 时钟高电平周期 (主机模式)		3		3		3		T_{PC}
t_{High_S}	SCL 时钟高电平周期 (从机模式)		5		5		5		T_{PC}
$t_{HD;STA}$	START 条件保持时间		4.0		0.6		0.26		us
$t_{SU;STA}$	START 条件建立时间		4.7		0.6		0.26		us
$t_{HD;DAT}$	数据保持时间		0		0		0		us
$t_{SU;DAT}$	数据建立时间		250		100		50		ns
$t_{SU;STO}$	STOP 条件建立时间		4.0		0.6		0.26		us
t_{BUF}	STOP 与 START 之间的总线空闲时间		4.7		1.3		0.5		us
$t_{VD;DAT}$	数据有效时间			3.45		0.9		0.45	us
$t_{VD;ACK}$	数据有效应答时间			3.45		0.9		0.45	us
t_r	SDA 与 SCL 信号上升时间			1000		300		120	ns
t_f	SDA 与 SCL 信号下降时间			300	20x (VDD/5.5V)	300	20x (VDD/5.5V)	120	ns
C_i	每个 IO 引脚的电容负载			10		10		10	pF

T_{PC} : APB 时钟或 SYS 时钟周期时间

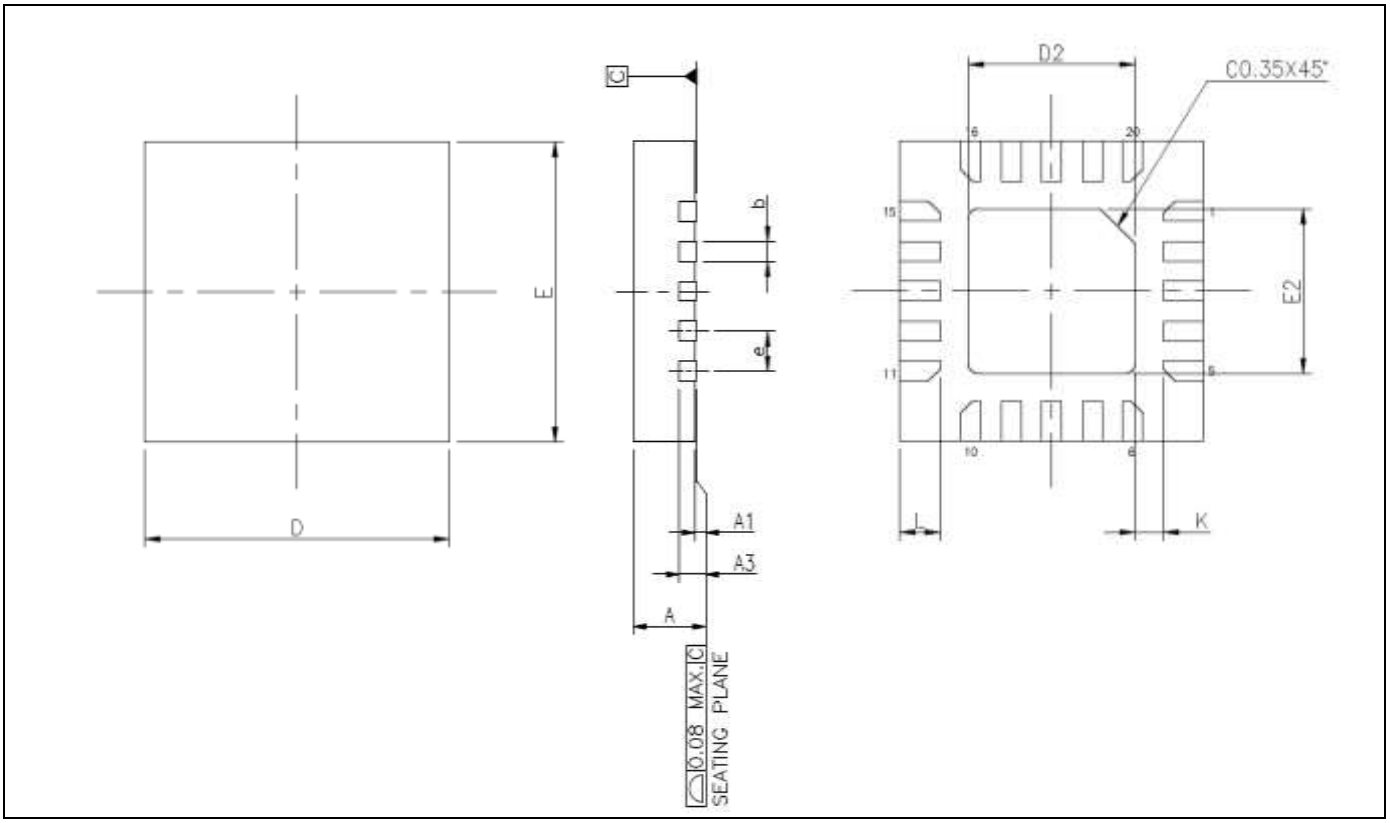
图 8-4. I2C 时序波形图



9. 封装尺寸

9.1. QFN-20 (3x3x0.75)

图 9-1. QFN-20 (3mm X 3mm X 0.75mm) ~ AZ20



单位	mm			inch		
JEDEC	MO-220			MO-220		
PKG	WQFN(X319)			WQFN(X319)		
符号	最小	标称	最大	最小	标称	最大
A	0.70	0.75	0.80	0.027	0.029	0.031
A1	0.00	0.02	0.05	0.000	0.000	0.001
A3	0.203 REF.			0.007REF.		
b	0.15	0.20	0.25	0.005	0.007	0.009
D	3.00 BSC			0.118 BSC		
E	3.00 BSC			0.118 BSC		
e	0.40 BSC			0.015 BSC		
L	0.30	0.40	0.50	0.011	0.015	0.019
K	0.20	---	---	0.007	---	---
D2	1.60	1.65	1.70	0.062	0.064	0.066
E2	1.60	1.65	1.70	0.062	0.064	0.066

10. 版本历史

版本 v0.06 (2026_0921)		章节
1	修改“特性”中的“工作温度”	特性
2	修改表 2-1 中的“工作温度”	表 2-1.
3	修改“带偏置下的环境温度”额定值	表 8-2
4	修改“LVR 检测电压的温度系数”条件	表 8-9
5	修改“BOD1 检测电压的温度系数”条件	表 8-10
6	修改“内部 VBUF 参考电压随温度变化”条件	表 8-12
7	删除“外部时钟特性”章节	8-5
8	修改“LDO 特性”的环境温度 TA	8-8
9	修改“LDO 输出电压（VCAP 引脚）”条件	表 8-8
10	修改“电流”条件	表 8-8
11	修改“闪存特性”的环境温度 TA	8-10
12	修改“BOD 特性”条件	表 8-3
13	修改“工作条件”条件	表 8-3
14	修改“IHRCO0 频率偏差（出厂校准）（VCAP=1.5V~1.65V）”条件	表 8-6
15	修改“ILRCO 频率偏差（出厂校准）”条件	表 8-7
16	修改“检测电压”参数	表 8-10
17	将“AY20”修改为“AZ20”	图 9-1
18	修改“器件型号列表”中“AY20”为“AZ20”	2
19	删除“4.1.2 LQFP32 封装引脚分配”章节	4.1.2
20	删除 GPIO 中的 LQFP32 封装	特性
21	删除封装类型中的 LQFP32 封装	特性
22	删除封装（LQFP32）	表 2-1
23	删除“MG32F02D032AD32：LQFP32（7mm×7mm），32KB 闪存”	2
24	删除 LQFP32 列	表 4-3
25	删除“LQFP32”封装	6.7.1
26	删除“LQFP32”封装	6.7.2
27	删除“LQFP-32”章节	9.2
28	删除“LQFP”与“32”项	图 2-1
29	将“AY20”修改为“AZ20”	图 2-1

版本 v0.05 (2026_0414)		章节
1	修改 BOD1 检测电平	特性
2	修改 BOD1 检测电平	表 2-1
3	修改 BOD1 检测电平	6.2.2
4	修改 BOD1 检测电平	表 8-3
5	修改 BOD1 检测电压与检测迟滞窗口	表 8-10
版本 v0.04 (2026_0401)		**章节**
1	在特性 GPIO 中增加 LQFP32	特性
2	在特性封装类型中增加 LQFP32	特性
3	在表 2-1 器件型号列表中增加 LQFP32	表 2-1
4	增加 LQFP32 封装	4.1.1
5	增加 LQFP32 封装尺寸	9.2
6	在表 4-3 增加 LQFP32 引脚号	表 4-2
7	修改表 4-3 中 QFN20 引脚号.	表 4-2
8	修改表 8-12. ADC 特性	表 8-12
9	修改表 8-13. DAC 特性	表 8-13
版本 v0.03 (2026_0312)		**章节**
1	修改 QFN20 引脚.	4.1.1
版本 v0.02 (2026_0310)		**章节**
1	增加 QFN20 中间焊盘.	4.1.1
版本 v0.01 (2025_1209)		**章节**
1	内部预发布初版	

11. 免责声明

本文中，megawin 指“*笙泉科技股份有限公司（**Megawin Technology Co., Ltd.**）*”。

生命支持 — 本产品并非为医疗、救生或维持生命应用，或可合理预期本产品故障会导致人身伤害的系统而设计。客户将本产品用于或销售用于此类应用时，需自行承担风险，并同意对因该等不当使用或销售造成的任何损害向笙泉科技全额赔偿。

变更权利 — 笙泉科技保留对本文件所述或所含产品（包括电路、标准单元和/或软件）进行变更的权利，以改进设计和/或性能。产品量产时，相关变更将通过工程变更通知（ECN）传达。