

MG32F04A064

Arm® Cortex® M0+ 内核

用户手册

版本 0.01

日期 2026/08/03

目录

目录	3
附图目录	12
表格目录	15
1 系统和存储器架构	17
1.1 系统架构简介	17
1.1.1 系统总线	17
1.1.2 总线矩阵	17
1.2 存储器介绍	18
1.2.1 存储器映像和寄存器编址	18
1.2.2 内置的 SRAM	19
1.2.3 闪存存储器概述	19
2 嵌入式闪存	20
2.1 简介	20
2.2 闪存构成与描述	20
2.2.1 闪存构成	20
2.2.2 选项字节描述	21
2.3 闪存操作与流程	22
2.3.1 闪存读操作	22
2.3.2 闪存编程方式与操作流程	22
2.3.3 对闪存块操作限制的解除与使能	23
2.3.4 对选项字节区块操作限制的解除与使能	23
2.3.5 主闪存块擦除	25
2.3.6 主闪存块编程	26
2.3.7 选项字节区块擦除	28
2.3.8 选项字节区块编程	29
2.3.9 闪存保护	31
2.3.9.1 主闪存块读保护	31
2.3.9.2 主闪存块写保护	31
2.4 寄存器	32
2.4.1 寄存器概览	32
2.4.2 FLASH_ACR 闪存访问控制寄存器	32
2.4.3 FLASH_KEYR FPEC 键寄存器	33
2.4.4 FLASH_OPTKEYR 闪存 OPTKEY 寄存器	33
2.4.5 FLASH_SR 闪存状态寄存器	33
2.4.6 FLASH_CR 闪存控制寄存器	34
2.4.7 FLASH_AR 闪存地址寄存器	35
2.4.8 FLASH_OBR 选项字节寄存器	35
2.4.9 FLASH_WRP 写保护寄存器	36
3 CRC 循环冗余校验计算单元	37
3.1 简介	37
3.2 主要特性	37
3.3 功能描述	37
3.3.1 功能框图	37
3.3.2 功能概述	37
3.3.3 使用方法	38
3.3.3.1 CRC 计算操作步骤	38
3.4 寄存器	38
3.4.1 寄存器概览	38
3.4.2 CRC_DR CRC 数据寄存器	38
3.4.3 CRC_IDR CRC 独立数据寄存器	38
3.4.4 CRC_CR CRC 控制寄存器	39
4 芯片特定配置	40
4.1 中断向量表	40
4.2 外部中断映射	41
4.3 ADC 通道分配	41
4.4 系统模块硬件互连	42
5 PWR 电源控制器	44
5.1 供电系统	44
5.1.1 VDD 域	44
5.1.2 VDD_Core 域	44

5.2	电源管理器	44
5.2.1	上电复位和掉电复位	44
5.2.2	可编程电压监测器	45
5.3	功耗控制	46
5.3.1	功耗控制概述	46
5.3.2	运行模式下降低系统时钟	46
5.3.3	外部时钟控制	46
5.3.4	睡眠模式	47
5.3.4.1	进入睡眠模式	47
5.3.5	停机模式	47
5.3.5.1	进入停机模式	47
5.3.5.2	退出停机模式	47
5.3.6	深度停机模式	48
5.3.6.1	进入深度停机模式	48
5.3.6.2	退出深度停机模式	48
5.4	电源控制寄存器	49
5.4.1	寄存器概览	49
5.4.2	PWR_CR 电源控制寄存器	49
5.4.3	PWR_CSR 电源控制/状态寄存器	49
6	RCC 时钟和复位	51
6.1	复位单元	51
6.1.1	简介	51
6.1.2	功能框图	51
6.1.3	主要特性	51
6.1.4	功能描述	51
6.1.4.1	POR 复位	51
6.1.4.2	系统复位	51
6.2	时钟单元	52
6.2.1	简介	52
6.2.2	功能框图	52
6.2.3	主要特性	53
6.2.4	功能描述	53
6.2.4.1	外部高速时钟 (HSE)	53
6.2.4.2	内部高速时钟 (HSI)	53
6.2.4.3	内部低速时钟 (LSI)	53
6.2.4.4	中断	54
6.2.4.5	系统时钟选择 (SWS)	54
6.2.4.6	系统时钟频率切换	54
6.2.4.7	外设复位	54
6.2.4.8	微控制器时钟输出 (MCO)	54
6.2.4.9	独立看门狗时钟	54
6.3	寄存器描述	54
6.3.1	寄存器概览	54
6.3.2	RCC_CR 时钟控制寄存器	55
6.3.3	RCC_CFGR 时钟配置寄存器	55
6.3.4	RCC_CIR 时钟中断寄存器	56
6.3.5	RCC_APB1RSTR APB1 外设复位寄存器	57
6.3.6	RCC_AHBENR AHB 外设时钟使能寄存器	59
6.3.7	RCC_APB1ENR APB1 外设时钟使能寄存器	59
6.3.8	RCC_CSR 控制状态寄存器	61
6.3.9	RCC_AHBRSTR AHB 外设复位寄存器	62
6.3.10	RCC_SYSCFG 系统配置寄存器	62
7	GPIO 通用输入/输出端口	64
7.1	简介	64
7.2	主要特性	64
7.3	功能描述	64
7.3.1	功能框图	64
7.3.2	GPIO 端口配置	65
7.3.3	复用功能	65
7.3.4	GPIO 锁定机制	65
7.3.5	输入配置	66

7.3.6	输出配置	66
7.3.7	复用功能配置	67
7.3.8	模拟输入配置	67
7.3.9	外部时钟用作 GPIO 端口复用功能	68
7.3.10	SWD 复用功能重映射	68
7.3.11	NRST 复用功能重映射	68
7.4	寄存器	68
7.4.1	寄存器概览	68
7.4.2	GPIOx_CRL 端口配置低寄存器	69
7.4.3	GPIOx_CRH 端口配置高寄存器	69
7.4.4	GPIOx_IDR 端口输入数据寄存器	70
7.4.5	GPIOx_ODR 端口输出数据寄存器	70
7.4.6	GPIOx_BSRR 端口位设置/清除寄存器	70
7.4.7	GPIOx_BRR 端口位清除寄存器	71
7.4.8	GPIOx_LCKR 端口配置锁定寄存器	71
7.4.9	GPIOx_DCR 端口输出开漏控制寄存器	71
7.4.10	GPIOx_AFR1 端口复用功能低寄存器	72
7.4.11	GPIOx_AFR2 端口复用功能高寄存器	72
8	EXTI 中断和事件	73
8.1	简介	73
8.2	主要特性	73
8.3	功能描述	73
8.3.1	功能框图	73
8.3.2	中断和异常向量	73
8.3.3	唤醒事件管理	75
8.3.4	中断功能描述	75
8.3.5	硬件中断输出	75
8.3.6	硬件事件输出	75
8.3.7	软件中断与事件输出	75
8.3.8	外部中断映射	75
8.4	寄存器	76
8.4.1	寄存器概览	76
8.4.2	EXTI_IMR 中断屏蔽寄存器	76
8.4.3	EXTI_EMR 事件屏蔽寄存器	76
8.4.4	EXTI_RTSR 上升沿触发选择寄存器	77
8.4.5	EXTI_FTSR 下降沿触发选择寄存器	77
8.4.6	EXTI_SWIER 软件中断事件寄存器	77
8.4.7	EXTI_PR 软件中断事件挂起寄存器	78
9	ADC 模数转换器	79
9.1	简介	79
9.2	ADC 主要特性	79
9.3	ADC 系统框图	80
9.4	ADC 功能描述	80
9.4.1	ADC 开关控制	81
9.4.2	通道选择	81
9.5	任意通道工作模式	81
9.5.1	单次转换模式	81
9.5.2	单周期扫描模式	81
9.5.3	连续扫描模式	82
9.6	数据对齐	83
9.7	可编程分辨率	83
9.8	可编程采样时间	83
9.9	外部触发转换	83
9.10	内部基准电压	84
9.11	窗口比较器模式下监视 ADC 转换结果	84
9.12	ADC 寄存器描述	84
9.12.1	寄存器概览	84
9.12.2	A/D 数据寄存器 (ADC_ADDATA)	84
9.12.3	A/D 配置寄存器 (ADC_ADCFG)	85
9.12.4	ADC_ADCR 控制寄存器	86
9.12.5	A/D 窗口比较寄存器 (ADC_ADCMPR)	88

9.12.6	ADC_ADSTA 状态寄存器	88
9.12.7	A/D 数据寄存器 (ADC_ADDR0 ~ 12)	89
9.12.8	A/D 扩展状态寄存器 (ADC_ADSTA_EXT)	89
9.12.9	A/D 任意通道选择寄存器 (ADC_CHANY0)	90
9.12.10	A/D 任意通道选择寄存器 1 (ADC_CHANY1)	90
9.12.11	A/D 任意通道配置寄存器 (ADC_ANY_CFG)	91
9.12.12	A/D 任意通道控制寄存器 (ADC_ANY_CR)	91
10	COMP 比较器	92
10.1	简介	92
10.2	功能框图	92
10.3	主要特性	92
10.4	功能描述	92
10.4.1	COMP 时钟和复位	92
10.4.2	COMP 开关控制	92
10.4.3	COMP 输入和输出	93
10.4.4	COMP 通道选择	93
10.4.5	中断和唤醒	93
10.4.6	比较器 LOCK 锁定机制	93
10.4.7	迟滞电压	93
10.5	寄存器	94
10.5.1	寄存器概览	94
10.5.2	COMP 控制和状态寄存器 (COMPx_CSR) (x=1)	94
10.5.3	COMP 比较器基准电压寄存器 (COMP_CRV)	96
10.5.4	COMP 轮询寄存器 (COMPx_POLL) (x=1)	96
11	TIM1 高级控制定时器	98
11.1	简介	98
11.2	主要特性	98
11.3	功能描述	99
11.3.1	时钟	99
11.3.1.1	时钟选择	99
11.3.1.2	时基单元	100
11.3.1.3	计数器模式	100
11.3.2	重复计数器	103
11.3.3	比较输出	105
11.3.3.1	强制输出	105
11.3.3.2	比较输出	106
11.3.3.3	PWM 输出	106
11.3.3.4	互补输出与死区插入	113
11.3.3.5	刹车功能	114
11.3.3.6	单脉冲输出	117
11.3.4	从模式	117
11.3.4.1	复位模式	117
11.3.4.2	门控模式	118
11.3.4.3	触发模式	118
11.3.5	定时器同步	118
11.3.6	调试模式	121
11.3.7	中断	121
11.3.8	软件输出设置	121
11.4	寄存器	122
11.4.1	寄存器概览	122
11.4.2	TIM1_CR1 控制寄存器 1	122
11.4.3	TIM1_CR2 控制寄存器 2	123
11.4.4	TIM1_SMCR 从模式控制寄存器	124
11.4.5	TIM1_DIER 中断使能寄存器	125
11.4.6	TIM1_SR 状态寄存器	126
11.4.7	TIM1_EGR 事件产生寄存器	127
11.4.8	TIM1_CCMR1 比较模式寄存器 1	128
11.4.9	TIM1_CCMR2 比较模式寄存器 2	129
11.4.10	TIM1_CCER 比较使能寄存器	130
11.4.11	TIM1_CNT 计数器	131
11.4.12	TIM1_PSC 预分频器	131

11.4.13	TIM1_ARR 自动预装载寄存器.....	132
11.4.14	TIM1_RCR 重复计数寄存器.....	132
11.4.15	TIM1_CCR1 比较寄存器 1.....	132
11.4.16	TIM1_CCR2 比较寄存器 2.....	133
11.4.17	TIM1_CCR3 比较寄存器 3.....	133
11.4.18	TIM1_CCR4 比较寄存器 4.....	133
11.4.19	TIM1_BDTR 刹车和死区寄存器.....	133
11.4.20	TIM1_CCMR3 比较模式寄存器 3.....	135
11.4.21	TIM1_CCR5 比较寄存器 5.....	135
11.4.22	TIM1_PDER PWM 移相使能寄存器.....	135
11.4.23	TIM1_CCRxFALL PWM 移相递减计数比较寄存器.....	136
11.4.24	TIM1_BKINF 刹车输入滤波寄存器.....	137
11.4.25	TIM1_DOCR 调试模式输出控制寄存器.....	137
11.4.26	TIM1_SOER 软件输出总使能寄存器.....	138
11.4.27	TIM1_SOCR 软件输出配置寄存器.....	138
11.4.28	TIM1_BKSR 刹车状态寄存器.....	139
12	TIM3 16 位通用定时器.....	140
12.1	简介.....	140
12.2	功能框图.....	140
12.3	主要特性.....	140
12.4	功能描述.....	141
12.4.1	时钟.....	141
12.4.1.1	时钟选择.....	141
12.4.1.2	时基单元.....	142
12.4.1.3	计数器模式.....	143
12.4.2	输入捕获.....	146
12.4.2.1	输入捕获.....	146
12.4.2.2	PWM 捕获.....	147
12.4.3	比较输出.....	147
12.4.3.1	强制输出.....	148
12.4.3.2	比较输出.....	148
12.4.3.3	PWM 输出.....	150
12.4.3.4	外部事件清除 OCxREF.....	153
12.4.3.5	单脉冲输出.....	153
12.4.4	从模式.....	154
12.4.4.1	编码器接口.....	154
12.4.4.2	复位模式.....	155
12.4.4.3	门控模式.....	155
12.4.4.4	触发模式.....	156
12.4.4.5	外部时钟模式 2+从模式.....	156
12.4.5	定时器同步.....	157
12.4.6	定时器 XOR 功能.....	157
12.4.7	调试模式.....	157
12.4.8	中断.....	157
12.5	寄存器.....	158
12.5.1	寄存器概览.....	158
12.5.2	TIM3_CR1 控制寄存器 1.....	158
12.5.3	TIM3_CR2 控制寄存器 2.....	159
12.5.4	TIM3_SMCR 从模式控制寄存器.....	160
12.5.5	TIM3_DIER 中断使能寄存器.....	162
12.5.6	TIM3_SR 状态寄存器.....	163
12.5.7	TIM3_EGR 事件产生寄存器.....	164
12.5.8	TIM3_CCMR1 捕获/比较模式寄存器 1.....	165
12.5.9	TIM3_CCMR2 捕获/比较模式寄存器 2.....	167
12.5.10	TIM3_CCER 捕获/比较使能寄存器.....	170
12.5.11	TIM3_CNT 计数器.....	171
12.5.12	TIM3_PSC 预分频器.....	171
12.5.13	TIM3_ARR 自动预装载寄存器.....	171
12.5.14	TIM3_CCR1 捕获/比较寄存器 1.....	172
12.5.15	TIM3_CCR2 捕获/比较寄存器 2.....	172
12.5.16	TIM3_CCR3 捕获/比较寄存器 3.....	172

12.5.17	TIM3_CCR4 捕获/比较寄存器 4	172
12.5.18	TIM3_OR 输入选项寄存器	173
13	TIM14 基本定时器	174
13.1	简介	174
13.2	功能框图	174
13.3	主要特性	174
13.4	功能描述	174
13.4.1	时钟	174
13.4.1.1	时钟选择	174
13.4.1.2	时基单元	174
13.4.1.3	计数器模式	175
13.4.2	输入捕获	176
13.4.2.1	输入捕获	176
13.4.3	比较输出	177
13.4.3.1	强制输出	177
13.4.3.2	比较输出	177
13.4.3.3	PWM 输出	178
13.4.3.4	单脉冲输出	178
13.4.4	调试模式	179
13.4.5	中断	179
13.5	寄存器	179
13.5.1	寄存器概览	179
13.5.2	TIM14_CR1 控制寄存器 1	179
13.5.3	TIM14_DIER 中断使能寄存器	180
13.5.4	TIM14_SR 状态寄存器	180
13.5.5	TIM14_EGR 事件产生寄存器	181
13.5.6	TIM14_CCMR1 捕获/比较模式寄存器 1	181
13.5.7	TIM14_CCER 捕获/比较使能寄存器	183
13.5.8	TIM14_CNT 计数器	184
13.5.9	TIM14_PSC 预分频器	184
13.5.10	TIM14_ARR 自动预装载寄存器	184
13.5.11	TIM14_CCR1 捕获/比较寄存器 1	185
13.5.12	TIM14_BDTR 刹车和死区寄存器	185
14	IWDG 独立看门狗	186
14.1	简介	186
14.2	IWDG 主要性能	186
14.3	IWDG 功能描述	186
14.3.1	硬件看门狗	187
14.3.2	寄存器访问保护	187
14.3.3	调试模式	187
14.4	寄存器	187
14.4.1	寄存器概览	187
14.4.2	IWDG_KR 键寄存器	187
14.4.3	IWDG_PR 预分频寄存器	187
14.4.4	IWDG_RLR 重装载寄存器	188
14.4.5	IWDG_SR 状态寄存器	188
14.4.6	IWDG_CR 控制寄存器	189
14.4.7	IWDG_IGEN 中断产生寄存器	189
14.4.8	IWDG_CNT 计数器寄存器	190
15	SPI 串行外设接口	191
15.1	简介	191
15.2	功能框图	191
15.3	SPI 功能描述	191
15.3.1	简介	191
15.3.1.1	时钟信号的相位位和极性	192
15.3.1.2	高速传输	193
15.3.1.3	数据帧格式	193
15.3.2	SPI 主要特性	193
15.3.3	SPI 从模式	193
15.3.3.1	配置步骤	193
15.3.3.2	数据发送	194

15.3.3.3	数据接收.....	194
15.3.4	SPI 主模式.....	194
15.3.4.1	配置步骤.....	194
15.3.4.2	数据发送.....	194
15.3.4.3	数据接收.....	194
15.3.5	波特率设置.....	194
15.3.6	中断.....	195
15.3.6.1	状态标志.....	195
15.4	寄存器描述.....	195
15.4.1	寄存器概览.....	195
15.4.2	SPI_TXREG 发送数据寄存器.....	196
15.4.3	SPI_RXREG 接收数据寄存器.....	196
15.4.4	SPI_CSTAT 当前状态寄存器.....	196
15.4.5	SPI_INTEN 中断使能寄存器.....	198
15.4.6	SPI_INTCLR 中断清除寄存器.....	198
15.4.7	SPI_GCTL 全局控制寄存器.....	199
15.4.8	SPI_CCTL 通用控制寄存器.....	201
15.4.9	SPI_SPBRG 波特率发生器.....	202
15.4.10	SPI_RXDNR 接收数据数量寄存器.....	202
15.4.11	SPI_NSSR 从机片选寄存器.....	202
15.4.12	SPI_EXTCTL 数据长度控制寄存器.....	203
16	I2C 集成电路总线接口.....	204
16.1	简介.....	204
16.2	主要特性.....	204
16.3	功能描述.....	204
16.3.1	功能框图.....	204
16.3.2	引脚定义.....	205
16.3.3	I2C 协议.....	205
16.3.3.1	起始和停止条件.....	205
16.3.3.2	寻址协议.....	205
16.3.3.3	发送和接收协议.....	206
16.3.3.4	仲裁.....	207
16.3.3.5	时钟同步.....	208
16.3.3.6	SCL 配置.....	209
16.3.4	工作模式.....	209
16.3.4.1	毛刺滤波.....	209
16.3.4.2	地址匹配.....	209
16.3.5	中断.....	209
16.3.5.1	主机发送模式.....	209
16.3.5.2	主机接收模式.....	212
16.3.5.3	从机发送模式.....	213
16.3.5.4	从机接收模式.....	214
16.3.5.5	其他模式.....	216
16.4	寄存器.....	217
16.4.1	寄存器概览.....	217
16.4.2	I2C_DAT 数据寄存器.....	217
16.4.3	I2C_ADR 地址寄存器.....	217
16.4.4	I2C_CON 控制寄存器.....	218
16.4.5	I2C_STA 状态寄存器.....	218
16.4.6	I2C_DIV 分频寄存器.....	218
17	USART 通用同步异步收发器.....	220
17.1	简介.....	220
17.2	USART 特性.....	220
17.3	USART 功能描述.....	221
17.3.1	功能框图.....	221
17.3.2	信号描述.....	221
17.3.3	功能描述.....	221
17.3.4	字符描述.....	222
17.3.5	波特率发生器.....	223
17.3.6	采样.....	223
17.3.7	奇偶校验控制.....	223

17.3.8	发送器	223
17.3.8.1	字符发送	223
17.3.8.2	发送断开帧	223
17.3.8.3	发送配置流程	224
17.3.9	接收器	224
17.3.9.1	接收断开帧	224
17.3.9.2	接收空闲字符	224
17.3.9.3	接收配置流程	224
17.3.10	同步模式	224
17.3.10.1	时钟描述	225
17.3.10.2	时钟同步描述	225
17.3.11	单线半双工通信	225
17.3.12	中断	225
17.4	寄存器	226
17.4.1	寄存器概览	226
17.4.2	USART_SR 状态寄存器	226
17.4.3	USART_DR 数据寄存器	227
17.4.4	USART_BRR 波特率寄存器	227
17.4.5	USART_CR1 控制寄存器 1	228
17.4.6	USART_CR2 控制寄存器 2	229
17.4.7	USART_CR3 控制寄存器 3	230
18	SYSCFG 系统控制器	232
18.1	简介	232
18.2	GPIOA 数码管驱动	232
18.3	内部基准电压	232
18.4	寄存器	233
18.4.1	寄存器概览	233
18.4.2	SYSCFG_CFGR 配置寄存器	233
18.4.3	SYSCFG_EXTICR1 外部中断配置寄存器 1	233
18.4.4	SYSCFG_EXTICR2 外部中断配置寄存器 2	234
18.4.5	SYSCFG_EXTICR3 外部中断配置寄存器 3	234
18.4.6	SYSCFG_EXTICR4 外部中断配置寄存器 4	234
18.4.7	模拟传感器配置寄存器 (SYSCFG_SENSORCR)	235
18.4.8	恒流源 IO 配置寄存器 (SYSCFG_LEDIOCR)	235
18.4.9	灌电流 IO 配置寄存器 (SYSCFG_HCIOCR)	236
19	器件电子签名	237
19.1	简介	237
19.2	寄存器描述	237
19.2.1	寄存器概览	237
19.2.2	UID1 唯一标识符	237
19.2.3	UID2 唯一标识符	237
19.2.4	UID3 唯一标识符	238
20	DBG 调试支持	239
20.1	简介	239
20.2	功能描述	239
20.2.1	功能框图	239
20.2.2	SWD 内部上下拉	239
20.2.3	SWD 调试端口	239
20.3	ID 编码	240
20.3.1	微控制器器件 ID 编码	240
20.3.2	Cortex JEDEC-106 ID 编码	240
20.4	SW 调试端口	240
20.4.1	SW 协议简介	240
20.4.2	SW 协议序列	240
20.4.3	SW-DP 状态单元 (复位、空闲状态、ID 编码)	241
20.4.4	DP 与 AP 读/写访问	241
20.4.5	SW-DP 寄存器	241
20.4.6	SW-AP 寄存器	242
20.5	MCU 调试模块 (DBGMCU)	242
20.5.1	低功耗模式的调试支持	242
20.5.2	支持定时器、看门狗	242

20.6 寄存器 242

20.6.1 寄存器概览..... 242

20.6.2 DBG_IDCODE ID 编码寄存器 242

20.6.3 DBG_CR 控制寄存器..... 243

21 修订记录..... 245

附图目录

图 1-1 系统架构框图.....	17
图 3-1 CRC 功能框图.....	37
图 5-1 电源系统框图.....	44
图 5-2 上电复位和掉电复位波形图.....	45
图 5-3 PVD 阈值波形图.....	45
图 6-1 复位功能框图.....	51
图 6-2 时钟树.....	52
图 6-3 外部高速输入时钟.....	53
图 7-1 标准 I/O 端口.....	64
图 7-2 浮空/上拉/下拉输入配置.....	66
图 7-3 输出配置.....	67
图 7-4 复用功能配置.....	67
图 7-5 模拟输入.....	68
图 8-1 EXTI 结构框图.....	73
图 9-1 ADC 系统框图.....	80
图 9-2 ADC 结构图.....	80
图 9-3 单次转换模式下通道转换时序图.....	81
图 9-4 单周期扫描模式下通道转换时序图.....	82
图 9-5 连续扫描模式下通道转换时序图.....	82
图 9-6 连续扫描模式下动态更新配置的时序图.....	83
图 9-7 数据对齐模式.....	83
图 10-1 比较器框图.....	92
图 10-2 比较器迟滞.....	94
图 11-1 高级控制定时器框图.....	98
图 11-2 时钟选择.....	99
图 11-3 外部时钟模式 1 下的控制电路.....	100
图 11-4 自动预装载.....	100
图 11-5 递增计数模式 (UDIS=0).....	101
图 11-6 递增计数模式 (UDIS=1, 禁止更新事件).....	101
图 11-7 递减计数模式 (UDIS=0).....	102
图 11-8 递减计数模式 (UDIS=1 禁止更新事件).....	102
图 11-9 中央对齐计数模式 (UDIS=0).....	103
图 11-10 中央对齐计数模式 (UDIS=1 禁止更新事件).....	103
图 11-11 中央对齐模式下的重复计数时序.....	104
图 11-12 边沿对齐模式下的递增计数时序.....	104
图 11-13 边沿对齐模式下的递减计数时序.....	105
图 11-14 比较输出框图.....	105
图 11-15 比较输出模式, 匹配时 OC1 信号翻转.....	106
图 11-16 边沿对齐递增计数下 PWM 模式 1 的波形.....	107
图 11-17 边沿对齐递减计数下 PWM 模式 1 的波形.....	107
图 11-18 中央对齐 PWM 模式 1 的波形.....	108
图 11-19 移相功能.....	108
图 11-20 移相模式下 CCRxFALL 递增计数的触发.....	109
图 11-21.....	110
图 11-22.....	110

图 11-23	111
图 11-24 带 COM 的六步 PWM 示例 (OSSR = 1)	112
图 11-25 边沿对齐递增计数模式下 CCx_SETTRGO 输出示例	112
图 11-26 中央对齐递增计数模式下 CCx_SETTRGO 输出示例	113
图 11-27 死区插入	114
图 11-28 响应刹车输出 (OISx=0, OISxN=0)	116
图 11-29 响应刹车输出 (OISx=0, OISxN=1)	116
图 11-30 响应刹车输出 (OISx=1, OISxN=0)	116
图 11-31 响应刹车输出 (OISx=1, OISxN=1)	116
图 11-32 单脉冲模式	117
图 11-33 复位模式下的控制时序	117
图 11-34 门控模式下的控制时序	118
图 11-35 触发模式下的控制时序	118
图 11-36 定时器互连	119
图 11-37 用主定时器作为从定时器的预分频器	119
图 11-38 用主定时器使能从定时器	120
图 11-39 用主定时器的更新事件启动从定时器	120
图 11-40 主定时器 ETR 同步启动主从定时器	121
图 12-1 TIM3 框图	140
图 12-2 时钟选择	141
图 12-3 外部时钟模式 1 下的控制电路	142
图 12-4 外部时钟模式 2 下的控制电路	142
图 12-5 自动预装载	143
图 12-6 递增计数模式 (UDIS=0)	143
图 12-7 递增计数模式 (UDIS=1 禁止更新事件)	144
图 12-8 递减计数模式 (UDIS=0)	144
图 12-9 递减计数模式 (UDIS=1 禁止更新事件)	145
图 12-10 中央对齐计数模式 (UDIS=0)	145
图 12-11 中央对齐计数模式 (UDIS=1 禁止更新事件)	145
图 12-12 TIM3 输入捕获框图	146
图 12-13 PWM 输入模式时序	147
图 12-14 比较输出框图	148
图 12-15 比较输出模式, 匹配时 OC1 信号翻转	149
图 12-16 边沿对齐递增计数下 PWM 模式 1 的波形	150
图 12-17 边沿对齐递减计数下 PWM 模式 1 的波形	151
图 12-18 中央对齐 PWM 模式 1 的波形	151
图 12-19 边沿对齐递增计数模式下 CCx_SETTRGO 输出示例	152
图 12-20 中央对齐模式下 CCx_SETTRGO 输出示例	152
图 12-21 外部事件清除 OCxREF	153
图 12-22 单脉冲模式	153
图 12-23 编码器模式下的计数器时序	154
图 12-24 编码器接口模式下 IC1FP1 极性反相的时序	155
图 12-25 复位模式的控制时序	155
图 12-26 门控模式的控制时序	156
图 12-27 触发模式的控制时序	156
图 12-28 外部时钟模式 2+从模式 (触发模式) 的控制时序	156
图 12-29 (TI1 XOR 输入) 输入捕获波形	157

图 13-1 TIM14 框图	174
图 13-2 自动预装载	175
图 13-3 递增计数模式 (UDIS=0)	175
图 13-4 递增计数模式 (UDIS=1, 禁止更新事件)	175
图 13-5 TIM14 输入捕获框图	176
图 13-6 比较输出框图	177
图 13-7 比较输出模式, 匹配时 OC1 信号翻转	178
图 13-8 边沿对齐递增计数下 PWM 模式 1 的波形	178
图 13-9 单脉冲模式	179
图 14-1 独立看门狗框图	186
图 15-1 SPI 功能框图	191
图 15-2 单主机与从机应用	192
图 15-3 数据时钟时序	192
图 16-1 I2C 功能框图	204
图 16-2 起始和停止条件	205
图 16-3 7 位地址格式	205
图 16-4 主机发送协议	206
图 16-5 主机接收协议	207
图 16-6 带重复起始 (SR) 的主机发送与接收协议	207
图 16-7 双主机仲裁	208
图 16-8 时钟同步 (原理图)	208
图 16-9 时钟同步 (时序图)	209
图 17-1 USART 功能框图	221
图 17-2 UART 数据帧类型图	222
图 18-1 3 位 7 段数码管驱动波形示意图	232
图 20-1 调试功能框图	239

表格目录

表 1-1 存储器映像.....	18
表 2-1 闪存存储空间.....	20
表 2-2 信息块.....	20
表 2-3 数据存储器.....	20
表 2-4 选项字节组织.....	21
表 2-5 USER 位含义.....	21
表 2-6 Latency 设置的对应关系.....	22
表 2-7 编程方式.....	22
表 2-8 保护设置中的状态变化.....	23
表 2-9 闪存读保护状态.....	31
表 2-10 闪存解除读保护状态.....	31
表 2-11 写保护区域.....	31
表 3-1 CRC 寄存器概览.....	38
表 4-1 异常向量.....	40
表 4-2 中断向量.....	40
表 4-3 EXTI 触发源.....	41
表 4-4 ADC 通道分配.....	41
表 4-5 ADC 触发源互连.....	42
表 4-6 比较器输出方向选择.....	42
表 4-7 TIM ITR 事件互连.....	43
表 4-8 TIM ETR 事件互连.....	43
表 4-9 输入捕获事件互连.....	43
表 4-10 TIM OCREFCLR 事件互连.....	43
表 4-11 TIM 刹车事件互连.....	43
表 5-1 低功耗模式.....	46
表 5-2 SLEEPNOW 模式.....	47
表 5-3 SLEEPONEXIT 模式.....	47
表 5-4 停机模式.....	48
表 5-5 深度 停机模式.....	48
表 5-6 电源控制寄存器概览.....	49
表 6-1 RCC 全局中断.....	54
表 6-2 MCO 与时钟源的对应关系.....	54
表 6-3 RCC 寄存器概览.....	54
表 7-1 端口位配置表（以 port0 为例）.....	65
表 7-2 SWD 复用功能重映射.....	68
表 7-3 GPIO 寄存器概览.....	68
表 8-1 异常向量.....	73
表 8-2 中断向量.....	74
表 8-3 EXTI 触发源.....	75
表 8-4 EXTI 寄存器概览.....	76
表 9-1 ADC 寄存器概览.....	84
表 10-1 COMP 寄存器概览.....	94
表 11-1 死区计算.....	113
表 11-2 MOE=1, OSSR=0/1, OSSR=0 的情况:.....	114
表 11-3 MOE=1, OSSR=0/1, OSSR=1 的情况.....	114

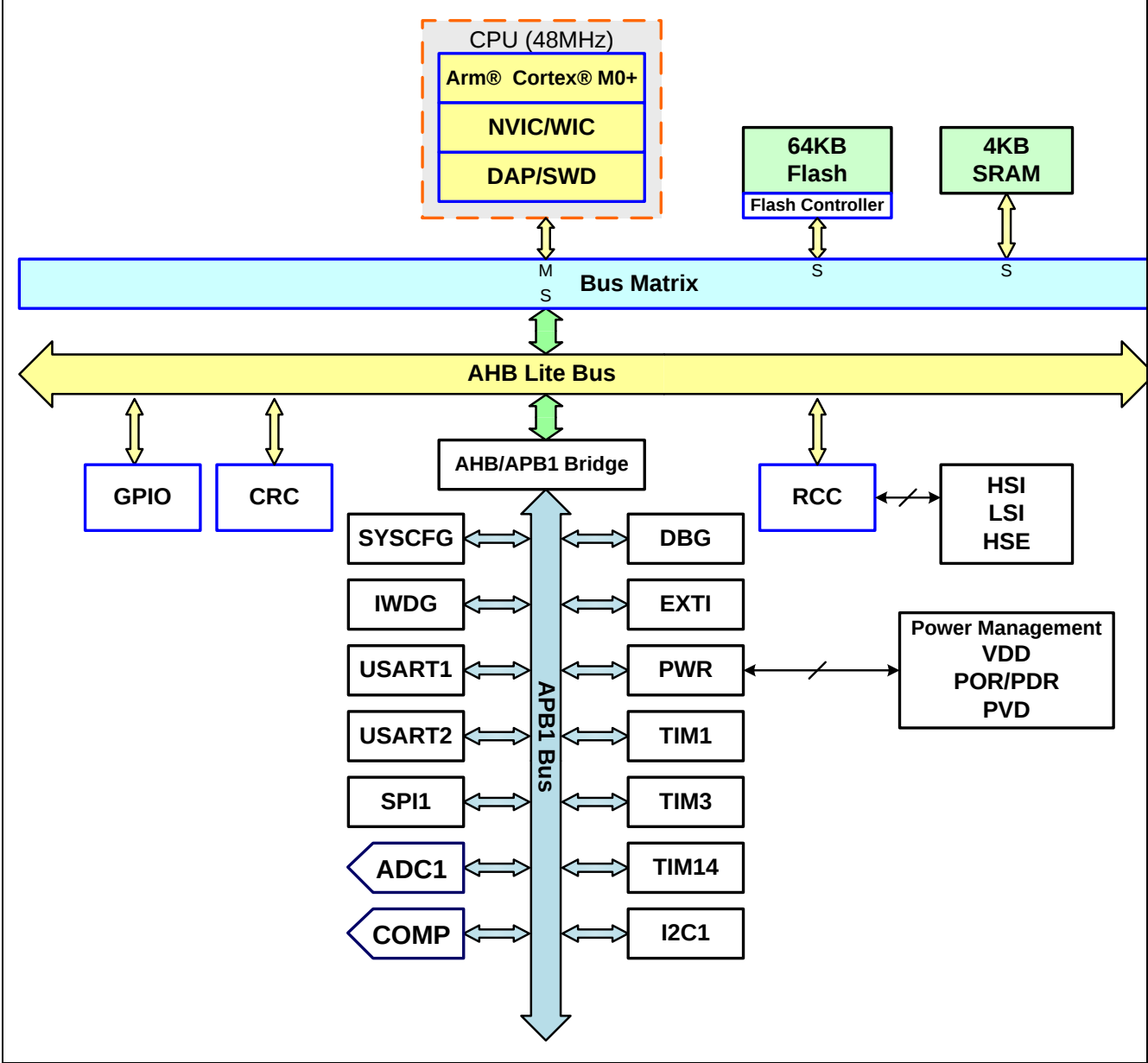
表 11-4 MOE=0, OSSR=0, OSSR=0/1 的情况.....	114
表 11-5 MOE=0, OSSR=1, OSSR=0/1 的情况.....	115
表 11-6 中断事件列表.....	121
表 11-7 TIM1 寄存器概览	122
表 12-1 数字滤波器宽度与 ICxF 的对应关系	146
表 12-2 计数方向与编码器信号的关系	154
表 12-3 中断事件列表.....	157
表 12-4 TIM3 寄存器概览	158
表 12-51 ICx 极性/电平选择.....	171
表 13-1 数字滤波器宽度与 IC1F 的对应关系	176
表 13-2 中断事件列表.....	179
表 13-3 TIM14 寄存器概览	179
表 13-4 IC1 极性/电平选择表.....	184
表 14-1 IWDG 超时时间（以 LSI 时钟频率为 40 KHz 为例）	186
表 14-2 IWDG 寄存器概览.....	187
表 15-1 波特率公式.....	195
表 15-2 SPI 状态.....	195
表 15-3 SPI 寄存器概览.....	195
表 16-1 引脚定义	205
表 16-2 I2C 的首字节.....	206
表 16-3 I2C 主机发送模式中断状态	210
表 16-4 I2C 主机接收模式中断状态	212
表 16-5 I2C 从机发送模式中断状态	213
表 16-6 I2C 从机接收模式中断状态	214
表 16-7 其他状态	216
表 16-8 I2C 寄存器概览.....	217
表 17-1 UART 中断请求	225
表 17-2 USART 寄存器概览	226
表 18-1 SYSCFG 寄存器概览.....	233
表 19-1 器件电子签名寄存器概览.....	237
表 20-1 SWD 调试端口引脚	239
表 20-2 ID 编码.....	240
表 20-3 8 位请求包	240
表 20-4 3 位响应包	241
表 20-5 33 位数据包	241
表 20-6 SW-DP 寄存器.....	241
表 20-7 DBG 寄存器概览.....	242
表 21-1 修订记录	245

1 系统和存储器架构

1.1 系统架构简介

MG32F04A064 是基于 Arm®Cortex®-M0+ 处理器的 32 位微控制器产品，具有高性能、低功耗的特点。它采用矩阵总线结构，包含一个 AHB 主机：CPU，以及下列从机：SRAM、闪存存储器、AHB 总线（包含 AHB 到 APB 的总线桥）和连接到 APB 总线上的各种设备。

图 1-1 系统架构框图



1.1.1 系统总线

系统总线通过连接 CPU 内核与总线矩阵，构建 CPU 与总线矩阵之间的通路，实现数据传输。CPU 可作为主机驱动总线，实现对 APB 外设、SRAM、闪存等从机的读写操作。

此外，CPU 可通过专用的 IOP 总线快速访问 GPIO。

1.1.2 总线矩阵

总线矩阵由 AHB 互连矩阵、AHB 总线和桥接的 APB 总线组成。AHB 总线的外设（RCC、GPIO 和 CRC）通过 AHB 互连矩阵连接到系统总线。APB 总线与 AHB 总线之间通过 AHB1APB 桥交换数据。当以 8 位、16

位方式访问 APB 寄存器时，APB 会自动扩展为 32 位，同样地，AHB1APB 桥也具有自动扩展功能。

1.2 存储器介绍

程序存储器、数据存储器、寄存器和 I/O 接口都位于存储器地址空间（线性的 4GB 地址空间）内的不同地址范围。4GB 地址空间被划分为 8 个块，每块 512MB。分配给片内存储器和外设的空间是固定的，不会变更。其余地址空间为保留空间，可由芯片厂商定义和使用。

1.2.1 存储器映像和寄存器编址

存储器映像请参考各外设对应章节中的存储器映像图。

表 1-1 存储器映像

总线	地址范围	大小	外设
Flash	0x0000 0000 - 0x0000 FFFF	64 KB	可根据 SYSCFG 寄存器的配置映像为主存储块、系统存储块或 SRAM
	0x0001 0000 - 0x07FF FFFF	~127 MB	保留
	0x0800 0000 - 0x0800 FFFF	64 KB	主存储块
	0x0801 0000 - 0x1FFD FFFF	~383 MB	保留
	0x1FFE 0000 - 0x1FFE 03FF	1 KB	数据存储块
	0x1FFE 0400 - 0x1FFF F3FF	124 KB	保留 系统存储块
	0x1FFE F400 - 0x1FFF F7FF	1 KB	系统存储块
	0x1FFF F800 - 0x1FFF F9FF	0.5KB	选项字节
	0x1FFF FA00 - 0x1FFF FFFF	1.5KB	保留
SRAM	0x2000 0000 - 0x2000 0FFF	4 KB	SRAM
	0x2000 1000 - 0x2FFF FFFF	~255 MB	保留
APB1	0x4000 0000 - 0x4000 03FF	1KB	保留
	0x4000 0400 - 0x4000 07FF	1KB	TIM3
	0x4000 0800 - 0x4000 2FFF	11KB	保留
	0x4000 3000 - 0x4000 33FF	1KB	IWDG
	0x4000 3400 - 0x4000 43FF	4KB	保留
	0x4000 4400 - 0x4000 47FF	1KB	USART2
	0x4000 4800 - 0x4000 53FF	3KB	保留
	0x4000 5400 - 0x4000 57FF	1KB	I2C1
	0x4000 5800 - 0x4000 6FFF	6KB	保留
	0x4000 7000 - 0x4000 73FF	1KB	PWR
	0x4000 7400 - 0x4000 FFFF	35KB	保留
	0x4001 0000 - 0x4001 03FF	1KB	SYSCFG
	0x4001 0400 - 0x4001 07FF	1KB	EXTI
	0x4001 0800 - 0x4001 23FF	7KB	保留
	0x4001 2400 - 0x4001 27FF	1KB	ADC1
	0x4001 2800 - 0x4001 2BFF	1KB	保留
	0x4001 2C00 - 0x4001 2FFF	1KB	TIM1
	0x4001 3000 - 0x4001 33FF	1KB	SPI1
	0x4001 3400 - 0x4001 37FF	1KB	DBG
	0x4001 3800 - 0x4001 3BFF	1KB	USART1
	0x4001 3C00 - 0x4001 3FFF	1KB	保留
	0x4001 4000 - 0x4001 43FF	1KB	TIM14
	0x4001 4400 - 0x4001 47FF	1KB	COMP

总线	地址范围	大小	外设
	0x4001 4800 – 0x4001 FFFF	46KB	保留
AHB	0x4002 0000 – 0x4002 0FFF	4KB	保留
	0x4002 1000 – 0x4002 13FF	1KB	RCC
	0x4002 1400 – 0x4002 1FFF	3KB	保留
	0x4002 2000 – 0x4002 23FF	1KB	闪存接口
	0x4002 2400 – 0x4002 2FFF	3KB	保留
	0x4002 3000 – 0x4002 33FF	1KB	CRC
	0x4002 3400 – 0x4002 FFFF	51KB	保留
IOP	0x5000 0000 – 0x5000 03FF	1KB	PORT A
	0x5000 0400 – 0x5000 07FF	1KB	PORT B

1.2.2 内置的 SRAM

芯片内置最大 4K 字节的静态 SRAM，支持按字节（8 位）、半字（16 位）或字（32 位）访问。SRAM 的起始地址为 0x2000 0000。

CPU 能以最快的系统时钟、无任何等待地访问 SRAM。

1.2.3 闪存存储器概述

闪存存储器由三个存储区域组成：

- 主闪存存储块，包含应用程序数据和用户数据区。
- 信息块，包含选项字节和系统存储块：
- 选项字节 —— 包含硬件和用户存储保护的配置选项。
- 系统存储块 —— 包含系统信息。
- 数据闪存存储块：用于存放非易失性数据和额外的用户程序数据。

闪存接口基于 AHB 协议执行命令和数据访问。闪存接口的预取缓冲功能可以加快 CPU 的代码执行速度。

2 嵌入式闪存

2.1 简介

嵌入式闪存最大支持 64 KB 的片内主闪存。闪存控制器支持读操作、页擦除和全片擦除。可以按 32 位（字）编程方式写入闪存，擦写寿命为 10 万次。读取数据时，闪存控制器支持带预取缓冲的数据接口，以支持 MCU 运行在更高的主频下。

2.2 闪存构成与描述

2.2.1 闪存构成

- 闪存以 32 位宽的存储单元组织，可用于存放代码和数据。
- 主闪存存储块划分为 64 页（每页 1K 字节）或 16 个写保护块（每块 4K 字节）。
- 主闪存存储块可以按页（每 1K 字节）擦除。
- 写保护以 4 页（4K 字节）为一个写保护块为单位进行设置。
- 整个片内闪存由三部分组成：主存储块、信息存储块和数据存储块。

主存储块用于存放用户代码和数据，用户代码可以对主存储块进行擦除、编程和读取。主存储块中每 1K 字节称为一页，页是可执行擦除的最小单位。此外，写保护以 1 个写保护区（4K 字节，4 页 = 1 个写保护块）为单位分配，如表 2-1 所示。

表 2-1 闪存存储空间

模块	块名称	页名称	地址	大小（字节）
主存储块	写保护区 0	Page 0	0x0800 0000 - 0x0800 03FF	1K
		Page 1	0x0800 0400 - 0x0800 07FF	1K
		Page 2	0x0800 0800 - 0x0800 0BFF	1K
		Page 3	0x0800 0C00 - 0x0800 0FFF	1K
	...	...	...	...
	写保护区 3	Page 12	0x0800 3000 - 0x0800 33FF	1K
		Page 13	0x0800 3400 - 0x0800 37FF	1K
		Page 14	0x0800 3800 - 0x0800 3BFF	1K
		Page 15	0x0800 3C00 - 0x0800 3FFF	1K
	...	...	...	...
	写保护区 15	Page 60	0x0800 F000 - 0x0800 F3FF	1K
		Page 61	0x0800 F400 - 0x0800 F7FF	1K
		Page 62	0x0800 F800 - 0x0800 FBFF	1K
		Page 63	0x0800 FC00 - 0x0800 FFFF	1K

信息存储块中，除出厂锁定、用户不可写入的“System Memory ISP”区域外，其他区域在特定条件下可由用户读写。信息存储块可分为两部分：系统存储块和选项字节。用户可以通过规定的流程对信息存储块进行擦除、编程和读取。

表 2-2 信息块

模块	名称	地址	大小（字节）
信息块	系统存储块	0x1FFF F400 - 0x1FFF F7FF	1K
	选项字节	0x1FFF F800 - 0x1FFF F9FF	0.5K

数据存储块包含用于存放非易失性数据和额外用户程序的数据存储区。该数据存储区的擦除、编程和读取操作与选项字节区相同（区别在于没有取反操作）。数据存储区不受读保护或写保护机制的限制。

表 2-3 数据存储块

模块	名称	地址	大小（字节）
数据存储块	数据存储器	0x1FFE 0000 - 0x1FFE 03FF	1K

2.2.2 选项字节描述

选项字节页中，内容主要包括写保护使能、硬件看门狗使能等。闪存控制器可以通过设置选项字节中的值来禁止主存储块的写功能，以防止非法写入，也可以使能硬件看门狗。相关信息保存在选项字节中。选项字节中的内容在修改后，需要再次复位或上电后才会生效。每次系统复位后，选项字节都会重新装载选项字节信息块的数据，并作出相应的判断和状态变更，这些状态保存在选项字节寄存器（FLASH_OBR 和 FLASH_WRPR）中。信息块中的每个选项位都有对应的反码位，用于在装载选项位时校验该选项位是否正确。若在装载过程中检测到不一致，将产生选项字节错误标志（OPTERR）。当选项字节及其补码均为 0xFF（擦除状态）时，上述校验功能被禁止。

选项字节区块内选项字节的组织如下表所示（位 15~8 的值为位 7~0 中选项字节的按位取反值；位 31~16 为保留位，不进行取反处理）：

表 2-4 选项字节组织

地址	[15: 8]	[7: 0]	默认值
0x1FFF F800	nRDP	RDP	0x5AA5
0x1FFF F804	nUSER	USER	0x00FF
0x1FFF F808	nData0	Data0	0x00FF
0x1FFF F80C	nData1	Data1	0x00FF
0x1FFF F810	nWRP0	WRP0	0x00FF
0x1FFF F814	nWRP1	WRP1	0x00FF

表 2-5 USER 位含义

	位	字段	类型	默认值	描述	FLASH_OBR
RDP	7: 0	RDP	rw	0xA5	0xA5 读保护选项字节。 读保护用于帮助用户保护存放在闪存中的代码。	FLASH_OBR.Bit1
nRDP	15: 8	nRDP	rw	0x5A	0x5A	
用户字节	0	WDG_SW	rw	0x01	0: 硬件看门狗 1: 软件看门狗	FLASH_OBR.Bit2
	1	nRST_STOP	rw	0x01	0: 进入 STOP 模式时产生复位 1: 进入 STOP 模式时不产生复位	FLASH_OBR.Bit3
	2	OBR_PVDE	rw	0x01	0: 使能 PVD 1: 禁止 PVD	FLASH_OBR.Bit26
	3	保留	rw	0x01	保留为 0x01	保留
	5: 4	OBR_PLS	rw	0x03	PVD 监测电平选择位 [1:0]	FLASH_OBR.Bit28~27
	7: 6	保留	rw	0x03	保留为 0x03	保留
DATA0 字节	0	DATA0.Bit0	rw	0x01	用户自定义	FLASH_OBR.Bit10
	1	DATA0.Bit1	rw	0x01	用户自定义	FLASH_OBR.Bit11
	2	DATA0.Bit2	rw	0x01	用户自定义	FLASH_OBR.Bit12
	3	DATA0.Bit3	rw	0x01	用户自定义	FLASH_OBR.Bit13
	4	DATA0.Bit4	rw	0x01	用户自定义	FLASH_OBR.Bit14
	5	DATA0.Bit5	rw	0x01	用户自定义	FLASH_OBR.Bit15
	6	DATA0.Bit6	rw	0x01	用户自定义	FLASH_OBR.Bit16
	7	DATA0.Bit7	rw	0x01	用户自定义	FLASH_OBR.Bit17
DATA1 字节	0	DATA1.Bit0	rw	0x01	用户自定义	FLASH_OBR.Bit18
	1	DATA1.Bit1	rw	0x01	用户自定义	FLASH_OBR.Bit19

	位	字段	类型	默认值	描述	FLASH_OBR
	2	DATA1.Bit2	rw	0x01	用户自定义	FLASH_OBR. Bit20
	3	DATA1.Bit3	rw	0x01	用户自定义	FLASH_OBR. Bit21
	4	DATA1.Bit4	rw	0x01	用户自定义	FLASH_OBR. Bit22
	5	DATA1.Bit5	rw	0x01	用户自定义	FLASH_OBR. Bit23
	6	DATA1.Bit6	rw	0x01	用户自定义	FLASH_OBR. Bit24
	7	DATA1.Bit7	rw	0x01	用户自定义	FLASH_OBR. Bit25

注：在写保护值中，一位对应四页，即 4,096 字节。

注：对选项字节区的前八个字地址进行编程时，硬件会自动将该字低 16 位中的高 8 位设置为低 8 位的按位取反值，以保证写入的选项字节值始终有效。对选项字节区的其他字地址进行编程时，硬件不执行该自动取反操作。

2.3 闪存操作与流程

注：进行编程和擦除操作时，还必须配置正确的访问延时（LATENCY）。LATENCY 的配置原则与读操作相同，请参考后续描述。

注：系统应避免在编程或擦除操作过程中掉电。

2.3.1 闪存读操作

用户代码和数据存放在存储块中，闪存控制器可以按 8 位/16 位/32 位读取数据或指令。主闪存模块与普通外设一样统一编址。基于读写保护的要求，对主存储块内容的任何读写操作都要经过特定的判断流程，以防止非法读写。

闪存按照闪存访问控制寄存器（FLASH_ACR）中设定的方式，通过 AHB 总线执行取指和取数据操作。根据 AHB 时钟设置相应的访问延时并使能预取缓冲，可以提高 CPU 的取指速度，从而提升 CPU 的运行速度。当 SYSCLK 小于或等于 24MHz 时，访问延时可以设置为 0；每增加 24MHz，需要增加一个等待延时。

上电复位后，闪存控制器默认将预取缓冲设置为开启。若要通过寄存器配置使能或禁止指令预取缓冲功能，必须先将 HCLK 频率设置为 24MHz 或以下，并将 LATENCY 设置为 0；配置生效后，AHB 时钟（HCLK）不再需要保持在 24MHz 或以下。

为了保证正确读取闪存，必须在闪存访问控制寄存器的 LATENCY[2:0] 中指定预取指令控制器的速度比值。该值等于每次闪存访问到下一次访问之间插入的等待周期数。复位后该值默认为 0，即不插入等待周期，相应的系统时钟也复位为内置时钟 HSI=8MHz。若复位后要修改系统时钟，应先配置 LATENCY[2:0] 的安全值，设置相应的访问延时。

表 2-6 Latency 设置的对应关系

HCLK	Latency
0MHz < HCLK <=24MHz	0
24MHz < HCLK <= 48MHz	1
48MHz < HCLK <= 72MHz	2

2.3.2 闪存编程方式与操作流程

嵌入式闪存支持下列三种编程方式。

表 2-7 编程方式

编程方式	编程描述
在线编程（ICP）	ICP 是指用户代码通过特定的编程器经由 SWD 接口烧录到 MCU 中，从而改变闪存内容。
在应用编程（IAP）	与 ICP 方式不同，IAP（在应用编程）可以使用 MCU 支持的任意通信接口（UART、I2C、SPI 等）下载程序或数据。IAP 允许用户在程序运行过程中改写应用程序，其前提是必须先通过 ICP 方式预先烧录部分程序。

烧录和擦除可以在整个产品工作电压范围内完成。对闪存空间进行写入或擦除时，必须开启内部振荡器(HSI)，且 AHB 时钟必须大于或等于 8MHz。

只要 CPU 不访问闪存空间，正在进行的闪存写操作就不会妨碍 CPU 的运行（例如在 RAM 中运行）。在写入或擦除闪存时，对闪存的读访问总会遇到总线暂停，直到写入或擦除操作完成后才会继续。因此，在写入或擦除闪存时不允许取指和访问数据。

闪存的编程由一系列动作组成，主要包括：

- 解除与保护闪存操作
- 闪存擦除（页擦除和全片擦除）
- 闪存编程（32 位整字编程）
- 解除与保护信息块中各扇区（如选项字节）的操作
- 擦除信息块中的各扇区（如选项字节）
- 对信息块中的各扇区（如选项字节）进行编程（32 位整字编程）

2.3.3 对闪存块操作限制的解除与使能

嵌入式闪存存在复位后处于保护状态，可以避免因误操作而破坏闪存存储空间，例如页擦除、全片擦除和写值。复位后 FLASH_CR 寄存器被锁定，控制器模块将 FLASH_CR 的 LOCK 位置 1。只有分别向 FLASH_KEYR 寄存器写入 0x45670123 和 0xCDEF89AB 进行解锁，使 FLASH_CR 的 LOCK 位为 0，才能访问 FLASH_CR。否则不允许改写 FLASH_CR 寄存器。

通过软件将 FLASH_CR 的 LOCK 位置 1 可以重新上锁，使闪存处于保护状态。

解除保护的操作代码：

```
#define FLASH_KEY1 ((unsigned int)0x45670123)
#define FLASH_KEY2 ((unsigned int)0xCDEF89AB)
void FLASH_Unlock()
{
    FLASH->KEYR = ((unsigned int)0x45670123);
    FLASH->KEYR = ((unsigned int)0xCDEF89AB);
}
```

不符合上述顺序的操作以及写入错误的值都会锁定 FLASH_CR，并触发总线错误，直到下一次复位。

使能保护的操作代码：

```
#define FLASH_CR_LOCK_Pos (7)
#define FLASH_CR_LOCK (0x01U << FLASH_CR_LOCK_Pos)
void FLASH_Lock(void)
{
    FLASH->CR |= FLASH_CR_LOCK;
}
```

2.3.4 对选项字节区块操作限制的解除与使能

闪存控制器复位后，其选项字节区块默认处于写保护状态，且任何时候均可读。为避免对选项字节区和读保护设置区进行块擦除、写值等破坏性操作，复位后 FLASH_CR 寄存器进入锁定状态，控制器模块将 FLASH_CR 的 LOCK 位置 1，同时将 OPTWRE 位清 0。因此，需要先向 FLASH_KEYR 寄存器写入 0x45670123 和 0xCDEF89AB 解锁 FLASH。当 FLASH_CR 的 LOCK 位为 0 后，选项字节区块随之解锁。再向 FLASH_OPT_KEYR 寄存器写入 0x45670123 和 0xCDEF89AB，硬件会将 FLASH_CR 寄存器的 OPTWRE 位置 1。此时即可对选项字节区执行块擦除和 32 位整字编程。将 FLASH_CR 寄存器的 OPTWRE 位置 0，则可禁止对选项字节区的块擦除或 32 位整字编程。

表 2-8 保护设置中的状态变化

设置与状态	主闪存块	信息块	描述
上电与复位 闪存控制器的状态为 FLASH_CR.LOCK=1 FLASH_CR.OPTWRE=0	保护	保护	使能主闪存块的操作保护 使能选项字节区块的操作保护

设置与状态	主闪存块	信息块	描述
设置 FLASH_KEYR=0x45670123 FLASH_KEYR=0xCDEF89AB 闪存控制器的状态为 FLASH_CR.LOCK=0 FLASH_CR.OPTWRE=0	解除保护	保护	解除主闪存块的操作保护，可执行主闪存块的全片擦除、页擦除和 32 位整字编程。 保持使能选项字节区块的操作保护，禁止对选项字节区进行块擦除和 32 位整字编程。
FLASH_KEYR=0x45670123 FLASH_KEYR=0xCDEF89AB FLASH_OTPKEYR=0x45670123 FLASH_OTPKEYR=0xCDEF89AB 闪存控制器的状态变为 FLASH_CR.LOCK=0 FLASH_CR.OPTWRE=1	解除保护	解除保护	解除主闪存块的操作保护，可执行主闪存块的全片擦除、页擦除和 32 位整字编程。 解除选项字节区块的操作保护，允许对选项字节区进行块擦除和 32 位整字编程。
设置 FLASH_CR.OPTWRE=0 保持 FLASH_CR.LOCK=0	解除保护	使能保护	解除主闪存块的操作保护，并使能选项字节区块的操作保护。
设置 FLASH_CR.OPTWRE=0 设置 FLASH_CR.LOCK=1	使能保护	使能保护	同时使能主闪存块和选项字节区块的操作保护。

解除保护的操作代码:

```
#define FLASH_KEY1 ((unsigned int)0x45670123)
#define FLASH_KEY2 ((unsigned int)0xCDEF89AB)
void FLASH_Unlock(void)
{
    FLASH->KEYR = ((unsigned int)0x45670123);
    FLASH->KEYR = ((unsigned int)0xCDEF89AB);
}
```

使能保护的操作代码:

```
#define FLASH_CR_LOCK_Pos (7)
#define FLASH_CR_LOCK (0x01U << FLASH_CR_LOCK_Pos)
void FLASH_Lock(void)
{
    FLASH->CR |= FLASH_CR_LOCK;
}
```

解除选项字节及读保护设置区操作限制的代码:

```
#define FLASH_KEY1 ((unsigned int)0x45670123)
#define FLASH_KEY2 ((unsigned int)0xCDEF89AB)
void FLASH_OPT_Unlock (void)
{
    FLASH->OPTKEYR = FLASH_KEY1;
    FLASH->OPTKEYR = FLASH_KEY2;
}
```

使能选项字节及读保护设置区操作保护的代码:

```
#define FLASH_CR_OPTWRE_Pos (9)
#define FLASH_CR_OPTWRE (0x01U << FLASH_CR_OPTWRE_Pos)
void FLASH_OPT_Lock(void)
{
    FLASH->CR &= ~FLASH_CR_OPTWRE;
}
```

2.3.5 主闪存块擦除

闪存控制器支持主闪存块的全片擦除，以及以页为单位对主闪存内部页的擦除。
全片擦除功能会初始化主闪存块的全部内容，将所有值置为 1。但信息块不受该指令影响。
主闪存擦除流程：

步骤	简易流程图
(1) 读取 FLASH_CR 的 LOCK 位，确认闪存保护已解除， (2) 否则执行 Flash Unlock (3) 将 FLASH_CR 寄存器中的 MER 位置 1，使能主闪存全片擦除 (4) 将 FLASH_CR 寄存器中的 STRT 位置 1 (5) 启动主闪存的全片擦除 (6) 检查 FLASH_SR 中的 BUSY 位 (7) 等待主闪存全片擦除完成 (8) 清除 FLASH_CR 寄存器的 MER 位，使该位为 0 (9) 可选择进行空白检查 (Blank check) 以确认擦除成功	<pre>graph TD; A[Read Lock bit in FLASH_CR] --> B{LOCK bit in FLASH_CR=1.}; B -- YES --> C[Perform unlock flash sequence]; B -- No --> D[Write MER bit in FLASH_CR to 1]; C --> D; D --> E[Write START bit in FLASH_CR to 1]; E --> F{BSY bit in FLASH_SR=1}; F -- YES --> F; F -- No --> G[Write MER bit in FLASH_CR to 0]; G --> H[Check the erase operation by reading all the addresses in the user memory];</pre>

闪存页擦除流程：

步骤	简易流程图
(1) 读取 FLASH_CR 的 LOCK 位，确认闪存保护已解除，否则执行 Flash Unlock (2) 将 FLASH_CR 寄存器中的 PER 位置 1，使能页擦除 (3) 将待擦除页的基地址写入 FLASH_AR 寄存器 (4) 将 FLASH_CR 寄存器中的 STRT 位置 1，启动页擦除 (5) 检查 FLASH_SR 中的 BUSY 位， (6) 等待页擦除完成 (7) 清除 FLASH_CR 寄存器的 PER 位，使该位为 0 (8) 可选择读取该页内容进行检查，确认页擦除成功 (9) 若要连续擦除多个页，重复 2~7 的操作，直到所有页擦除完成	<pre>graph TD; A[读取 FLASH_CR 中的 LOCK 位] --> B{FLASH_CR 中的 LOCK 位=1。}; B -- 是 --> C[执行闪存解锁序列]; C --> D[将 FLASH_CR 中的 PER 位写 1]; B -- 否 --> D; D --> E[将待擦除页内的某个地址写入 FLASH_AR]; E --> F[将 FLASH_CR 中的 START 位写 1]; F --> G{BSY bit in FLASH_SR=1}; G -- 是 --> F; G -- 否 --> H[将 FLASH_CR 中的 PER 位写 0]; H --> I[通过读取该页内所有地址来检查该页是否已擦除];</pre>

2.3.6 主闪存块编程

主闪存支持 32 位整字编程来改变主存储闪存块的内容。如果以 8 位字节或 16 位半字长度编程，将引起硬件错误中断，同时该编程操作被取消。当 FLASH_CR 的 PG 位为 1 时，可以直接向对应地址写入一个字（32 位），即完成一次编程操作。

主闪存控制器会预先读取待编程的字是否为全 1（是否为 0xFFFFFFFF）；若不是，则自动取消本次编程，并在 FLASH_SR 寄存器的 PGERR 位上给出编程错误警告。

如果待编程地址所对应写保护块在 FLASH_WRRP 中的写保护位有效，则不会执行编程动作，但会产生编程错误警告，同样会产生编程错误报警。编程结束后，FLASH_SR 寄存器中的 EOP 位会给出提示。

注：当 CPU 进入省电模式时，通过 SWD 接口对闪存的操作会产生错误。执行擦除或编程操作时，需要避免运行中断程序。

主闪存块编程的寄存器设置具体步骤:

步骤	简易流程图
(1) 读取 FLASH_CR 的 LOCK 位，确认闪存保护已解除，否则执行 Flash Unlock (2) 将 FLASH_CR 寄存器中的 PG 位置 1，使能 32 位整字编程 (3) 以 32 位字为单位向目标地址写入数据，且目标地址须按 32 位字对齐 (4) 检查 FLASH_SR 中的 BUSY 位 (5) 等待 32 位整字编程完成 (6) 清除 FLASH_CR 寄存器的 PG 位，使该位为 0 (7) 可选择读取目标地址数据，确认 32 位整字编程成功 (8) 若要连续进行更多 32 位整字编程，重复 2~6 的操作，直到所有目标地址的 32 位整字编程完成	编程流程 <pre>graph TD; A[读取 FLASH_CR 中的 LOCK 位] --> B{FLASH_CR 中的 LOCK 位=1}; B -- 是 --> C[执行闪存解锁序列]; C --> D[将 FLASH_CR 中的 PG 位写 1]; B -- 否 --> D; D --> E[在目标地址执行整字写入]; E --> F{FLASH_SR 中的 BSY 位=1}; F -- YES --> F; F -- 否 --> G[将 FLASH_CR 中的 PG 位写 0]; G --> H[通过读取已编程地址检查编程值];</pre>

2.3.7 选项字节区块擦除

注：若 OPTER 为高的同时 MER 或 PER 也为高，则不会擦除选项字节区。
选项字节区块擦除的寄存器设置具体步骤：

步骤	简易流程图
(1) 读取 FLASH_CR 的 LOCK 位，确认闪存保护已解除；否则执行 Flash Unlock (2) 读取 FLASH_CR 的 OPTWRE 位，确认选项区块保护已解除。否则执行选项区块解锁操作。 (3) 将待擦除区块的基地址写入 FLASH_AR 寄存器 (4) 将 FLASH_CR 寄存器中的 OPTER 位置 1，使能选项字节区块擦除 (5) 将 FLASH_CR 寄存器中的 STRT 位置 1 (6) 检查 FLASH_SR 中的 BUSY 位 (7) 等待区块擦除完成 (8) 清除 FLASH_CR 寄存器的 OPTER 位，将该值设为 0 (9) 可选择检查区块内容，确认区块擦除成功 (10) 若要连续擦除多个区块，重复 3~8 的操作，直到所有选项区块擦除完成	<pre>graph TD A[读取 FLASH_CR 中的 LOCK 位] --> B{FLASH_CR 中的 LOCK 位=1} B -- 是 --> C[执行解锁序列] C --> D{FLASH_CR 中的 OPTWRE 位=0} B -- 否 --> D D -- 是 --> E[执行 OPT 解锁序列] E --> F[将闪存选项字节区的基地址写入 FLASH_AR。] D -- 否 --> F F --> G[将 FLASH_CR 中的 OPTER 位置 1] G --> H[将 FLASH_CR 中的 STRT 位置 1] H --> I{FLASH_SR 中的 BSY 位=1} I -- 是 --> H I -- 否 --> J[将 FLASH_CR 中的 OPTER 位写 0] J --> K[通过读取闪存选项区内所有地址来验证闪存选项擦除操作]</pre>

2.3.8 选项字节区块编程

选项字节区块的编程与主闪存块地址的编程不同，因为复位后写入的值会被装载到配置选项，需要更为严格的保护。在解除对闪存控制器的访问限制后，还应解除对选项字节区块和读保护区的访问限制。该操作完成后，FLASH_CR 寄存器中的 OPTWRE 位将被置 1，之后才允许进行后续编程。

选项字节的有效数据是低 8 位。编程时，软件将低 16 位字中的高 8 位设置为低 8 位的按位取反值，以保证写入选项字节的值始终正确；32 位字的高 16 位为保留位，无需处理。

选项字节的更改只有在系统上电并复位后才生效。

选项字节区块编程流程：

步骤	简易流程图
(1) 读取 FLASH_CR 的 LOCK 位，确认闪存保护已解除。否则执行 Flash Unlock (2) 解锁 读取 FLASH_CR 的 OPTWRE 位，确认选项区块保护已解除。否则执行选项区块 Unlock (3) 将 FLASH_CR 寄存器的 OPTPG 位置 1，使能选项字节区块的 32 位整字编程 (4) 向目标地址写入数据（32 位字），且目标地址须按 32 位字对齐 (5) 检查 FLASH_SR 的 BUSY 位 (6) 等待 32 位整字编程完成 (7) 清除 FLASH_CR 寄存器的 OPTPG 位，将该值设为 0 (8) 可选择读取目标地址数据，确认 32 位整字编程成功 (10) 若要连续编程多个 32 位字，重复 3~7 的操作，直到所有目标地址的 32 位整字编程完成	<pre>graph TD; A[读取 FLASH_CR 中的 LOCK 位] --> B{FLASH_CR 中的 LOCK 位=1}; B -- 是 --> C[执行解锁序列]; C --> D{FLASH_CR 中的 OPTWRE 位=0}; B -- 否 --> D; D -- 是 --> E[执行 OPT 解锁序列。]; D -- 否 --> F[将闪存选项字节的基地址写入 FLASH_AR。]; F --> G[将 FLASH_CR 中的 OPTER 位置 1]; G --> H[将 FLASH_CR 中的 STRT 位置 1]; H --> I{FLASH_SR 中的 BSY 位=1}; I -- Yes --> I; I -- 否 --> J[将 FLASH_CR 中的 OPTER 位写 0]; J --> K[通过读取闪存选项区内所有地址来验证闪存选项擦除操作];</pre>

2.3.9 闪存保护

主闪存块使能读保护，可以防止主闪存块的代码被不可靠的代码读取，也可以防止程序跑飞时对主闪存块的误擦除和误编程。读保护使能操作对整个主存储块有效，而写保护使能的最小单位是一个写保护块（即 4 页）。

2.3.9.1 主闪存块读保护

主闪存块读保护的使能或解除，通过配置选项字节中的 RDP 设置来实现；更改在系统复位并装载新的 RDP 配置后生效。

使能读保护

按照选项字节区 32 位整字编程的操作方式，依次将 RDP 的字写入对应地址。

- 将 FLASH_AR 的地址值设为 0x1FFFF800，并执行选项区块擦除。
- 按照选项字节区 32 位整字编程的操作方式，依次将 0x0000807F 的字写入对应地址。
- 系统复位以重新装载选项字节，此时读保护被使能。

当 RDP 字为下列值时，重新上电并复位后，主闪存块进入保护状态。

表 2-9 闪存读保护状态

使能读保护	读保护状态
擦除 0x1FFFF800 选项区块 向对应地址 0x1FFFF800 写入 0x0000807F 32 位字 重新上电并复位后使能读保护	保护

当读保护 RDP 写入对应值后：

1. 仅允许用户代码（非调试模式下从主闪存启动）对主闪存进行读操作。
2. 读保护之后，在调试模式（SRAM 启动和调试模式）下禁止对闪存的操作。
3. MCU 可以由主闪存中执行的代码进行编程（以实现 IAP 或数据存储等功能），但在调试模式下或从内置 SRAM 启动后，不允许对主闪存块进行写入或页擦除操作（全片擦除除外）。
4. 通过 SWD 将代码装载到内置 SRAM 并执行的所有功能仍然有效，也可以从内置 SRAM 启动。该功能可用于解除读保护。
5. 从内置 SRAM 执行代码访问主闪存，或通过 SWD（串行线调试）访问闪存，都将被禁止。

解除读保护

从内置 SRAM 或 ICP 方式解除读保护：

1. 将 FLASH_AR 的地址值设为 0x1FFFF800，并执行区块擦除操作。
2. 按照选项字节区 32 位整字编程的操作方式，依次将 0x00005AA5 的 32 位字写入对应地址。
3. 施加一次 POR 复位以重新装载选项字节，从而解除读保护。

表 2-10 闪存解除读保护状态

解除读保护状态	读保护状态
擦除 0x1FFFF800 选项区块 向对应地址 0x1FFFF800 写入 0x00005AA5 32 位字 擦除 0x08000000 主闪存全片 上电并复位，解除读保护	解除读保护

注：如果选项字节区块的对应地址值不是 0xFFFFFFFF，请先执行选项字节区块擦除，这不会导致全片自动擦除，也不会改变读保护状态。

2.3.9.2 主闪存块写保护

写保护以扇区（4 页）为单位控制。应先配置选项字节中的 WRP 位，然后系统复位装载新的选项字节即可使能保护。如果对受保护的扇区执行写入或擦除操作，FLASH_SR 中的 WRPRERR 标志位将被置位。

表 2-11 写保护区域

地址	[15: 8]	[7: 0]	默认值	注释
0x1FFF F810	nWRP0	WRP0	0x00FF	
0x1FFF F814	nWRP1	WRP1	0x00FF	

解除写保护

解除写保护有下述两种情形：

- 1. 情形 1：解除写保护，同时解除读保护：
 - a. 使用闪存控制寄存器（FLASH_CR）的 OPTER 位擦除整个选项字节区块；向对应地址 0x1FFFF800 写入 0x00005AA5 字；触发对 0x08000000 主闪存块的全片擦除；
 - b. 进行系统复位，重装载选项字节（包含新的 WRP 字节），写保护被解除。使用这种方法，将解除全片主闪存模块的写保护，同时擦除全片主闪存块。
- 2. 情形 2：解除写保护，同时保持读保护有效，这种情况常见于用户自己的启动程序中：
 - a. 使用闪存控制寄存器（FLASH_CR）的 OPTER 位仅擦除整个选项字节区块；
 - b. 进行系统复位，重装载选项字节（包含新的 WRP 字节），写保护被解除。使用这种方法，将解除整个主闪存模块的写保护，同时保持读保护有效。

2.4 寄存器

2.4.1 寄存器概览

表 2-12 FLASH 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	FLASH_ACR	闪存访问控制寄存器	0x00000038
0x04	FLASH_KEYR	FPEC 键寄存器	0x00000000
0x08	FLASH_OPTKEYR	闪存 OPTKEY 寄存器	0x00000000
0x0C	FLASH_SR	闪存状态寄存器	0x00000000
0x10	FLASH_CR	闪存控制寄存器	0x00000080
0x14	FLASH_AR	闪存地址寄存器	0x00000000
0x1C	FLASH_OBR	选项字节寄存器	0x1BFFFC0E
0x20	FLASH_WRP	写保护寄存器	0x0000FFFF

注：Flash 寄存器只支持以 32 位的方式访问

2.4.2 FLASH_ACR 闪存访问控制寄存器

偏移地址：0x00

复位值：0x0000 0038

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.										PRFTBS	PRFTBE	Res.	LATENCY		
										r	rw		rw		

位	字段	描述
31: 6	Res.	保留，必须保持复位值
5	PRFTBS	预取缓冲状态 0：预取缓冲关闭。 1：预取缓冲开启。
4	PRFTBE	预取缓冲使能 0：关闭预取缓冲。 1：开启预取缓冲。 注 1：只有当 LATENCY 设置为 0 时，才能通过该位控制预取缓冲。
3	Res.	保留，必须保持复位值
2: 0	LATENCY	Latency 这些位表示 HCLK（AHB 时钟）周期与闪存访问时间的比值。 000：零等待周期，0 < HCLK ≤ 24MHz 001：一个等待周期，24MHz < HCLK ≤ 48MHz 010：两个等待周期，48MHz < HCLK ≤ 72MHz

2.4.3 FLASH_KEYR FPEC 键寄存器

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FKEYR															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FKEYR															
w															
位		字段				描述									
31: 0		FKEYR				FPEC 闪存键 这些位用于输入 FPEC 解锁键。									

注：所有这些位是只写的，读出时返回 0。

2.4.4 FLASH_OPTKEYR 闪存 OPTKEY 寄存器

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OPTKEYR															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTKEYR															
w															
位		字段				描述									
31: 0		OPTKEYR				选项字节键 这些位用于输入选项字节的键以解除 OPTWRE。									

注：所有这些位是只写的，读出时返回 0。

2.4.5 FLASH_SR 闪存状态寄存器

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.										EOP	WRPTE RR	Res. .	PGERR	Res.	BSY
										rW	rW		rW		r
位		字段				描述									
31:6		保留				保留，必须保持复位值									
5		EOP				操作结束 当闪存操作（编程/擦除）完成时，硬件设置这位为“1”，写入“1”可以清除这位状态。 注：每次成功的编程或者擦除都会设置 EOP 状态。									
4		WRPTE RR				写保护错误 试图对写保护的闪存地址编程时，硬件设置这位为“1”，写入“1”可以清除这位状态。									
3		Res.				保留，必须保持复位值									

位	字段	描述
2	PGERR	编程错误 试图对内容不是“0xFFFF”的地址编程时，硬件设置这位为“1”，写入“1”可以清除这位状态 注：编程之前，请先清除 FLASH_CR 寄存器的 STRT 位。 注：当 PGERR 位为 1 时，CPU 无法清除该位，也无法再次写入，只能通过复位恢复。
1	Res.	保留，必须保持复位值
0	BSY	忙 该位表示闪存的操作正在进行中。闪存操作开始前，该位被置为“1”；操作结束后或发生错误时，该位被清为“0”。

2.4.6 FLASH_CR 闪存控制寄存器

偏移地址：0x10

复位值：0x0000 0080

31	30	29	28	28	27	26	25	24	23	22	21	20	19	18	17
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.			EOPIE	Res.	ERRIE	OPTWRE	Res.	LOCK	STRT	OPTER	OPTPG	Res.	MER	PER	PG
			rw		rw	rw		rw	rw	rw	rw		rw	rw	rw

位	字段	描述
31:10	Res.	保留，必须保持复位值
12	EOPIE	操作结束中断使能 该位使能在 FLASH_SR 寄存器中的 EOP 位变为“1”时产生中断。 0：禁止产生中断 1：使能产生中断
11	Res.	保留，必须保持复位值
10	ERRIE	错误中断使能 该位使能发生在 FPEC 错误（FLASH_SR 寄存器中的 PGERR/WRPRTERR 被置为“1”）时产生中断。 0：禁止产生中断 1：使能产生中断
9	OPTWRE	选项字节写使能 当该位为“1”时，允许对选项字节进行编程。当在 FLASH_OPTKEYR 寄存器中写入正确的键序列后，该位被置为“1”。 该位可通过写 0 清除。
8	Res.	保留，必须保持复位值
7	LOCK	锁定 只能写“1”。当该位为“1”时，表示 FPEC 和 FLASH_CR 被锁定。当检测到正确的解锁序列时，硬件自动将该位清为“0”。在一次不成功的解锁操作后，在下次系统复位之前该位不能被改变。
6	STRT	启动 当该位为“1”时触发一次擦除。该位只能由软件置为“1”，并在 BSY 变为“1”时自动清为“0”。
5	OPTER	选项字节擦除 擦除选项字节。
4	OPTPG	选项字节编程 对选项字节编程。
3	Res.	保留，必须保持复位值
2	MER	全片擦除 选择擦除所有用户页。
1	PER	页擦除 选择擦除页。
0	PG	编程 选择执行编程。

2.4.7 FLASH_AR 闪存地址寄存器

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FAR															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FAR															
w															

位	字段	描述
31: 0	FAR	用户闪存地址（Flash Address） 当进行页擦除时选择要擦除的页。注意：当 FLASH_SR 中的 BSY 位为“1”时，不能写这个寄存器。

该地址由硬件修改为当前使用的地址。在页擦除操作过程中，该寄存器被修改以指定待擦除的页。

2.4.8 FLASH_OBR 选项字节寄存器

偏移地址：0x1C

复位值：0x1BFF FC0E

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.			OBR_PLS			OBR_PVDE			Data1					Data0	
r			r			r			r					r	
Data0						Res.						nRST_STOP	WDG_SW	RDPRT	OPTERR
r												r	r	r	r

位	字段	描述
31:29	Res.	保留，必须保持复位值
28:27	OBR_PLS	PVD 监测电平选择[1:0]位
26	OBR_PVDE	0: PVD 不使能 1: PVD 使能
25: 18	Data1	Data1
17: 10	Data0	Data0
9:4	Res.	保留，必须保持复位值
3	nRST_STOP	进入停机模式时的复位事件 0: 当进入停机（STOP）模式时产生复位 1: 进入停机（STOP）模式时不产生复位
2	WDG_SW	选择看门狗事件 0: 硬件看门狗 1: 软件看门狗
1	RDPRT	读保护（Read protection level status） 当设置为“1”，表示闪存存储器被读保护。 注：该位为只读。
0	OPTERR	选项字节错误（Option byte error） 当该位为“1”时表示选项字节和它的反码不匹配。注意：该位为只读。

2.4.9 FLASH_WRPR 写保护寄存器

偏移地址：0x20

复位值：0x0000 FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
WRP1								WRP0							
r								r							

位	字段	描述
31:16	保留	保留，必须保持复位值
15:0	WRP	写保护 该寄存器包含由 OBL 装载的写保护选项字节。 0：使能写保护 1：禁止写保护

3 CRC 循环冗余校验计算单元

3.1 简介

CRC 计算单元利用固定的多项式来计算 32 位数据的 CRC 校验值，用于对数据传输或数据存储的完整性进行验证。

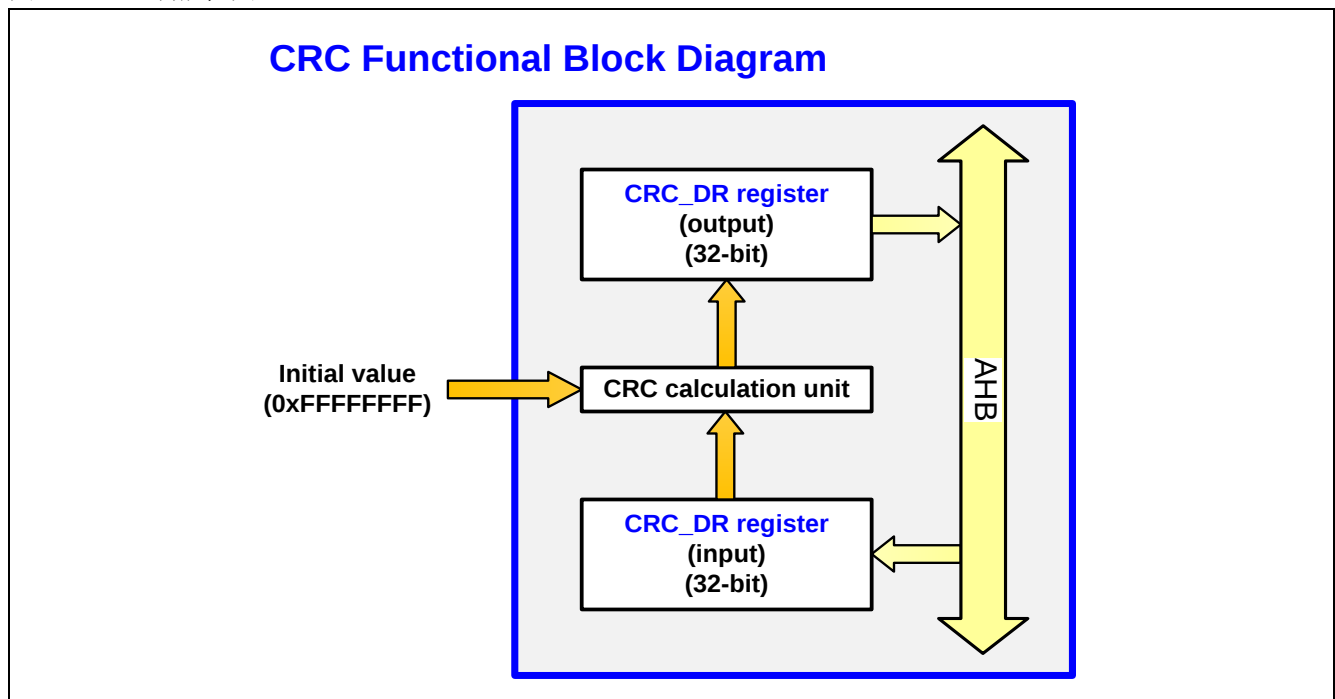
3.2 主要特性

- 支持 CRC-32/MPEG-2（以太网）多项式：0x4C11DB7
 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- 支持 32 位宽的数据寄存器用于输入/输出
- 硬件计算时间为 3 个 HCLK 周期
- 8 位独立数据寄存器，用于存放临时数据

3.3 功能描述

3.3.1 功能框图

图 3-1 CRC 功能框图



3.3.2 功能概述

- CRC 计算单元含有 1 个 32 位数据寄存器：
- 对该寄存器进行写操作时，作为输入寄存器，可以输入要进行 CRC 计算的新数据。
- 对该寄存器进行读操作时，返回上一次 CRC 计算的结果。
- 每次对数据寄存器进行写操作，都会把上一次的 CRC 结果与新的计算结果合并（CRC 计算针对整个 32 位字进行，而不是逐字节进行）。
- 在 CRC 计算期间，写操作被暂停，因此可以对 CRC_DR 寄存器进行连续写入或连续的写-读操作。
- 通过设置 CRC_CR 寄存器中的 RST 位，可以将数据寄存器 CRC_DR 复位为 0xFFFFFFFF。该操作不影响 CRC_IDR 寄存器内的数据。

3.3.3 使用方法

3.3.3.1 CRC 计算操作步骤

- 使能 CRC 模块的时钟。
- 复位 CRC 模块。
- 通过配置 CRC 控制寄存器（CRC_CR）中的 RST 位，将 CRC 恢复到初始状态。
- 依次将数据写入 CRC 数据寄存器（CRC_DR）。
- 读取 CRC 数据寄存器（CRC_DR）以获得 CRC 计算结果。

3.4 寄存器

3.4.1 寄存器概览

表 3-1 CRC 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	CRC_DR	CRC 数据寄存器	0xFFFFFFFF
0x04	CRC_IDR	CRC 独立数据寄存器	0x00000000
0x08	CRC_CR	CRC 控制寄存器	0x00000000

3.4.2 CRC_DR CRC 数据寄存器

偏移地址：0x00

复位值：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DR															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR															
rw															

位	字段	描述
31: 0	DR	数据寄存器 写入时作为输入寄存器，对写入的数据与上一次结果进行 CRC 计算。 读出时返回 CRC 计算的结果。

3.4.3 CRC_IDR CRC 独立数据寄存器

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								IDR							
rw															

Bit	Field	Description
31: 8	保留	保留，必须保持复位值。
7: 0	IDR	通用 8 位数据寄存器 可用作一个字节的临时存放位置。 该寄存器不受 CRC 控制寄存器（CRC_CR）中 RST 位的影响。

3.4.4 CRC_CR CRC 控制寄存器

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															RST
															W

位	字段	描述
31: 1	保留	保留，必须保持复位值
0	RST	CRC 复位 将 CRC 数据寄存器（CRC_DR）复位为 0xFFFFFFFF。 该位只能写“1”，硬件会自动将其清为“0”。

4 芯片特定配置

4.1 中断向量表

在 Handler 模式下，Cortex®-M0+ 处理器和嵌套向量中断控制器（NVIC）可以根据优先级处理所有异常。发生异常时，系统会在中断服务结束后弹出当前处理工作的堆栈。向量与当前工作状态的同时处理提高了中断效率。下表列出了异常类型和中断向量。

表 4-1 异常向量

位置	优先级	优先级类型	名称	描述	地址
-	-	-	-	保留	0x0000 0000
	-3	固定	Reset	Reset	0x0000 0004
	-2	固定	NMI	不可屏蔽中断	0x0000 0008
	-1	固定	Hard Fault	所有类型的故障	0x0000 000C

表 4-2 中断向量

位置	优先级	优先级类型	名称	描述	地址
	3	可设置	SVCall	通过 SWI 指令的系统服务调用	0x0000 002C
				保留	0x0000 0030
				保留	0x0000 0034
	5	可设置	PendSV	可挂起的系统服务	0x0000 0038
	6	可设置	SysTick	系统滴答定时器	0x0000 003C
0	7	可设置	IWDG	独立看门狗 中断连接到 EXTI17	0x0000 0040
1	8	可设置	PVD	电源电压监测（PVD）连接到 EXTI16	0x0000 0044
2	9	可设置	保留	保留	0x0000 0048
3	10	可设置	Flash	Flash 全局中断	0x0000 004C
4	11	可设置	RCC	RCC 全局中断	0x0000 0050
5	12	可设置	EXTI0_1	EXTI 线 [1:0] 中断	0x0000 0054
6	13	可设置	EXTI2_3	EXTI 线 [3:2] 中断	0x0000 0058
7	14	可设置	EXTI4_15	EXTI 线 [15:4] 中断	0x0000 005C
8	15	可设置	保留	保留	0x0000 0060
9	16	可设置	保留	保留	0x0000 0064
10	17	可设置	保留	保留	0x0000 0068
11	18	可设置	保留	保留	0x0000 006C
12	19	可设置	ADC1_COMP	ADC1 全局中断 比较器全局中断	0x0000 0070
13	20	可设置	TIM1_BRK_UP_TRG_COM	TIM1 刹车、更新、触发和 COM 中断	0x0000 0074
14	21	可设置	TIM1_CC	TIM1 捕获比较中断	0x0000 0078
15	22	可设置	保留	保留	0x0000 007C
16	23	可设置	TIM3	TIM3 全局中断	0x0000 0080
17	24	可设置	保留	保留	0x0000 0084
18	25	可设置	保留	保留	0x0000 0088
19	26	可设置	TIM14	TIM14 全局中断	0x0000 008C
20	27	可设置	保留	保留	0x0000 0090
21	28	可设置	保留	保留	0x0000 0094
22	29	可设置	保留	保留	0x0000 0098
23	30	可设置	I2C1	I2C1 全局中断	0x0000 009C
24	31	可设置	保留	保留	0x0000 00A0
25	32	可设置	SPI1	SPI1 全局中断	0x0000 00A4
26	33	可设置	保留	保留	0x0000 00A8
27	34	可设置	USART1	USART1 全局中断	0x0000 00AC
28	35	可设置	USART2	USART2 全局中断	0x0000 00B0
29	36	可设置	保留	保留	0x0000 00B4
30	37	可设置	保留	保留	0x0000 00B8
31	38	可设置	保留	保留	0x0000 00BC

4.2 外部中断映射

GPIO 对应的 16 个外部中断/事件映射关系如下表所示：

表 4-3 EXTI 触发源

外部中断线	I/O 映射	控制位
EXTI0	PX0 (X=A, B)	SYSCFG_EXTICR1 寄存器 EXTI0
EXTI1	PX1 (X=A, B)	SYSCFG_EXTICR1 寄存器 EXTI1
EXTI2	PX2 (X=A, B)	SYSCFG_EXTICR1 寄存器 EXTI2
EXTI3	PX3 (X=A, B)	SYSCFG_EXTICR1 寄存器 EXTI3
EXTI4	PX4 (X=A, B)	SYSCFG_EXTICR2 寄存器 EXTI4
EXTI5	PX5 (X=A, B)	SYSCFG_EXTICR2 寄存器 EXTI5
EXTI6	PX6 (X=A)	SYSCFG_EXTICR2 寄存器 EXTI6
EXTI7	PX7 (X=A)	SYSCFG_EXTICR2 寄存器 EXTI7
EXTI8	PX8 (X=A)	SYSCFG_EXTICR3 寄存器 EXTI8
EXTI9	PX9 (X=A)	SYSCFG_EXTICR3 寄存器 EXTI9
EXTI10	PX10 (X=A)	SYSCFG_EXTICR3 寄存器 EXTI10
EXTI11	PX11 (X=A)	SYSCFG_EXTICR3 寄存器 EXTI11
EXTI12	PX12 (X=A)	SYSCFG_EXTICR4 寄存器 EXTI12
EXTI13	PX13 (X=A)	SYSCFG_EXTICR4 寄存器 EXTI13
EXTI14	PX14 (X=A)	SYSCFG_EXTICR4 寄存器 EXTI14
EXTI15	PX15 (X=A)	SYSCFG_EXTICR4 寄存器 EXTI15

其他外部中断/事件控制器的连接：

- EXTI 线 16 连接到 PVD 输出。
- EXTI 线 17 连接到 IWDG 输出。
- EXTI 线 19 连接到 COMP1 输出。

4.3 ADC 通道分配

表 4-4 ADC 通道分配

转换输入通道	ADC1 通道分配
通道 0	ADC_IN0
通道 1	ADC_IN1
通道 2	ADC_IN2
通道 3	ADC_IN3
通道 4	ADC_IN4
通道 5	ADC_IN5
通道 6	ADC_IN6
通道 7	ADC_IN7
通道 8	ADC_IN8
通道 9	ADC_IN9
通道 10	ADC_IN10
通道 11	ADC_IN11
通道 12	内置 T-Sensor / 内置 V-Sensor

ADC 通道 12 可通过配置 SYSCFG_SENSORCR.VS_EN 和 SYSCFG_SENSORCR.TS_EN 进行切换。

4.4 系统模块硬件互连

表 4-5 ADC 触发源互连

来源	寄存器设置	目标 (ADC 触发输入)
TIM1_CC1	ADC1_ADCR.TRGSEL=0x0	TRG0
TIM1_CC2	ADC1_ADCR.TRGSEL=0x1	TRG1
TIM1_CC3	ADC1_ADCR.TRGSEL=0x2	TRG2
保留	ADC1_ADCR.TRGSEL=0x3	TRG3
TIM3_TRGO	ADC1_ADCR.TRGSEL=0x4	TRG4
TIM1_CC4 XOR TIM1_CC5	ADC1_ADCR.TRGSEL=0x5	TRG5
TIM3_CC1	ADC1_ADCR.TRGSEL=0x6	TRG6
EXTI 线 [11]	ADC1_ADCR.TRGSEL=0x7	TRG7
TIM1_TRGO	ADC1_ADCR.TRGSEL=0x8	TRG8
保留	ADC1_ADCR.TRGSEL=0x9	TRG9
保留	ADC1_ADCR.TRGSEL=0xA	TRG10
保留	ADC1_ADCR.TRGSEL=0xB	TRG11
TIM3_CC4	ADC1_ADCR.TRGSEL=0xC	TRG12
保留	ADC1_ADCR.TRGSEL=0xD	TRG13
保留	ADC1_ADCR.TRGSEL=0xE	TRG14
EXTI 线 [15]	ADC1_ADCR.TRGSEL=0xF	TRG15
TIM1_CC4	ADC1_ADCR.TRGSEL=0x10	TRG16
TIM1_CC5	ADC1_ADCR.TRGSEL=0x11	TRG17

对于 TIMx_CCy (TIMx 的比较脉冲)，在触发 ADC 时会做额外的互连处理：

- 当 TIMx_CR1.CMS 设置为 0x3 (中央对齐模式 3) 时，任意比较脉冲都会使对应的 ADC 触发输入 (TRG) 翻转一次。
- 当 TIMx_CR1 处于其他计数模式时，递增计数过程中产生的比较事件会清除对应的 ADC 触发输入 (TRG)，而递减计数过程中产生的比较事件会置位对应的 ADC 触发输入 (TRG)。

对于 TIMx_TRGO (TIMx 的 TRGO 输出)，在触发 ADC 时会做额外的互连处理：

- 当 TIMx_CR2.MMS 设置为 0x0 (复位模式) 时，每次 TIMx_SR.UG 置位都会使对应的 ADC 触发输入 (TRG) 翻转。
- 当 TIMx_CR2.MMS 设置为 0x1 时，对应的 ADC 触发输入 (TRG) 等效于 TIMx_CR1.CEN。
- 当 TIMx_CR2.MMS 设置为 0x2 (更新模式) 时，任意更新事件都会使对应的 ADC 触发输入 (TRG) 翻转。
- 当 TIMx_CR2.MMS=0x3 选择通道 1 的比较脉冲时，ADC 触发输入 (TRG) 与 TIMx_CCy 之间的互连处理方式相同。
- 当 TIMx_CR2.MMS=0x4 选择 OC1REF 时，对应的 ADC 触发输入 (TRG) 等效于 TIMx 的 OC1REF 信号。
- 当 TIMx_CR2.MMS=0x5 选择 OC2REF 时，对应的 ADC 触发输入 (TRG) 等效于 TIMx 的 OC1REF。
- 当 TIMx_CR2.MMS=0x6 选择 OC3REF 时，对应的 ADC 触发输入 (TRG) 等效于 TIMx 的 OC1REF。
- 当 TIMx_CR2.MMS=0x7 选择 OC4REF 时，对应的 ADC 触发输入 (TRG) 由 TIMx 的 OC1REF 触发。

表 4-6 比较器输出方向选择

来源	寄存器设置	输出方向	目标
COMPx_OUT (x=1)	COMPx_CSR:OUT_SEL=0x0 (x=1)	方向 0	保留
	COMPx_CSR:OUT_SEL=0x1 (x=1)	方向 1	TIM3 输入捕获 2
	COMPx_CSR:OUT_SEL=0x2 (x=1)	方向 2	TIM1 刹车输入
	COMPx_CSR:OUT_SEL=0x3 (x=1)	方向 3	保留
	COMPx_CSR:OUT_SEL=0x4 (x=1)	方向 4	保留
	COMPx_CSR:OUT_SEL=0x5 (x=1)	方向 5	保留
	COMPx_CSR:OUT_SEL=0x6 (x=1)	方向 6	TIM1 Ocrefclear 输入
	COMPx_CSR:OUT_SEL=0x7 (x=1)	方向 7	保留
	COMPx_CSR:OUT_SEL=0x8 (x=1)	方向 8	保留
	COMPx_CSR:OUT_SEL=0x9 (x=1)	方向 9	保留
	COMPx_CSR:OUT_SEL=0xA (x=1)	方向 10	TIM3 输入捕获 1

来源	寄存器设置	输出方向	目标
	COMPx_CSR.OUT_SEL=0xB (x=1)	方向 11	TIM3 Ocreclear 输入
	COMPx_CSR.OUT_SEL=0xC (x=1)	方向 12	保留
	COMPx_CSR.OUT_SEL=0xD (x=1)	方向 13	保留
	COMPx_CSR.OUT_SEL=0xE (x=1)	方向 14	保留
	COMPx_CSR.OUT_SEL=0xF (x=1)	方向 15	保留

表 4-7 TIM ITR 事件互连

	TIM1	TIM3
ITR0	保留	TIM1
ITR1	保留	保留
ITR2	TIM3	保留
ITR3	保留	保留

注：TIMx 从模式控制寄存器中的 TIMx_SMCR.TS 位控制内部触发源的选择（其中 x = 1、3）。

表 4-8 TIM ETR 事件互连

源	寄存器选择	目标
ETR GPIO 输入	TIMx_OR.ETR_RMP=00b (x=3)	TIMx_ETR (x=3)
LSI_CLK	TIMx_OR.ETR_RMP=01b (x=3)	
保留	TIMx_OR.ETR_RMP=10b (x=3)	
HSE_CLK_DIV_128	TIMx_OR.ETR_RMP=11b (x=3)	

表 4-9 输入捕获事件互连

来源	寄存器设置	目标
COMP1_OUT	COMP1_CSR.OUT_SEL=0xA	TIM3_CH1_IN
COMP1_OUT	COMP1_CSR.OUT_SEL=0x1	TIM3_CH2_IN
CH4 GPIO 输入	TIM3_OR.TI4_RMP=0x0	TIM3_CH4_IN
LSI_CLK	TIM3_OR.TI4_RMP=0x1	TIM3_CH4_IN
HSE_CLK_DIV_128	TIM3_OR.TI4_RMP=0x3	TIM3_CH4_IN

表 4-10 TIM OCREFCLR 事件互连

来源	寄存器设置	目标
COMP1_OUT	COMP1_CSR.OUT_SEL=0x6	TIM1_OCREFCLR
COMP1_OUT	COMP1_CSR.OUT_SEL=0xB	TIM3_OCREFCLR

表 4-11 TIM 刹车事件互连

来源	寄存器设置	目标
COMP1_OUT	COMP1_CSR.OUT_SEL=0x2	TIM1_COMPBKIN
IO	TIM1_BKINF.IOBKIN_SEL=0x01	TIM1_IOBKIN

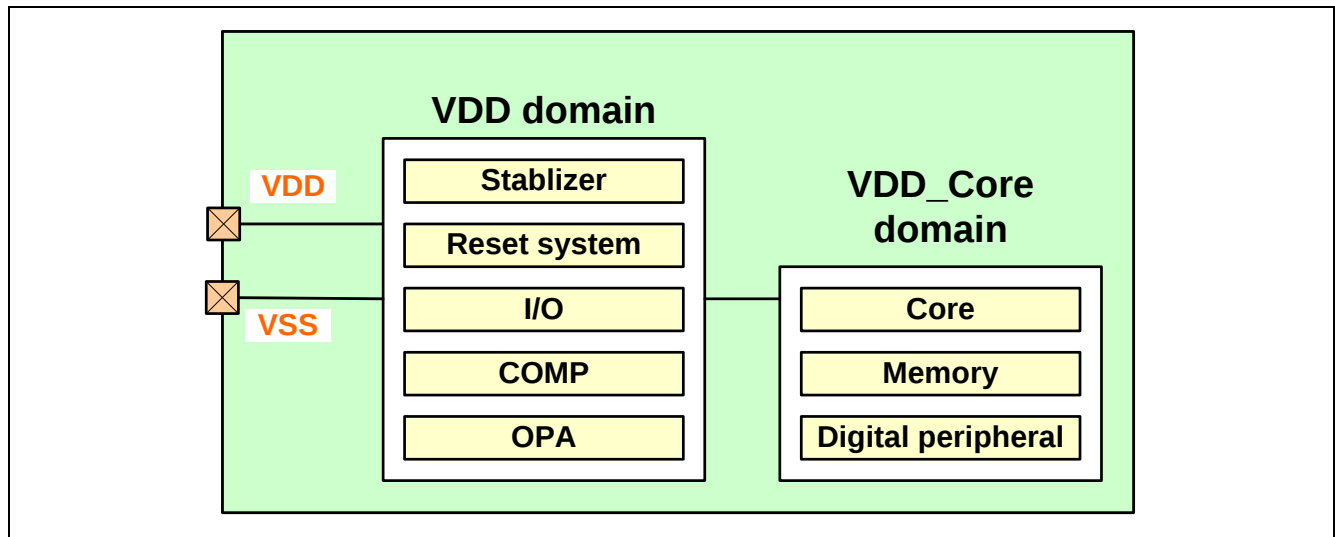
5 PWR 电源控制器

电源控制器（PWR）主要涉及芯片的供电、电源管理器和低功耗模式等功能。

5.1 供电系统

芯片由下列四种电源供电：

图 5-1 电源系统框图



- 通过 VDD 和 VSS 供电，用于模拟部分、数字部分和 I/O 引脚的工作。
- 在供电系统中，对应的电源引脚需要外接 10 μ F 和 100nF 电容，且应尽可能靠近引脚放置。

5.1.1 VDD 域

VDD 域主要为 PMU 的模拟部分（LDO 和电源检测）、复位系统的模拟部分、比较器（COMP）和 ADC 以及 I/O 供电，上电后保持工作。

5.1.2 VDD_Core 域

VDD_Core 域主要为芯片的内核、存储器和外设供电，上电后默认保持开启。进入低功耗待机模式时，芯片硬件会为稳压器选择低功耗模式，唤醒后自动将稳压器切换回正常功耗模式。它有以下几种工作状态：

运行模式：VDD_Core 域运行在正常功耗模式，存储器和外设正常工作。

睡眠模式：VDD_Core 域运行在正常功耗模式。CPU 进入睡眠模式，存储器和外设正常功耗模式下工作。

停机模式：VDD_Core 域工作在低功耗模式，仅保持寄存器和 RAM 的内容。

深度停机模式：VDD_Core 域工作在最低功耗模式，仅保持寄存器和 RAM 的内容。

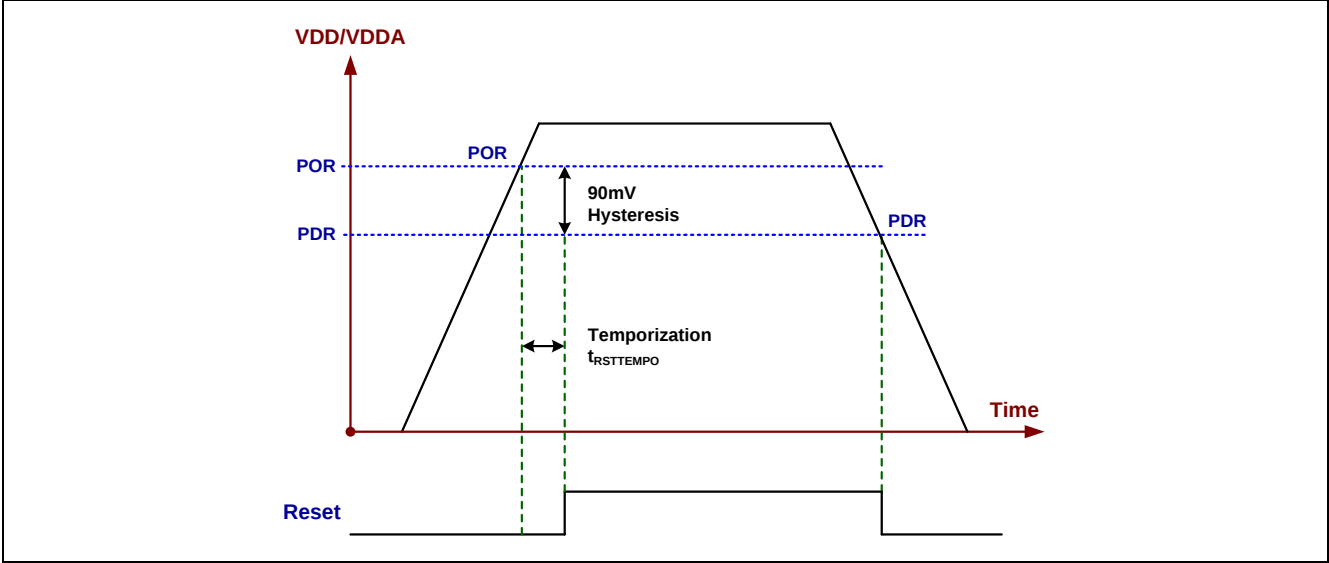
5.2 电源管理器

5.2.1 上电复位和掉电复位

芯片具有完整的上电复位（POR）和掉电复位（PDR）电路。当电源电压达到最低工作电压时，系统正常工作；当电源电压低于最低工作电压时，系统不工作。芯片上电或掉电时，上电过程中电源电压达到芯片的最低工作电压，芯片将产生上电复位；同样地，芯片掉电过程中，当电压低于最低工作电压时，芯片将产生掉电复位。

当 VDD 低于规定的极限电压 POR/PDR 时，系统保持复位状态，NRST 复位引脚为低电平。上电复位和掉电复位的复位时间（ $t_{RSTTEMPO}$ ）详情请参考数据手册的电气特性章节。

图 5-2 上电复位和掉电复位波形图



5.2.2 可编程电压监测器

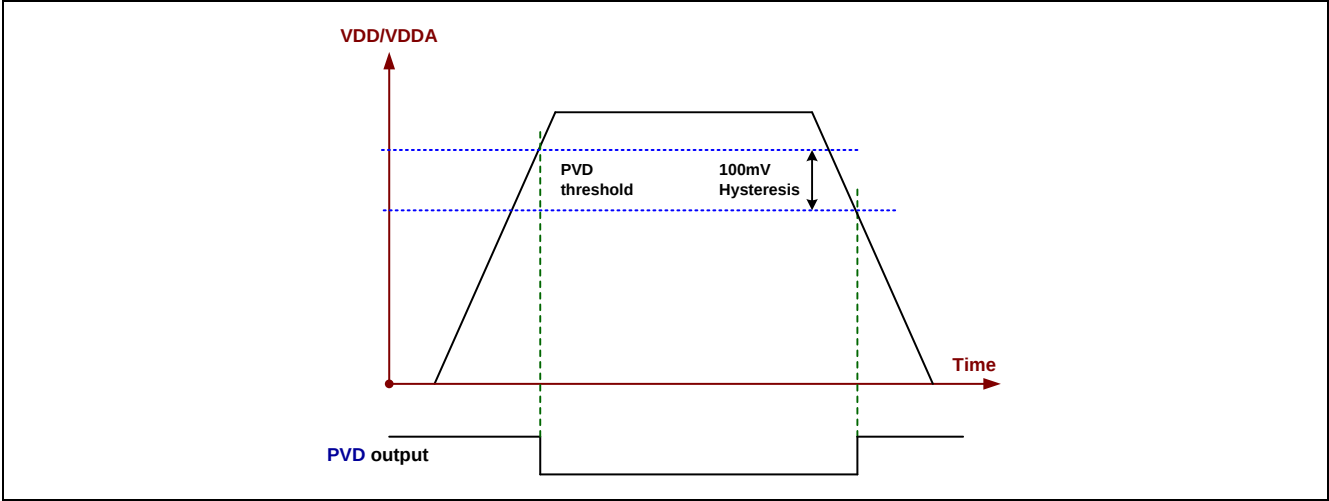
可编程电压监测器（PVD）可用于监测芯片的电源电压。当电源电压下降到低于指定阈值时，会产生中断，软件可以进行紧急处理；当电源电压回升到高于原阈值的指定阈值时，同样会产生中断，经软件处理后电源恢复。掉电阈值与升压阈值之间存在固定的差值，这就是 PVD 迟滞电压，该差值可以通过所列的 PVD 阈值数据查得。引入该差值的目的是防止电压在阈值附近波动而引起频繁中断。

用户可以通过软件设置电源控制寄存器（PWR_CR）中 PLS 位的阈值电压，并将该值与芯片的电源电压进行比较，实现电源监测。

通过设置 PWR_CR 中的 PVDE 位可以使能 PVD。电源控制/状态寄存器（PWR_CSR）中的 PVDO 标志用于指示 VDD 高于还是低于 PWR_CR 中 PLS 位设定的阈值电压。

PVD 中断对应外部中断 EXTI16。若用户使能了外部中断 EXTI16，该事件将产生中断并进入中断服务函数。当 VDD 下降到低于 PVD 阈值或 VDD 上升到高于 PVD 阈值时，将按照外部中断 EXTI16 的上升/下降沿产生 PVD 中断（通过软件配置也可产生 PVD 复位）。用户可以在中断中执行一些相应的操作。例如，当条件触发且掉电速度慢于中断处理程序的执行时间时，若系统需要进入特殊保护状态，可以执行紧急关闭：保存一些重要的系统数据，并对外设进行相应的保护操作。

图 5-3 PVD 阈值波形图



5.3 功耗控制

5.3.1 功耗控制概述

为了延长电池供电产品的使用寿命，在 MCU 不工作时，MCU 可以进入低功耗模式以节省功耗；当 MCU 需要工作时，可以由多种唤醒源唤醒，从而将芯片的电流消耗降到最低。

芯片具有三种低功耗模式，各自的功耗、唤醒时间和唤醒源不同。用户可以根据需要选择最合适的低功耗模式。

芯片的三种低功耗模式：

睡眠模式：CPU 停止，芯片所有外设（包括 NVIC、系统时钟 SysTick 等 CPU 外设）仍然运行。

停机模式：VDD_Core 域工作在较低功耗模式，仅保持寄存器和 RAM 的内容，CPU 和所有外设时钟停止。

深度停机模式：VDD_Core 域工作在最低功耗模式，仅保持寄存器和 RAM 的内容，CPU 和所有外设时钟停止。

此外，在运行模式下，可以通过以下任一方式降低功耗：

- 降低系统时钟频率：在满足系统需求的前提下，选择较低的时钟频率，或采用高速时钟与低速时钟循环切换的方式来节省功耗。
- 关闭 APB 和 AHB 总线上未使用的外设时钟：用户仅使能应用所需的时钟信号，关闭其他多余的时钟。
- 选择较低的供电电压：电源电压越高，芯片功耗越大。在芯片的安全电压范围内选择合适的电源电压。

表 5-1 低功耗模式

模式	进入方式	唤醒方式	对 VDD_Core 域时钟的影响	对 VDD 域时钟的影响	稳压器	对 VDD 对数据和寄存器	注意事项
SLEEP 模式	WFI（等待中断）	任意中断	CPU 时钟关闭，对其他时钟和 ADC 时钟无影响	N/A	On	N/A	外部时钟保持，寄存器和 SRAM 的内容保持
	WFE（等待事件）	唤醒事件					
停机模式	清除 LPDS 位；置位 SLEEPDEEP 位；WFI 或 WFE；	任意外部中断（在外部中断寄存器中设置）或事件、IWDG 中断（不复位）唤醒	VDD_Core 域所有时钟关闭	HSI 振荡器关闭	On	寄存器和 SRAM 的内容保持	进入低功耗前，未使用的 GPIO 应配置为模拟输入状态
深度停机模式	置位 LPDS 位；置位 SLEEPDEEP 位；WFI 或 WFE；	任意外部中断（在外部中断寄存器中设置）或事件、IWDG 中断（不复位）唤醒			On	寄存器和 SRAM 的内容保持	进入低功耗前，未使用的 GPIO 应配置为模拟输入状态

5.3.2 运行模式下降低系统时钟

在满足使用需求的前提下，选择较低的时钟频率，或采用高速时钟与低速时钟循环切换的方式来节省功耗。

芯片的系统时钟可以灵活配置。用户可以选择不同来源的系统时钟，或通过配置不同的时钟分频器降低任一系统时钟（SYSCLK、HCLK、PCLK）的频率。

在进入睡眠模式之前降低外设时钟，可以有效降低睡眠模式下的功耗。

5.3.3 外部时钟控制

在芯片执行程序时关闭外设时钟，可以降低功耗。

在睡眠模式下，执行 WFI 或 WFE 指令之前关闭外设时钟，可以有效降低睡眠模式下外设的电流消耗。

外设主要挂在 AHB 外设时钟使能寄存器(RCC_AHBNR)和 APB 外设时钟使能寄存器(RCC_APBENR)所对应的总线上。用户可以独立配置寄存器的外设控制位来关闭外设时钟。

5.3.4 睡眠模式

5.3.4.1 进入睡眠模式

执行 WFI（等待中断）/WFE（等待事件）指令，请求 MCU 进入睡眠模式。根据 CPU 系统控制寄存器（SCB->SCR）中 SLEEPONEXIT 位的值，有两种进入睡眠模式的机制可供选择：

SLEEPNOW：若 SLEEPONEXIT 位被清除，则执行 WFI 或 WFE 时，MCU 立即进入睡眠模式。

SLEEPONEXIT：若 SLEEPONEXIT 位被置位，且系统从最低优先级的中断处理程序退出时，MCU 立即进入睡眠模式。

在睡眠模式下，所有 I/O 引脚保持运行模式下的状态。

表 5-2 SLEEPNOW 模式

SLEEP NOW 模式	描述
进入	在下列条件下执行 WFI（等待中断）或 WFE（等待事件）指令： SLEEPDEEP = 0 SLEEPONEXIT = 0
退出	若执行 WFI 进入睡眠模式：中断（参考中断向量表） 若执行 WFE 进入睡眠模式：唤醒事件（参考唤醒事件管理）
唤醒延时	立即唤醒

表 5-3 SLEEPONEXIT 模式

SLEEP ON EXIT 模式	描述
进入	在下列条件下执行 WFI（等待中断）指令： SLEEPDEEP = 0 SLEEPONEXIT = 1
退出	中断（参考中断向量表）
唤醒延时	立即唤醒

5.3.5 停机模式

停机模式由 CPU 深度睡眠模式和外设时钟控制组成。在停机模式下，CPU 进入深度睡眠模式，VDD_Core 域内的所有时钟停止，HSI 振荡器功能被禁止，SRAM 和寄存器的内容被保存。

在停机模式下，所有 I/O 引脚保持运行模式下的相同状态。

5.3.5.1 进入停机模式

停机模式可通过编程不同的控制位，按不同的唤醒方式有两种进入途径：

- 等待外部中断线的 WFI 方式进入停机模式：配置电源控制寄存器（PWR_CR）的 LPDS=0；配置 CPU 系统控制寄存器（SCR）的 SLEEPDEEP=1。执行 WFI 时，MCU 立即进入停机模式。
- 等待外部事件的 WFE 方式进入停机模式：配置电源控制寄存器（PWR_CR）的 LPDS=0；配置 CPU 系统控制寄存器（SCR）的 SLEEPDEEP=1。执行 WFE 时，MCU 立即进入停机模式。

进入停机模式时可以选择下列功能：

- 独立看门狗（IWDG）：通过键寄存器或硬件写入独立看门狗来启动独立看门狗。独立看门狗可以选择以中断或复位方式唤醒芯片。以中断唤醒芯片时，MCU 继续执行进入低功耗之前的程序；以复位唤醒时，MCU 执行复位。用户可以选择关闭 LSI 时钟源，从而关闭独立看门狗。
- 内部低速振荡器（LSI 振荡器）：由 RCC 控制/状态寄存器（RCC_CSR）的 LSION 位设置。

若进入停机模式前未关闭 ADC，ADC 会继续消耗电流。将 ADC_ADCFG 寄存器的 ADEN 位置 0 可关闭该外设。未使用的 GPIO 应设置为模拟输入模式，否则仍会有电流消耗。

5.3.5.2 退出停机模式

当某个中断或唤醒事件导致退出停机模式时，系统时钟源硬件会自动选择为 HSI 振荡器。若要选择其他时钟源作为时钟源，用户需要重新配置。

当稳压器处于运行模式且系统从停机模式退出时，会有一段额外的启动延时。

表 5-4 停机模式

停机模式	描述
进入	在下列条件下执行 WFI（等待中断）或 WFE（等待事件）指令： 置位 CPU 系统控制寄存器中的 SLEEPDEEP 位； 清除电源控制寄存器（PWR_CR）的 LPDS 位； 系统时钟切换到 LSI 或 HSI 注：为了进入停机模式，必须清除所有外部中断请求位（中断事件挂起寄存器 EXTI_PR）的标志。否则将跳过停机模式的进入流程，程序继续运行。
退出	在下列条件下执行 WFI（等待中断）指令： 任一外部中断线被设置为中断模式（对应的外部中断向量必须在 NVIC 中使能），参考中断向量表 等待事件； 在下列条件下执行 WFE（等待事件）指令： 任一外部中断线被设置为事件模式，例如看门狗中断；
唤醒延时	LSI 或 HSI 的唤醒时间以及稳压器唤醒所产生的额外时间
注意事项	进入停机模式时，未使用的 GPIO 设置为模拟输入模式

5.3.6 深度停机模式

深度停机是在 CPU 深度睡眠模式基础上，结合外设时钟控制和稳压器控制机制的低功耗模式。在深度停机模式下，VDD_Core 域内的所有时钟停止，HSI 功能被禁止，SRAM 和寄存器的内容被保持。

在深度停机模式下，所有 I/O 引脚保持运行模式下的状态。

5.3.6.1 进入深度停机模式

停机模式可通过编程不同的控制位，按不同的唤醒方式有两种进入途径：

- 等待外部中断线的 WFI 方式进入深度停机模式：配置电源控制寄存器（PWR_CR）的 LPDS=1；配置 CPU 系统控制寄存器（SCR）的 SLEEPDEEP=1。执行 WFI 时，MCU 立即进入深度停机模式。
- 等待外部事件的 WFE 方式进入深度停机模式：配置电源控制寄存器（PWR_CR）的 LPDS=1；配置 CPU 系统控制寄存器（SCR）的 SLEEPDEEP=1。执行 WFE 时，MCU 立即进入深度停机模式。

在深度停机模式下，可以通过设置各个控制位选择下列功能：

独立看门狗（IWDG）：通过写入其键寄存器或通过硬件选项启动 IWDG。独立看门狗可以选择以中断或复位方式唤醒芯片。以中断唤醒芯片时，MCU 继续执行进入低功耗之前的程序；以复位唤醒时，MCU 执行复位。用户可以选择关闭 LSI 时钟源，从而关闭独立看门狗。

内部振荡器（LSI 振荡器）：由控制/状态寄存器（RCC_CSR）中的 LSION 位配置。

若进入深度停机模式前未关闭 ADC，ADC 会继续消耗电流。将 ADC_ADCCFG 寄存器的 ADEN 位置 0 可关闭该外设。未使用的 GPIO 应设置为模拟输入模式，否则仍会有电流消耗。

5.3.6.2 退出深度停机模式

当深度停机模式被中断或事件唤醒而退出时，系统时钟采用 HSI 振荡器。若要选择其他时钟源作为时钟源，用户需要重新配置。

当稳压器工作在低功耗模式且系统从深度停机模式退出时，会有一段额外的启动延时。

表 5-5 深度 停机模式

深度 停机模式	描述
进入	在下列条件下执行 WFI（等待中断）或 WFE（等待事件）指令： 置位 CPU 系统控制寄存器中的 SLEEPDEEP 位； 清除电源控制寄存器（PWR_CR）的 LPDS 位； 系统时钟切换到 LSI 或 HSI 注：为了进入深度停机模式，必须清除所有外部中断请求位（中断事件挂起寄存器 EXTI_PR）的标志。否则将跳过深度停机模式的进入流程，程序继续运行。
退出	在下列条件下执行 WFI（等待中断）指令： 任一外部中断线被设置为中断模式（对应的外部中断向量必须在 NVIC 中使能），参考中断向量表 等待事件； 在下列条件下执行 WFE（等待事件）指令： 任一外部中断线被设置为事件模式，例如看门狗中断；
唤醒延时	LSI 或 HSI 的唤醒时间以及稳压器唤醒所产生的额外时间
注意事项	进入深度停机模式时，未使用的 GPIO 设置为模拟输入模式

5.4 电源控制寄存器

5.4.1 寄存器概览

表 5-6 电源控制寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	PWR_CR	电源控制寄存器	0x00000600
0x04	PWR_CSR	电源控制状态寄存器	0x00000000

5.4.2 PWR_CR 电源控制寄存器

地址偏移：0x00
复位值：0x00000600

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res			PLS				Res				PVDE	Res			LPDS
			rw								rw				rw
位		字段		描述											
31:13		保留		保留，读出始终为 0											
12: 9		PLS		PVD 电平选择 这些位用于选择电源电压监测器的电压阈值。 0000: 1.8V 0100: 3.0V 1000: 4.2V 0001: 2.1V 0101: 3.3V 1001: 4.5V 0010: 2.4V 0110: 3.6V 1010: 4.8V 0011: 2.7V 0111: 3.9V 其他: 保留 注：详细信息请参考数据手册的电气特性章节。											
8		保留		保留，读出始终为 0											
7:5		保留		保留，读出始终为 0											
4		PVDE		电源电压监测器使能 1 = 使能 PVD 0 = 禁止 PVD											
3:1		保留		保留，读出始终为 0											
0		LPDS		低功耗深度停机： 1：进入停机模式时，稳压器工作在低功耗模式。 0：进入停机模式时，稳压器工作在正常功耗模式。 进入停机模式时，LPDS = 1 时的电流低于 LPDS = 0 时的电流。详情请参考本芯片对应的数据手册。											

5.4.3 PWR_CSR 电源控制/状态寄存器

地址偏移：0x04
复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res												PVDO	Res		
												r			

位	字段	描述
31:3	保留	保留，读出始终为 0
2	PVDO	PVD 输出 当通过 PVDE 位使能 PVD 后，该位有效。 1: VDD/VDDA 低于 PLS[3:0] 所选的 PVD 阈值 0: VDD/VDDA 高于 PLS[3:0] 所选的 PVD 阈值。
1:0	保留	保留，读出始终为 0

6 RCC 时钟和复位

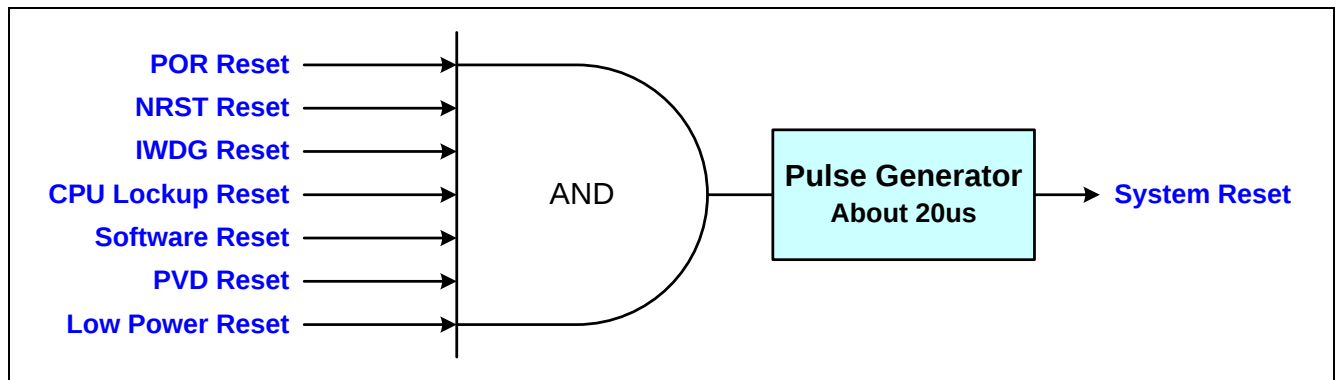
6.1 复位单元

6.1.1 简介

复位有两种类型：电源复位、系统复位。

6.1.2 功能框图

图 6-1 复位功能框图



6.1.3 主要特性

- 复位事件判断：通过控制状态寄存器（RCC_CSR）的复位标志位判断。
- 上电复位：复位所有寄存器。
- 系统复位：除时钟控制寄存器（RCC_CSR）中的复位标志和内部低速振荡器使能标志、电源控制寄存器（PWR_CSR）中的唤醒标志以及 DBG 控制寄存器（DBG_CR）不受系统复位影响外，其他寄存器均被系统复位。

6.1.4 功能描述

6.1.4.1 POR 复位

电源复位包括：

- 上电复位
- 掉电复位

6.1.4.2 系统复位

系统复位包括：

- NRST 复位
- IWDG 复位
- 软件复位
- CPU 锁定复位
- PVD 复位
- 低功耗复位

NRST 复位：

- 通过 NRST 引脚输入低电平时，将产生 NRST 复位。

IWDG 复位：

- 计数器从复位值 0x0FFF 开始递减，当递减到 0x0000 时，将产生独立看门狗复位。
- 若程序异常，无法正常喂狗，将产生独立看门狗复位。
- 详情请参考窗口看门狗章节

软件复位：

- 将 SCB_AIRCR [SYSRESETREQ] 置 1，将产生软件复位。

CPU 锁定复位:

- 将控制状态寄存器 (RCC_CSR) 的 LOCKUPEN 位配置为 1，使能 CPU 锁定复位;
- 当 CPU 进入锁定状态时，将产生 CPU 锁定复位。

PVD 复位:

- 将控制状态寄存器 (RCC_CSR) 的 PVDSTEN 位配置为 1，使能 PVD 复位;
- 将电源控制寄存器 1 (PWR_CR) 的 PVDE 位配置为 1，使能 PVD;
- 配置电源控制寄存器 1 (PWR_CR) 的 PLS 位，选择 PVD 阈值;
- 检测 VDD 电源，当 VDD 电源低于所选阈值电压时，将产生 PVD 复位。

低功耗复位:

- 为防止应用程序误进入低功耗模式，可以通过将选项字节空间中的 nRST_STOP 位配置为 0，在误进入之前对系统进行复位。
- 通过将选项字节空间中的 nRST_STOP 位配置为 0，系统将被复位，而不是进入停机模式。
- 具体请参考嵌入式闪存章节。

6.2 时钟单元

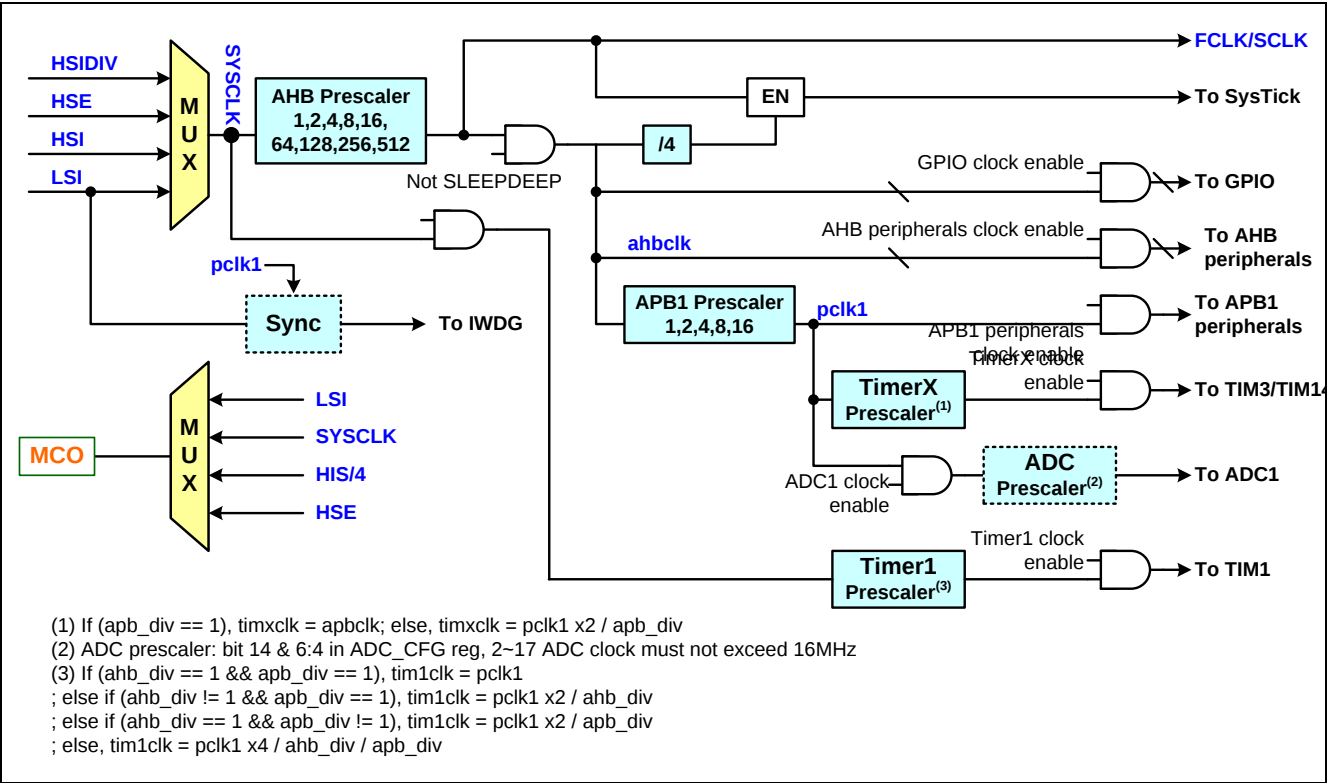
6.2.1 简介

四个可配置的独立时钟:

- 外部高速时钟 (HSE)
- 内部高速时钟 6 分频 (HSIDIV)
- 内部高速时钟 (HSI)
- 内部低速时钟 (LSI)

6.2.2 功能框图

图 6-2 时钟树



6.2.3 主要特性

通过时钟寄存器 (RCC_CFGR) 的预分频控制位, 分别配置 AHB 和 APB1 总线的时钟频率。AHB 和 APB1 总线时钟的最高频率为 48MHz。

6.2.4 功能描述

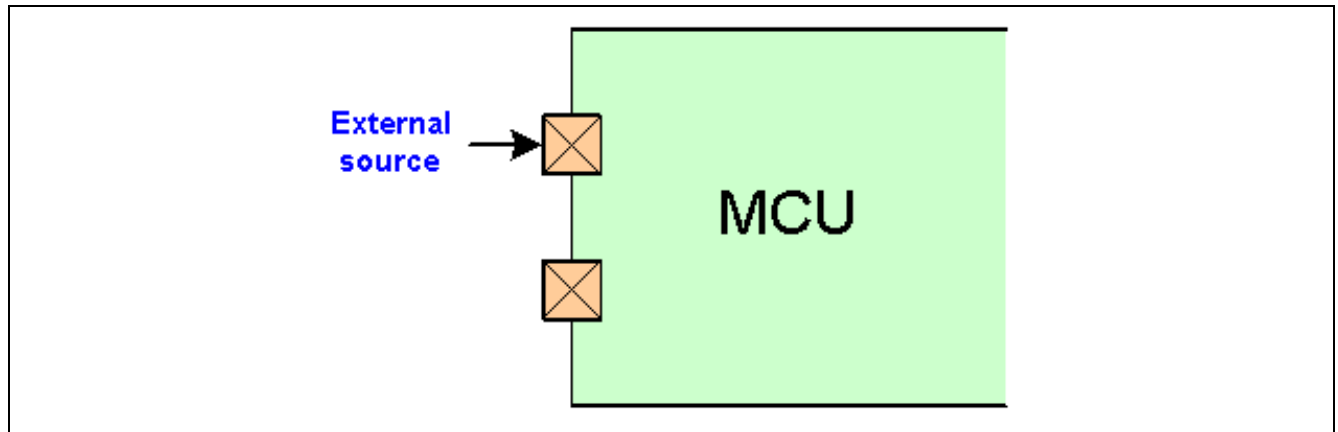
6.2.4.1 外部高速时钟 (HSE)

一种外部高速时钟源:

- 外部高速输入时钟

该时钟输入方式通过配置时钟控制寄存器 (RCC_CR) 的 HSEON 位来选择。

图 6-3 外部高速输入时钟



上图为外部高速输入时钟的模块框图

外部高速时钟具有下列特性:

必须提供外部高速时钟源

- 输入频率范围 4~24MHz
- 占空比为 50% 的外部高速时钟信号（方波、正弦波）。详情请参考数据手册的电气特性章节
- 使能 HSE 时, 必须驱动 OSC_IN 引脚

注意事项:

- 一旦使能 HSE, HSE 的相关配置就不能更改。需要更改配置时, 必须先禁止 HSE。

开启 HSE 配置的流程:

- 将时钟控制寄存器 (RCC_CR) 的 HSEON 位配置为 1, 使能 HSE;
- 时钟控制寄存器 (RCC_CR) 的 HSERDY 位置 1, 表示 HSE 已就绪, 将输出有效的时钟信号, 此时可将其选为系统时钟或外设时钟源。

6.2.4.2 内部高速时钟 (HSI)

HSI 时钟信号由内部 48MHz 振荡器产生。芯片上电时默认开启 HSI 时钟源。

使能 HSI 配置的步骤:

- 将时钟控制寄存器 (RCC_CR) 的 HSION 位配置为 1, 使能 HSI;
- 时钟控制寄存器 (RCC_CR) 的 HSIRDY 位置 1, 表示 HSI 已就绪, 将输出有效的时钟信号, 此时可将其选为系统时钟或外设时钟源。

注意事项:

- 一旦使能 HSI, HSI 的相关配置就不能更改。需要更改配置时, 必须先禁止 HSI。

6.2.4.3 内部低速时钟 (LSI)

LSI 作为低功耗时钟源, 为独立看门狗提供时钟源, 时钟中心频率约为 40 kHz。请参考数据手册的电气特性章节。

使能 LSI 配置的步骤:

- 将控制状态寄存器 (RCC_CSR) 的 LSION 位置 1, 使能 LSI;
- 控制状态寄存器 (RCC_CSR) 的 LSIRDY 位置 1, 表示 LSI 已就绪, 可以输出有效时钟。

注意事项：

- 一旦使能 LSI，LSI 的相关配置就不能更改。若需要更改配置，请先禁止 LSI。

6.2.4.4 中断

表 6-1 RCC 全局中断

中断事件	事件标志位	使能控制位	标志清除位
RCC_HSERDY	HSERDYF	HSERDYIE	HSERDYC
RCC_HSIRDY	HSIRDYF	HSIRDYIE	HSIRDYC
RCC_LSIRDY	LSIRDYF	LSIRDYIE	LSIRDYC

注：上述标志位、控制位和清除位可通过时钟中断寄存器（RCC_CIR）配置。

6.2.4.5 系统时钟选择（SWS）

四个系统时钟源：

内部高速时钟（HSIDIV）（上电后默认）

内部高速时钟（HSI）

外部高速时钟（HSE）

内部低速时钟（LSI）

系统时钟配置步骤：

使能所需的系统时钟源（HSIDIV、HSI、HSE、LSI）。各时钟的使能方式不同，具体方法请查看（HSI、HSE、LSI 章节）；
所选时钟源的 RDY 信号位置 1，表示系统时钟源已就绪（当目标时钟源就绪后，系统时钟才可切换）；

通过配置时钟配置寄存器（RCC_CFGR）的 SW 位选择系统时钟；

读取时钟配置寄存器（RCC_CFGR）的 SWS 位，判断当前的系统时钟源。

6.2.4.6 系统时钟频率切换

系统时钟频率由低速切换到高速或由高速切换到低速时，建议以中速频率作为过渡进行切换。由高速切换到低速的间隔时间至少为 1us。

6.2.4.7 外设复位

通过 APB1 外设复位寄存器（RCC_APB1RSTR）和 AHB 外设复位寄存器（RCC_AHBSTR）实现相应外设的软件复位。

6.2.4.8 微控制器时钟输出（MCO）

微控制器时钟输出（MCO）允许将时钟输出到外部 MCO 引脚。必须将对应 GPIO 端口的配置寄存器配置为复用输出功能。可从下列 5 个时钟信号中任选一个作为 MCO 输出时钟：

表 6-2 MCO 与时钟源的对应关系

时钟配置寄存器（RCC_CFGR）的 MCO 位	时钟源
00x	无时钟输出
010	LSI
100	SYSCLK
101	HSI/4
110	HSE

6.2.4.9 独立看门狗时钟

当独立看门狗由硬件使能时，LSI 振荡器会自动开启且不能关闭；

当独立看门狗由软件使能时，需要由软件使能并开启 LSI 振荡器。当 LSI 振荡器就绪后，向 IWDG 提供时钟，此时可以由软件关闭 LSI。

6.3 寄存器描述

6.3.1 寄存器概览

表 6-3 RCC 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	RCC_CR	时钟控制寄存器	0x00000001
0x04	RCC_CFGR	时钟配置寄存器	0x00000000
0x08	RCC_CIR	时钟中断寄存器	0x00000000
0x10	RCC_APB1RSTR	APB1 外设复位寄存器	0x00000000
0x14	RCC_AHBENR	AHB 外设时钟使能寄存器	0x00000014
0x1C	RCC_APB1ENR	APB1 外设时钟使能寄存器	0x00000000
0x24	RCC_CSR	控制状态寄存器	0x08000000
0x28	RCC_AHBRSTR	AHB 外设复位寄存器	0x00000000
0x40	RCC_SYSCFG	系统配置寄存器	0x00000003

6.3.2 RCC_CR 时钟控制寄存器

地址偏移：0x00
复位值：0x0000 0001
访问：无等待周期，支持字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留														HSERDY	HSEON
														r	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														HSIRDY	HSION
														r	rw

位	字段	描述
31: 18	保留	保留，必须保持复位值。
17	HSERDY	外部高速时钟就绪标志 由硬件置位。 0：外部高速晶体振荡器未就绪 1：外部高速晶体振荡器已就绪
16	HSEON	外部高速时钟使能 由软件置“1”或清“0”。 进入待机或停机模式时，该位由硬件清“0”。当 HSE 已被或将被系统时钟选为时钟源时，禁止复位该位。 0：禁止外部高速晶体振荡器 1：使能外部高速晶体振荡器
15: 2	保留	保留，必须保持复位值。
1	HSIRDY	内部高速时钟就绪标志 由硬件置“1”，表示内部时钟已就绪。 当 HSION 位被清除后，HSIRDY 在 3 个 AHB 时钟周期后变为“0”。 0：内部高速时钟未就绪 1：内部高速时钟已就绪
0	HSION	内部高速时钟使能 由软件置“1”或清“0”。 当退出待机或停机模式，或用作系统时钟的外部振荡器发生故障时，该位由硬件置为“1”，强制开启内部振荡器。当系统时钟已使用或将使用 HSI 作为时钟源时，禁止复位该位。 0：禁止内部高速时钟 1：使能内部高速时钟

6.3.3 RCC_CFGR 时钟配置寄存器

地址偏移：0x04
复位值：0x0000 0000
访问：无等待周期，支持字、半字和字节访问
仅当访问发生在时钟切换期间时，插入 1 个或 2 个等待周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.					MCO			Res.							
					rw										
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.					PPRE1			HPRE				SWS		SW	
					rw			rw				r		rw	

位	字段	描述
31: 27	保留	保留，必须保持复位值。
26: 24	MCO	微控制器时钟输出 由软件置“1”或清“0” 00x: 无时钟输出 010: LSI 时钟输出 100: 系统时钟 (SYSCLK) 8 分频输出 101: HSI 4 分频输出 110: HSE 时钟输出 其他: 无时钟输出 注: 在启动或切换 MCO 时钟源时, 该时钟输出可能会停止。 将系统时钟输出到 MCO 引脚时, 请确保输出时钟频率不超过 50MHz
23: 11	保留	保留，必须保持复位值。
10: 8	PPRE1	APB1 预分频系数 由软件设置以控制 APB1 时钟 (PCLK2) 的预分频系数。 0xx: HCLK 不分频 100: HCLK 2 分频 101: HCLK 4 分频 110: HCLK 8 分频 111: HCLK 16 分频
7: 4	HPRE	AHB 预分频系数 由软件设置以控制 AHB 时钟的预分频系数。 0xxx: SYSCLK 不分频 1000: SYSCLK 2 分频 1001: SYSCLK 4 分频 1010: SYSCLK 8 分频 1011: SYSCLK 16 分频 1100: SYSCLK 64 分频 1101: SYSCLK 128 分频 1110: SYSCLK 256 分频 1111: SYSCLK 512 分频 注: 当 AHB 时钟的预分频系数大于 1 时, 必须使能预取缓冲。详情请参考闪存章节。
3: 2	SWS	系统时钟切换状态 00: 选择 HSI 6 分频输出作为系统时钟 01: 选择 HSE 输出作为系统时钟 10: 选择 HSI 输出作为系统时钟 11: 选择 LSI 输出作为系统时钟
1: 0	SW	系统时钟切换 通过软件配置选择系统时钟源 当从停机或待机模式返回, 或直接、间接用作系统时钟的 HSE 发生故障时, 硬件将强制选择 HSI 作为系统时钟。 00: 选择 HSI 6 分频输出作为系统时钟 01: 选择 HSE 输出作为系统时钟 10: 选择 HSI 输出作为系统时钟 11: 选择 LSI 输出作为系统时钟

6.3.4 RCC_CIR 时钟中断寄存器

地址偏移: 0x08

复位值: 0x0000 0000

访问: 无等待周期, 支持字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.												HSER DYC	HSIR DYC	Res.	LSIRDY C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
												w1c	w1c		w1c
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.				HSERDYI E	HSIRDYI E	Res.	LSIRDYI E	Res.				HSERDYF	HSIRDYF	Res.	LSIRDYF
				rw	rw		rw					r	r		r

位	字段	描述
31: 20	保留	保留，必须保持复位值。
19	HSERDYC	HSE 就绪中断清除 由软件置“1”以清除 HSE 就绪中断标志位 HSERDYF。 0: 无效 1: 清除 HSE 就绪中断标志位 HSERDYF
18	HSIRDYC	HSI 就绪中断清除 由软件置“1”以清除 HSI 就绪中断标志位 HSIRDYF。 0: 无效 1: 清除 HSI 就绪中断标志位 HSIRDYF
17	保留	保留，必须保持复位值。
16	LSIRDYC	LSI 就绪中断清除 由软件置“1”以清除 LSI 就绪中断标志位 LSIRDYF 0: 无效 1: 清除 LSI 就绪中断标志位 LSIRDYF
15: 12	保留	保留，必须保持复位值。
11	HSERDYIE	HSE 就绪中断使能 由软件置“1”使能或清“0”禁止外部振荡器就绪中断。 0: 禁止 HSE 就绪中断 1: 使能 HSE 就绪中断
10	HSIRDYIE	HSI 就绪中断使能 由软件置“1”使能或清“0”禁止外部振荡器就绪中断。 0: 禁止 HSI 就绪中断 1: 使能 HSI 就绪中断
9	保留	保留，必须保持复位值。
8	LSIRDYIE	LSI 就绪中断使能 由软件置“1”使能或清“0”禁止内部 40KHz 振荡器就绪中断。 0: 禁止 LSI 就绪中断 1: 使能 LSI 就绪中断
7: 4	保留	保留，必须保持复位值。
3	HSERDYF	HSE 就绪中断标志 当外部高速时钟就绪时，由硬件置“1”。 由软件将 HSERDYC 位置“1”来清除。 0: 无外部振荡器产生的时钟就绪中断 1: 由外部振荡器引起的时钟就绪中断
2	HSIRDYF	HSI 就绪中断标志 当内部高速时钟就绪时，由硬件置“1”。 由软件将 HSIRDYC 位置“1”来清除。 0: 无内部 HSI 振荡器产生的时钟就绪中断 1: 由内部 HSI 振荡器引起的时钟就绪中断
1	保留	保留，必须保持复位值。
0	LSIRDYF	LSI 就绪中断标志 当内部低速时钟就绪时，由硬件置“1”。 由软件将 LSIRDYC 位置“1”来清除。 0: 无内部 40KHz 振荡器产生的时钟就绪中断 1: 由内部 40KHz 振荡器引起的时钟就绪中断

6.3.5 RCC_APB1RSTR APB1 外设复位寄存器

地址偏移: 0x10

复位值: 0x0000 0000

访问: 无等待周期, 支持字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	SYS CFG	DBG	PWR	Res.				CPT	Res.	I2C1	Res.			USA RT2	USA RT1
	rw	rw	rw					rw		rw				rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.			SPI1	Res.		ADC1	Res.					TIM1 4	TIM1	TIM3	Res.
			rw			rw						rw	rw	rw	

位	字段	描述
31	保留	保留，必须保持复位值。
30	SYSCFG	SYSCFG 复位 由软件置“1”或清“0” 0: 无效 1: 复位
29	DBG	DBG 复位 由软件置“1”或清“0” 0: 无效 1: 复位
28	PWR	电源接口复位 由软件置“1”或清“0” 0: 无效 1: 复位
27: 24	保留	保留，必须保持复位值。
23	CPT	比较器复位 由软件置“1”或清“0” 0: 无效 1: 复位
22	保留	保留，必须保持复位值。
21	I2C1	I2C1 复位 由软件置“1”或清“0” 0: 无效 1: 复位
20: 18	保留	保留，必须保持复位值。
17	USART2	USART2 复位 由软件置“1”或清“0” 0: 无效 1: 复位
16	USART1	USART1 复位 由软件置“1”或清“0” 0: 无效 1: 复位
15: 13	保留	保留，必须保持复位值。
12	SPI1	SPI1 复位 由软件置“1”或清“0” 0: 无效 1: 复位
11: 10	保留	保留，必须保持复位值。
9	ADC1	ADC1 复位 由软件置“1”或清“0” 0: 无效 1: 复位
8: 4	保留	保留，必须保持复位值。
3	TIM14	TIM14 复位 由软件置“1”或清“0” 0: 无效 1: 复位

位	字段	描述
2	TIM1	TIM1 复位 由软件置“1”或清“0” 0: 无效 1: 复位
1	TIM3	TIM3 复位 由软件置“1”或清“0” 0: 无效 1: 复位
0	保留	保留，必须保持复位值。

6.3.6 RCC_AHBENR AHB 外设时钟使能寄存器

地址偏移: 0x14
复位值: 0x0000 0014
访问: 无等待周期，支持字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.													GPIO B	GPIO A	Res.
													rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.									CRC	Res.	FLAS H	Res.	SRA M	Res.	
									rw		rw		rw		

位	字段	描述
31: 19	保留	保留，必须保持复位值。
18	GPIOB	GPIOB 时钟使能 由软件置“1”或清“0” 0: 时钟禁止 1: 时钟使能
17	GPIOA	GPIOA 时钟使能 由软件置“1”或清“0” 0: 时钟禁止 1: 时钟使能
16: 7	保留	保留，必须保持复位值。
6	CRC	CRC 时钟使能 由软件置“1”或清“0” 0: 时钟禁止 1: 时钟使能
5	保留	保留，必须保持复位值。
4	Flash	FLASH 时钟使能 由软件置“1”或清“0” 0: 时钟禁止 1: 时钟使能
3	保留	保留，必须保持复位值。
2	SRAM	SRAM 时钟使能 由软件置“1”或清“0” 0: 时钟禁止 1: 时钟使能
1: 0	保留	保留，必须保持复位值。

6.3.7 RCC_APB1ENR APB1 外设时钟使能寄存器

地址偏移: 0x1C
复位值: 0x0000 0000

访问：无等待周期，支持字、半字和字节访问

注：当外设时钟未使能时，软件无法读取外设寄存器的值

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	SYS CFG	DBG	PWR	Res.				CPT	Res.	I2C1	Res.			USA RT2	USA RT1
	rw	rw	rw					rw		rw				rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.			SPI1	Res.		ADC 1	Res.					TIM1 4	TIM1	TIM3	Res.
			rw			rw						rw	rw	rw	

位	字段	描述
31	保留	保留，必须保持复位值。
30	SYSCFG	SYSCFG 时钟使能 由软件置“1”或清“0” 0：时钟禁止 1：时钟使能
29	DBG	DBG 时钟使能 由软件置“1”或清“0” 0：时钟禁止 1：时钟使能
28	PWR	电源时钟使能 由软件置“1”或清“0” 0：时钟禁止 1：时钟使能
27: 24	保留	保留，必须保持复位值。
23	CPT	比较器时钟使能 由软件置“1”或清“0” 0：时钟禁止 1：时钟使能
22	保留	保留，必须保持复位值。
21	I2C1	I2C1 时钟使能 由软件置“1”或清“0” 0：时钟禁止 1：时钟使能
20: 18	保留	保留，必须保持复位值。
17	USART2	USART2 时钟使能 由软件置“1”或清“0” 0：时钟禁止 1：时钟使能
16	USART1	USART1 时钟使能 由软件置“1”或清“0” 0：时钟禁止 1：时钟使能
15: 13	保留	保留，必须保持复位值。
12	SPI1	SPI1 时钟使能 由软件置“1”或清“0” 0：时钟禁止 1：时钟使能
11: 10	保留	保留，必须保持复位值。
9	ADC1	ADC1 时钟使能 由软件置“1”或清“0” 0：时钟禁止 1：时钟使能
8: 4	保留	保留，必须保持复位值。
3	TIM14	TIM14 时钟使能 由软件置“1”或清“0” 0：时钟禁止 1：时钟使能

位	字段	描述
2	TIM1	TIM1 时钟使能 由软件置“1”或清“0” 0: 时钟禁止 1: 时钟使能
1	TIM3	TIM3 时钟使能 由软件置“1”或清“0” 0: 时钟禁止 1: 时钟使能
0	保留	保留，必须保持复位值。

6.3.8 RCC_CSR 控制状态寄存器

地址偏移: 0x24
复位值: 0x0800 0000
访问: 0~3 个等待周期, 支持字、半字和字节访问
连续访问该寄存器时, 插入等待周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPWRRSTF	Res.	IWDGRSTF	SFTRSTF	PORRSTF	PINRSTF	Res.	RMVF	LOCKUPF	PVDRSTF	Res.					
r		r	r	r	r		w1c	r	r						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.								LOCKUPEN	PVDRSTEN	Res.				LSIRDY	LSION
								rw	rw					r	rw

位	字段	描述
31	LPWRRSTF	低功耗复位标志 发生低功耗复位时由硬件置“1”，可由电源复位清除，或由软件写 RMVF 位清除。 0: 无低功耗复位 1: 发生低功耗复位
30	保留	保留，必须保持复位值。
29	IWDGRSTF	独立看门狗复位标志 发生独立看门狗复位时由硬件置“1”，可由电源复位清除，或由软件写 RMVF 位清除。 0: 无独立看门狗复位 1: 发生独立看门狗复位
28	SFTRSTF	软件复位标志 发生软件复位时由硬件置“1”，可由电源复位清除，或由软件写 RMVF 位清除。 0: 无软件复位 1: 发生软件复位
27	PORRSTF	POR/PDR 复位标志 发生 POR/PDR 复位时由硬件置“1”，可由电源复位清除，或由软件写 RMVF 位清除。 0: 无 POR/PDR 复位 1: 发生 POR/PDR 复位
26	PINRSTF	NRST 引脚复位标志 发生 NRST 引脚复位时由硬件置“1”，可由电源复位清除，或由软件写 RMVF 位清除 0: 无 NRST 引脚复位 1: 发生 NRST 引脚复位
25	保留	保留，必须保持复位值。
24	RMVF	清除复位标志 由软件置“1”以清除复位标志。 0: 无效 1: 清除复位标志

位	字段	描述
23	LOCKUPF	CPU 锁定复位标志 发生 CPU 锁定复位时由硬件置“1”，可由电源复位清除，或由软件写 RMVF 位清除 0: 无 CPU 锁定复位 1: 发生 CPU 锁定复位
22	PVDRSTF	PVD 复位标志 发生 PVD 复位时由硬件置“1”，可由电源复位清除，或由软件写 RMVF 位清除 0: 无 PVD 复位 1: 发生 PVD 复位
21: 8	保留	保留，必须保持复位值。
7	LOCKUPEN	CPU 锁定复位使能 0: 禁止 CPU 锁定复位 1: 使能 CPU 锁定复位
6	PVDRSTEN	PVD 复位使能 0: 禁止 PVD 复位 1: 使能 PVD 复位
5: 2	保留	保留，必须保持复位值。
1	LSIRDY	内部低速振荡器就绪 由硬件置“1”或清“0”，指示内部 40KHz 振荡器是否就绪。 当 LSION 被清除后，LSIRDY 在 3 个 AHB 时钟后被清除。 0: 内部 40KHz 振荡器时钟未就绪 1: 内部 40KHz 振荡器时钟已就绪
0	LSION	内部低速振荡器使能 由软件置“1”或清“0”，也可由电源复位清除 0: 禁止内部 40KHz 振荡器 1: 使能内部 40KHz 振荡器

6.3.9 RCC_AHBRSTR AHB 外设复位寄存器

地址偏移: 0x28

复位值: 0x0000 0000

访问: 无等待周期，支持字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.													GPIO B	GPIO A	Res.
													rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.															

位	字段	描述
31: 19	保留	保留，必须保持复位值。
18	GPIOB	GPIOB 复位 由软件置“1”或清“0” 0: 无效 1: 复位
17	GPIOA	GPIOA 复位 由软件置“1”或清“0” 0: 无效 1: 复位
16: 0	保留	保留，必须保持复位值。

6.3.10 RCC_SYSCFG 系统配置寄存器

地址偏移: 0x40

复位值: 0x0000 0003

访问: 0~3 个等待周期，支持字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.													SFT_Nrst_RMP	SECTOR1KCFG	PROG_CHECK_EN
													rw	rw	r

位	字段	描述
31: 3	保留	保留，必须保持复位值。
2	SFT_Nrst_RMP	SFT_Nrst_RMP: nRST 的软件映射。 该位仅在电源复位时或由软件置“0”时被清除。 1: PA14 映射为 nRST 0: 无动作 注: RCC_SYSCFG 的 SFT_Nrst_RMP 位置“1”， PA14 映射为 nRST 的外部复位，低电平至少 4us。
1	SECTOR_1K_CFG	SECTOR_1K_CFG: 闪存擦除的大小。 1: 1K 字节 0: 512 字节
0	PROG_CHECK_EN	写入 Flash 时检查 Flash 中的数据是否为 0xFF 1: 检查（硬件固定为 1） 0: 不检查

7 GPIO 通用输入/输出端口

7.1 简介

每个通用 IO (GPIO) 端口都可以通过两个 32 位控制寄存器 (GPIOx_CRL/GPIOx_CRH) 和两个 32 位复用控制寄存器 (GPIOx_AFRL、GPIOx_AFRH) 单独配置为八种模式：模拟输入、浮空输入、上拉输入、下拉输入、推挽输出、开漏输出、复用推挽输出和复用开漏输出。

每个 I/O 端口位都可以自由编程。所有寄存器均支持 32 位 (字)、16 位 (半字) 或 8 位 (字节) 访问。GPIO 寄存器组中的 GPIOx_BSRR 和 GPIOx_BRR 控制寄存器可通过写访问独立地修改 GPIOx_ODR 位，输出 0 或 1。

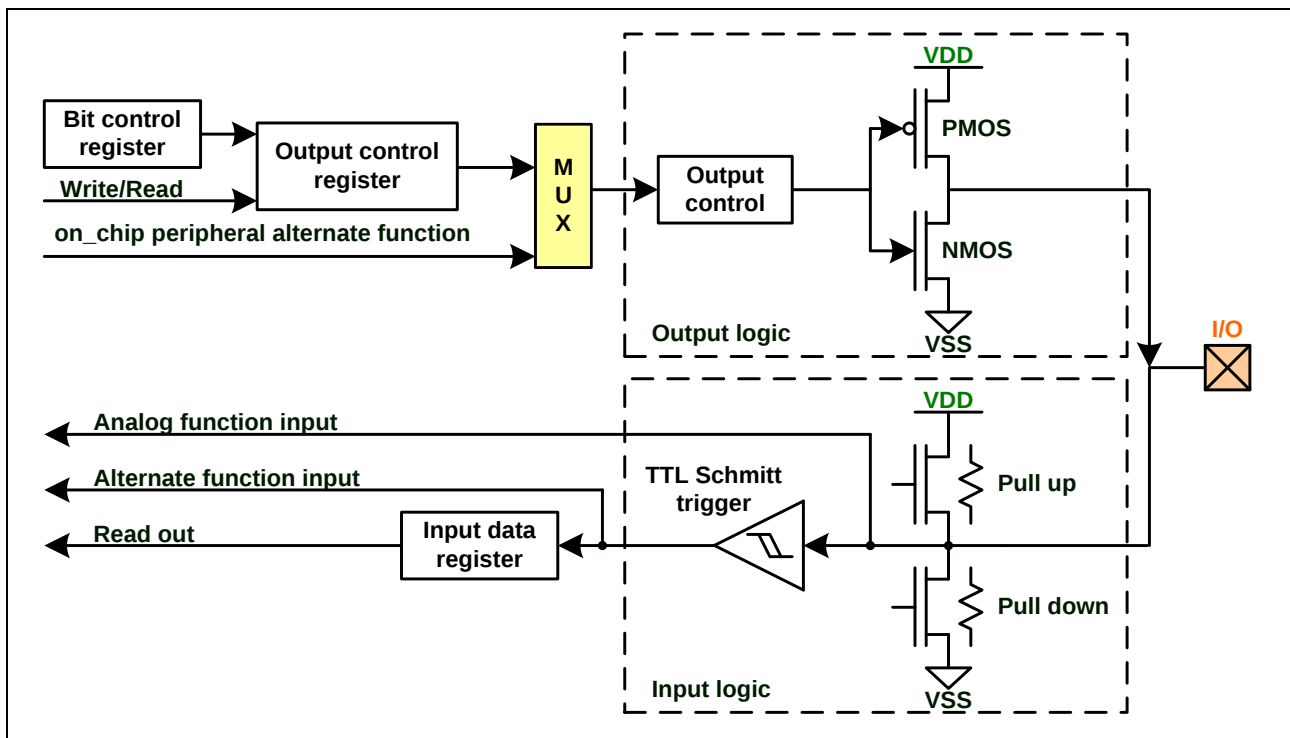
7.2 主要特性

- 每次 IOP 写操作可以修改对应 GPIOx_ODR 的一位或多位。
- 支持单周期快速访问
- 所有 I/O 支持编程 EXTI 配置寄存器输出外部触发中断
- 支持 GPIO 锁定机制
- 输入支持的状态：浮空、上拉/下拉、模拟
- 输出支持的状态：推挽，或带上拉/下拉的开漏
- 默认浮空输入，输入输出方向可配置
- 该芯片提供专用 I/O，可为最多 5 个 8 段共阴极 LED 数码管提供驱动。详细内容参见 18.2 GPIOA 数码管驱动。

7.3 功能描述

7.3.1 功能框图

图 7-1 标准 I/O 端口



7.3.2 GPIO 端口配置

表 7-1 端口位配置表（以 port0 为例）

引脚模式		上下拉	DCR[1:0]		CNF0		MODE0	ODRx
模拟输入		x	x	x	0	0	00	x
通用输入 复用输入		浮空	x	x	0	1		x
		上拉	x	x	1	0		1
		下拉	x	x	1	0		0
通用 输出	推挽	x	x	x	0	0	01 10 11	0 or 1
	开漏	浮空	x	0	0	1		0 or 1
		上拉	1	1	0	1		0 or 1
		下拉	0	1	0	1		0 or 1
复用 输出	推挽	x	x	x	1	0		x
	开漏	浮空	x	0	1	1		x
		上拉	1	1	1	1		x
		下拉	0	1	1	1		x

注：x 表示 I/O 在对应的模式下不用关心，ODR0 代表输出数据寄存器第 0 位。

输入和输出遵循以下配置：

- 通用输入：

用户应配置 GPIOx_CRL 中的 CNF0 以选择输入模式。

- 通用输出：

推挽输出：用户配置 MODE0 选择输出速度，并设置 CNF0=00；

开漏输出：用户配置 MODE0 选择输出速度，并设置 CNF0=01。若要启用引脚的上拉/下拉功能，应单独配置 GPIOx_DCR 寄存器。若不是输出开漏模式，该功能无效。

- 复用功能：

配置 AFRLx [3:0] 和 AFRHx [3:0] 寄存器以选择复用功能：

复用推挽输出：用户配置 MODE0 选择输出速度，并设置 CNF0=10；

复用开漏输出：用户配置 MODE0 选择输出速度，并设置 CNF0=11。

若要启用输出模式下 IO 的上拉/下拉功能，应单独配置 GPIOx_DCR 寄存器。若不是输出开漏模式，该功能无效。

复位期间及复位刚结束时，GPIO 端口被配置为浮空输入模式。串行线调试引脚默认为输入上拉（PU）/下拉（PD）。

当配置为通用输出模式时，输出数据寄存器（GPIOx_ODR）的值被输出到对应的 I/O 引脚上。输入数据寄存器（GPIOx_IDR）在每个 AHB 时钟周期捕获 I/O 引脚上的数据。

注：并非所有芯片都包含 JTAG 和 SWD 端口。具体芯片配置请参考芯片数据手册。

- PA14: SWCLK, 下拉
- PA13: SWDIO, 上拉

7.3.3 复用功能

通过设置复用功能寄存器使能对应 IO 的复用功能。

- 当 IO 配置为复用功能输入时，端口应选择上拉、下拉或浮空输入。
- 当 IO 配置为复用功能输出时，端口应选择输出推挽或开漏模式。
- 当 IO 配置为双向复用功能时，端口应选择输出推挽或开漏模式，此时输入被配置为浮空输入模式。在开漏模式下，通过配置 GPIOx_DCR 寄存器选择弱上拉或弱下拉电阻。

如果某个端口位被配置为复用功能输出，则该端口与片上外设的输出信号相连。如果仅通过软件将 GPIO 引脚配置为复用功能输出，而外设未被启用，则其输出是不确定的。

7.3.4 GPIO 锁定机制

可以通过 GPIO 锁定机制冻结 IO 配置。当某个端口应用了 LOCK 机制后，在下次复位之前就不能再修改该端口的配置。LOCK 键的写入序列为：

- GPIOx_LCKR [16] = '1' + LCKR [15:0]。
- GPIOx_LCKR [16] = '0' + LCKR [15:0]。
- GPIOx_LCKR [16] = '1' + LCKR [15:0]。

若要锁定 GPIOA 的 PA [0] 端口，按以下配置：

- GPIOA->GPIOA_LCKR=0x10001。
- GPIOA->GPIOA_LCKR=0x00001。
- GPIOA->GPIOA_LCKR=0x10001。

完成上述三个步骤后，GPIOA_LCKR 寄存器的位 16 被置位。在下次软复位之前，GPIOA_LCKR 寄存器不能再被写入。GPIOA_LCKR 寄存器的位 16 保持为 1，PA [0] 保持锁定前的配置。

端口被锁定后，在软复位之前该端口位的值不能再被修改。GPIOx_LCKR 寄存器中的每个锁定位冻结端口配置寄存器（GPIOx_CRL 和 GPIOx_CRH）中的 4 个位。

注意事项：

按照上述配置，仅 PA [0] 的值被锁定，仍然可以配置 PA [15:1] 的值以及其他 GPIO 控制寄存器。

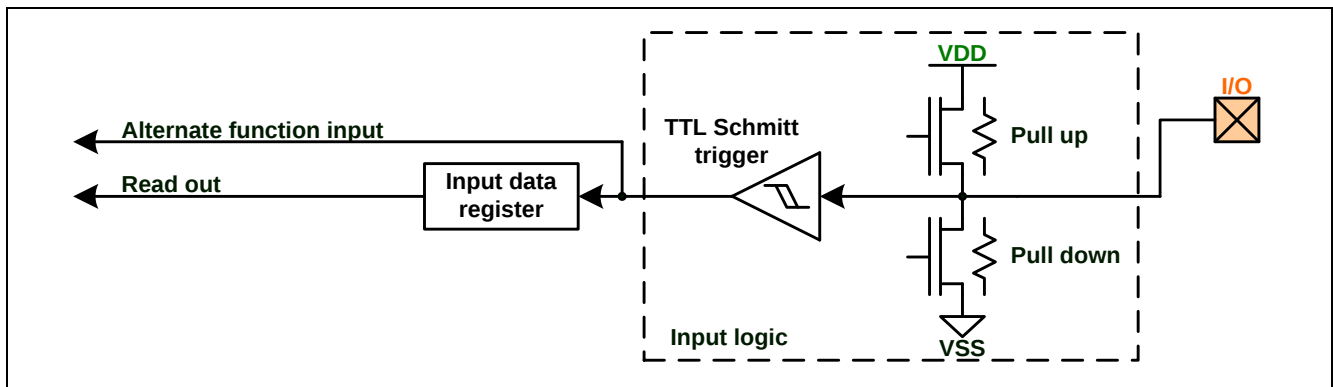
7.3.5 输入配置

当 I/O 端口被编程为输入时：

- 施密特触发器输入被激活。
- 输出缓冲器被禁止。
- 可以使用浮空、上拉或下拉输入模式。
- I/O 引脚上的数据在每个 AHB 时钟周期被采样到输入数据寄存器中。
- 对输入数据寄存器的读访问可获得 I/O 状态。

下图为 I/O 端口的输入配置：

图 7-2 浮空/上拉/下拉输入配置



若要将 GPIOA 中的 PA [0] 配置为上拉输入，参考如下：

- GPIOA->GPIOA_ODR=0x0001。
- GPIOA->GPIOA_CRL=0x00000008。

若要将 GPIOA 中的 PA [0] 配置为下拉输入，参考如下：

- GPIOA->GPIOA_ODR=0x0000。
- GPIOA->GPIOA_CRL=0x00000008。

注意事项：

若要将端口配置为上拉输入，应先使 GPIO_ODR 寄存器中的对应位输出 1。

若要将端口配置为下拉输入，应先使 GPIO_ODR 寄存器中的对应位输出 0。

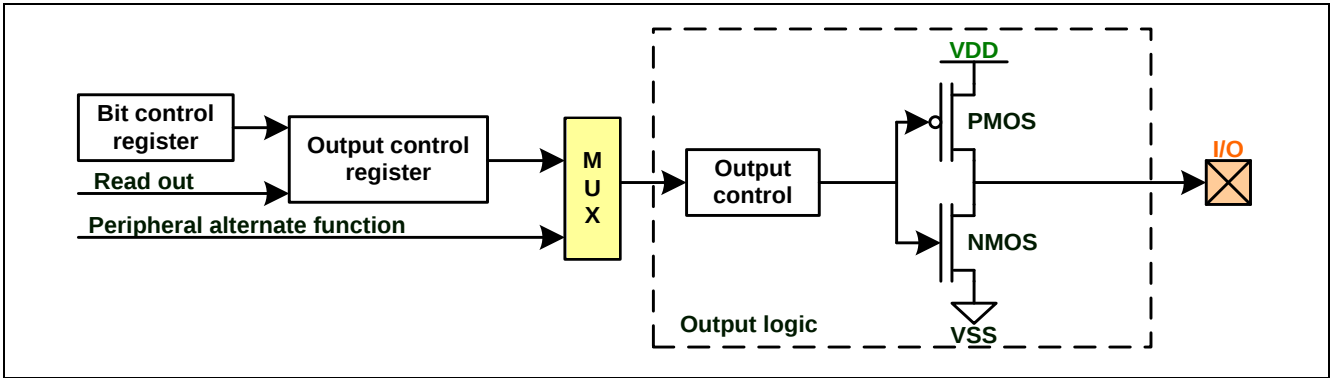
7.3.6 输出配置

当 GPIO 引脚配置为输出时：

- 施密特触发器输入被激活。
- 输出缓冲器被使能。
- 在通用输出模式下，弱上拉和弱下拉电阻被禁止。
- 开漏模式：当端口输出数据寄存器设置为 0 时，对应引脚输出低电平；当端口输出数据寄存器设置为 1 时，对应引脚为高阻态。
- 推挽模式：当输出寄存器设置为 0 时，对应引脚输出低电平；当输出寄存器设置为 1 时，对应引脚输出高电平。
- 对端口输出数据寄存器的读访问可获得上一次写入的值。
- 对端口输入数据寄存器的读访问可获得当前的 I/O 状态。

下图为 I/O 端口的输出配置：

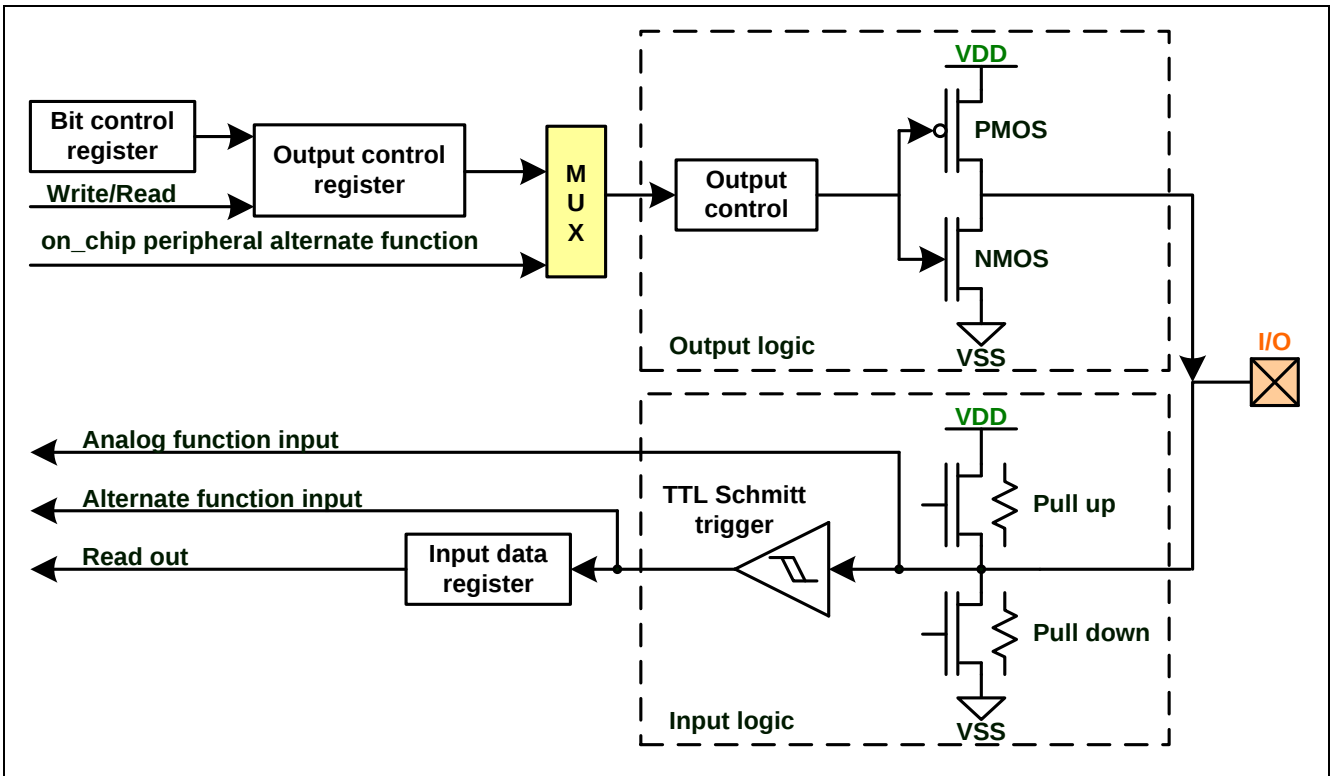
图 7-3 输出配置



7.3.7 复用功能配置

- 当引脚配置为复用功能时：
- 施密特触发器输入被激活。
 - 输出缓冲器可配置为开漏或推挽。
 - 在输出开漏模式下，通过配置 GPIOx_DCR 寄存器选择弱上拉或弱下拉电阻。
 - 当引脚配置为输入时，可以选择弱上拉或弱下拉电阻。
 - I/O 引脚上的数据在每个 AHB 时钟周期被采样到输入数据寄存器中。
- 下图为 I/O 端口的复用功能配置。更多信息请参考 AFRL 和 AFRH 寄存器以及数据手册。

图 7-4 复用功能配置

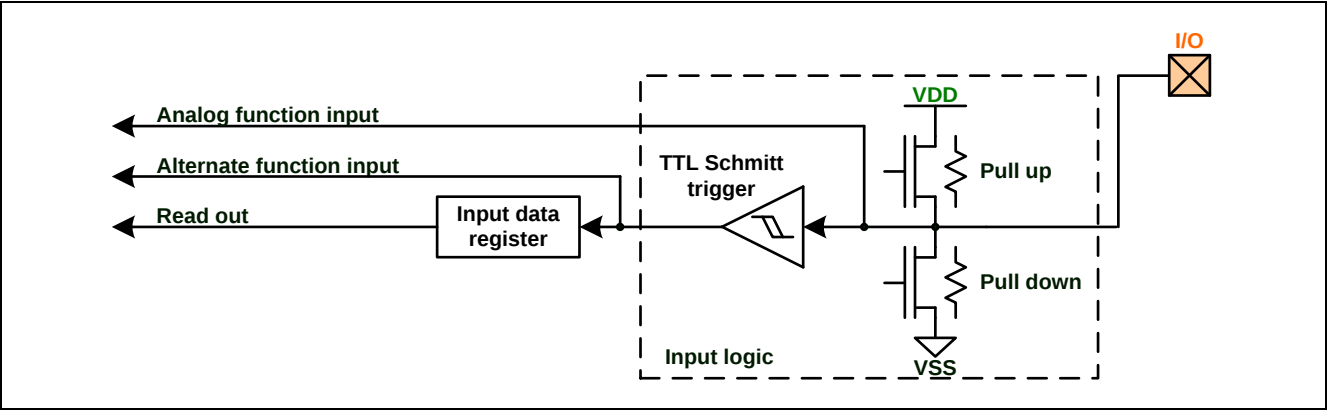


7.3.8 模拟输入配置

- 当 I/O 端口配置为模拟输入配置时：
- 输出缓冲器被禁止。
 - 施密特触发器输入被关闭。
 - 弱上拉和弱下拉电阻被禁止。

- 端口输入数据寄存器保持为 0。
- 下图为 I/O 端口的模拟输入配置：

图 7-5 模拟输入



7.3.9 外部时钟用作 GPIO 端口复用功能

外部 HSE 时钟可以用作 GPIO 复用。当对应的时钟 PAD 用作 GPIO 时，用户应先关闭外部时钟，再将 GPIO 功能设置为普通功能。具体映射请参考芯片数据手册。

7.3.10 SWD 复用功能重映射

SWD 接口信号在 GPIO 端口上的映射如下表所示：

表 7-2 SWD 复用功能重映射

复用功能	GPIO 端口
SWDIO	PA13
SWCLK	PA14

7.3.11 NRST 复用功能重映射

默认情况下，GPIO PA[14] 作为 GPIO 引脚使用。若要将其配置为 NRST 功能，按以下步骤操作：

- 将 GPIOA_AFRH[27:24] 配置为非零值，以关闭 PA[14] 用作 SWCLK 时的默认下拉功能。
- 将 RCC_SYSCFGR 寄存器的 SFT_NRST_RMP 位置 1。

注：当 PA[14] 用作 NRST 时，芯片不提供内部上拉电阻，需要外接上拉电阻或强驱动信号。

7.4 寄存器

7.4.1 寄存器概览

表 7-3 GPIO 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	GPIOx_CRL	端口配置低寄存器	0x44444444
0x04	GPIOx_CRH	端口配置高寄存器	0x44444444
0x08	GPIOx_IDR	端口输入数据寄存器	0x0000XXXX
0x0C	GPIOx_ODR	端口输出数据寄存器	0x00000000
0x10	GPIOx_BSRR	端口位设置/清除寄存器	0x00000000
0x14	GPIOx_BRR	端口位清除寄存器	0x00000000
0x18	GPIOx_LCKR	端口配置锁定寄存器	0x00000000
0x1C	GPIOx_DCR	端口输出开漏控制寄存器	0x00000000
0x20	GPIOx_AFR1	端口复用功能低寄存器	0xFFFFFFFF

偏移地址	缩写	寄存器名称	复位值
0x24	GPIOx_AFRH	端口复用功能高寄存器	0xFFFFFFFF

7.4.2 GPIOx_CRL 端口配置低寄存器

地址偏移：0x00
复位值：GPIOA_CRL：0x4444 4444，GPIOB_CRL：0x0044 4444

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF7		MODE7		CNF6		MODE6		CNF5		MODE5		CNF4		MODE4	
rw		rw		rw		rw		rw		rw		rw		rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF3		MODE3		CNF2		MODE2		CNF1		MODE1		CNF0		MODE0	
rw		rw		rw		rw		rw		rw		rw		rw	

位	字段	描述
31:30	CNF7	端口配置位（y=7..0） MODEy 设为 0 时端口为输入模式，此时配置 CNFy 位选择输入模式： 00：模拟输入模式 01：浮空输入模式 10：上拉/下拉输入模式 11：保留 MODEy 设为非 0 时端口为输出模式，此时配置 CNFy 位选择输出模式： 00：通用推挽输出 01：通用开漏输出 10：复用功能推挽输出 11：复用功能开漏输出 端口输入/输出配置（MODEy）（y = 0..7） 对应的 I/O 端口通过软件配置，参考端口位配置表。 MODEy 设为非 0 时，不同的配置对应不同的速率： 00：输入模式； 其他配置的输出速度请参考数据手册。
27:26	CNF6	
23:22	CNF5	
19:18	CNF4	
15:14	CNF3	
11:10	CNF2	
7:6	CNF1	
3:2	CNF0	
29:28	MODE7	
25:24	MODE6	
21:20	MODE5	
17:16	MODE4	
13:12	MODE3	
9:8	MODE2	
5:4	MODE1	
1:0	MODE0	

7.4.3 GPIOx_CRH 端口配置高寄存器

地址偏移：0x04
复位值：GPIOA_CRH：0x4444 4444

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF15		MODE15		CNF14		MODE14		CNF13		MODE13		CNF12		MODE12	
rw		rw		rw		rw		rw		rw		rw		rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF11		MODE11		CNF10		MODE10		CNF9		MODE9		CNF8		MODE8	
rw		rw		rw		rw		rw		rw		rw		rw	

位	字段	描述
31:30	CNF15	端口配置位（y=15..8） MODEy 设为 0 时端口为输入模式，此时配置 CNFy 位选择输入模式： 00：模拟输入模式 01：浮空输入模式 10：上拉/下拉输入模式 11：保留 MODEy 设为非 0 时端口为输出模式，此时配置 CNFy 位选择输出模式： 00：通用推挽输出 01：通用开漏输出
27:26	CNF14	
23:22	CNF13	
19:18	CNF12	
15:14	CNF11	
11:10	CNF10	
7:6	CNF9	
3:2	CNF8	

位	字段	描述
29:28	MODE15	10: 复用功能推挽输出 11: 复用功能开漏输出 端口输入/输出配置 (MODEy) (y = 15..8) 对应的 I/O 端口通过软件配置, 参考端口位配置表。 MODEy 设为非 0 时, 不同的配置对应不同的速率: 00: 输入模式; 其他配置的输出速度请参考数据手册。
25:24	MODE14	
21:20	MODE13	
17:16	MODE12	
13:12	MODE11	
9:8	MODE10	
5:4	MODE9	
1:0	MODE8	

7.4.4 GPIOx_IDR 端口输入数据寄存器

地址偏移: 0x08

复位值: 0x0000 XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDRy(y=15~0)															
r															

位	字段	描述
31:16	保留	读出始终为 0
15:0	IDRy	端口输入数据 (y=15..0) 读出的值代表对应的 I/O 状态。

7.4.5 GPIOx_ODR 端口输出数据寄存器

地址偏移: 0xC

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ODRy(y=15~0)															
rw															

位	字段	描述
31:16	保留	读出始终为 0
15:0	ODRy	端口输出数据 (y=15..0) 当配置为通用输出模式时, 写入的值被输出到对应的 I/O。 注: 可以通过设置 GPIOx_BSRR (x=A..H) 寄存器单独置位和清除 ODR 位。

7.4.6 GPIOx_BSRR 端口位设置/清除寄存器

地址偏移: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BRy(y=15~0)															
w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSy(y=15~0)															
w															

位	字段	描述
31:16	BRy	端口清除位 y (y=15..0) 写 0 时对应的 ODRy 位保持不变 写 1 时清除对应的 ODRy 位

位	字段	描述
15:0	BSy	端口设置位 y (y=15..0) 写 0 时对应的 ODRy 位保持不变 写 1 时将对应的 ODRy 位置 1 注：当 BSy 位和 BRy 位同时写 1 时，BSy 的优先级高于 BRy。

7.4.7 GPIOx_BRR 端口位清除寄存器

地址偏移：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRy(y=15-0)															
w															

位	字段	描述
31:16	保留	读出始终为 0
15:0	BRy	端口清除位 y (y=15..0) 写 0 时对应的 ODRy 位保持不变 写 1 时清除对应的 ODRy 位

7.4.8 GPIOx_LCKR 端口配置锁定寄存器

地址偏移：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															LCKK
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCKy(y=15-0)															
w															

位	字段	描述
31:17	保留	读出始终为 0
16	LCKK	锁定键 该位可以随时读取，只能通过锁定键写入序列来修改。 0：端口配置锁定键未激活 1：端口配置锁定键已激活。GPIOx_LCKR 寄存器被锁定，直到下次软复位。 LOCK 键序列：写 1 -> 写 0 -> 写 1
15:0	LCKy	端口 x 锁定位 y (y = 15..0) 这些位可读可写，但只有当 LCKK 位为 0 时才能写入。 0：端口配置未锁定 1：端口配置已锁定

7.4.9 GPIOx_DCR 端口输出开漏控制寄存器

地址偏移：0x1C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PX15		PX14		PX13		PX12		PX11		PX10		PX9		PX8	
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PX7		PX6		PX5		PX4		PX3		PX2		PX1		PX0	
rw															

位	字段	描述
31:2	PX15-PX1	参见 PX0
1:0	PX0	PX0[1:0]: 11: 带端口上拉的输出开漏模式 01: 带端口下拉的输出开漏模式 x0: 不带端口上拉/下拉的输出开漏模式

7.4.10 GPIOx_AFRL 端口复用功能低寄存器

地址偏移: 0x20

复位值: GPIOA_AFRL: 0xFFFF FFFF, GPIOB_AFRL: 0x0000 00FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFR7				AFR6				AFR5				AFR4			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFR3				AFR2				AFR1				AFR0			
rw				rw				rw				rw			

位	字段	描述
31:0	AFRy	端口 x 复用功能位 y (y = 0..7), 可由软件访问以配置功能。 0000: AF0 0001: AF1 0010: AF2 0011: AF3 0100: AF4 0101: AF5 0110: AF6 0111: AF7 1000: AF8 1001: AF9 1010: AF10 1011: AF11 1100: AF12 1101: AF13 1110: AF14 1111: AF15

7.4.11 GPIOx_AFRH 端口复用功能高寄存器

地址偏移: 0x24

复位值: GPIOA_AFRH: 0xF00F FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFR15				AFR14				AFR13				AFR12			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFR11				AFR10				AFR9				AFR8			
rw				rw				rw				rw			

位	字段	描述
31:0	AFRy	端口 x 复用功能位 y (y = 8..15), 可由软件访问以配置功能。 0000: AF0 0001: AF1 0010: AF2 0011: AF3 0100: AF4 0101: AF5 0110: AF6 0111: AF7 1000: AF8 1001: AF9 1010: AF10 1011: AF11 1100: AF12 1101: AF13 1110: AF14 1111: AF15

8 EXTI 中断和事件

8.1 简介

嵌套向量中断控制器（NVIC）与处理器内核相连，以低延时管理异常和中断处理。NVIC 包含 2 位中断优先级，因此可提供 4 个中断优先级。其他更多异常和 NVIC 编程细节，请参考 Cortex-Mx 技术参考手册。

EXTI 模块包含边沿检测电路，可以产生中断请求或唤醒事件，边沿检测支持上升沿、下降沿或任意边沿配置。每个边沿检测电路支持独立的使能和屏蔽。

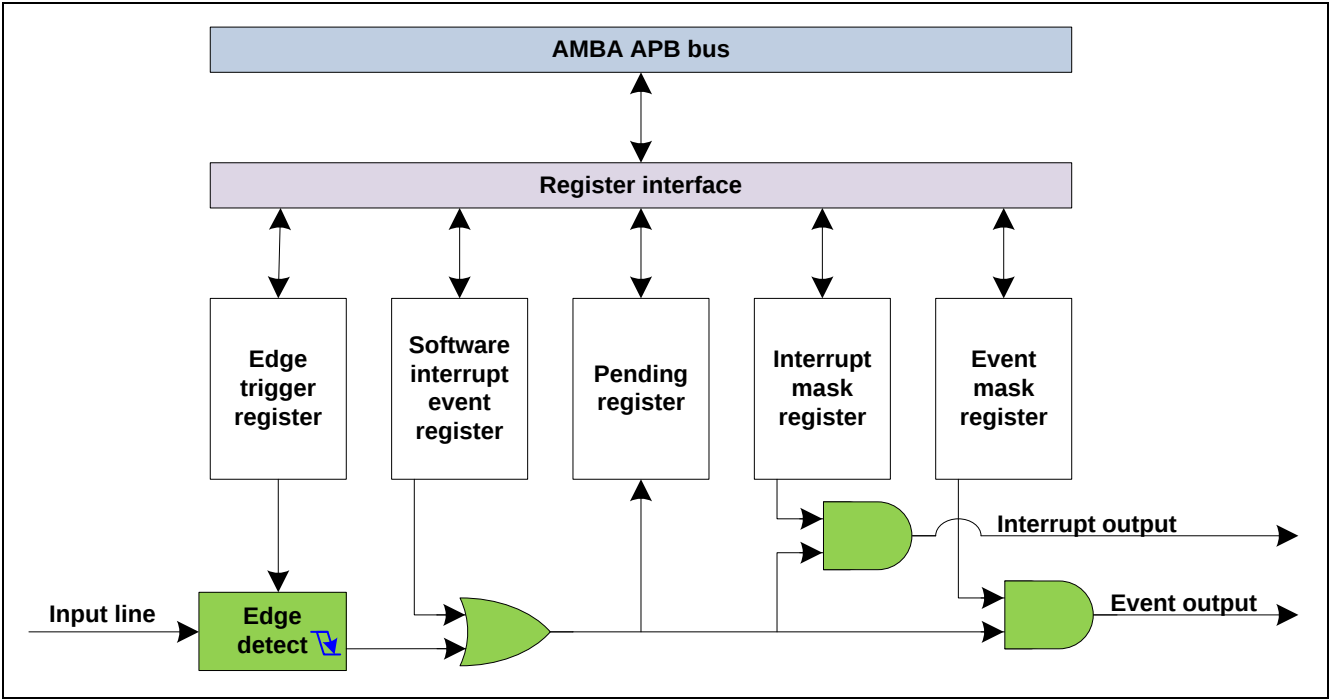
8.2 主要特性

- 独立触发和屏蔽每个中断
- 通过软件配置中断/事件输出
- 产生唤醒事件以唤醒低功耗模式
- 挂起寄存器保存每条对应中断线的状态
- 所有 GPIO 均支持将触发源配置为 EXTI
- 支持上升沿触发、下降沿触发和任意边沿触发

8.3 功能描述

8.3.1 功能框图

图 8-1 EXTI 结构框图



8.3.2 中断和异常向量

在 Handler 模式下，Cortex-M0 处理器和嵌套向量中断控制器（NVIC）可以根据优先级处理所有异常。发生异常时，系统会在中断服务结束后弹出当前处理工作的堆栈。向量与当前工作状态的同时处理提高了中断效率。下表列出了异常类型和中断向量。

表 8-1 异常向量

位置	优先级	优先级类型	名称	描述	地址
				保留	0x0000 0000
	-3	固定	Reset	Reset	0x0000 0004
	-2	固定	NMI	不可屏蔽中断	0x0000 0008

位置	优先级	优先级类型	名称	描述	地址
				RCC 时钟安全系统（CSS）连 接到 NMI	
	-1	固定	硬件故障	所有类型的故障	0x0000_000C

表 8-2 中断向量

位置	优先级	优先级类型	名称	描述	地址
	3	可设置	SVCall	通过 SWI 指令的系统服务调用	0x0000_002C
	4	-		保留	0x0000_0030
		-		保留	0x0000_0034
	5	可设置	PendSV	可挂起的系统服务	0x0000_0038
	6	可设置	SysTick	系统滴答定时器	0x0000_003C
0	7	可设置	WWDG_IWDG	WWDG 和 IWDG 经由 EXTI 17	0x0000_0040
1	8	可设置	PVD	PVD 经由 EXTI 16	0x0000_0044
2	9	可设置	保留	保留	0x0000_0048
3	10	可设置	FLASH	Flash 中断	0x0000_004C
4	11	可设置	RCC	RCC 中断	0x0000_0050
5	12	可设置	EXTI[1:0]	EXTI 线 [1:0] 中断	0x0000_0054
6	13	可设置	EXTI[3:2]	EXTI 线 [3:2] 中断	0x0000_0058
7	14	可设置	EXTI[15:4]	EXTI 线 [15:4] 中断	0x0000_005C
8	15	可设置	保留	保留	0x0000_0060
9	16	可设置	保留	保留	0x0000_0064
10	17	可设置	保留	保留	0x0000_0068
11	18	可设置	保留	保留	0x0000_006C
12	19	可设置	ADC1_COMP	ADC1 全局中断 比较器全局中断	0x0000_0070
13	20	可设置	TIM1_BRK_UP_TR G_COM	TIM1 刹车、更新、触发和 COM 中断	0x0000_0074
14	21	可设置	TIM1_CC	TIM1 捕获比较中断	0x0000_0078
15	22	可设置	保留	保留	0x0000_007C
16	23	可设置	TIM3	TIM3 全局中断	0x0000_0080
17	24	可设置	保留	保留	0x0000_0084
18	25	可设置	保留	保留	0x0000_0088
19	26	可设置	TIM14	TIM14 全局中断	0x0000_008C
20	27	可设置	保留	保留	0x0000_0090
21	28	可设置	保留	保留	0x0000_0094
22	29	可设置	保留	保留	0x0000_0098
23	30	可设置	I2C1	I2C1 全局中断	0x0000_009C
24	31	可设置	保留	保留	0x0000_00A0
25	32	可设置	SPI1	SPI1 全局中断	0x0000_00A4
26	33	可设置	保留	保留	0x0000_00A8
27	34	可设置	USART1	USART1 全局中断	0x0000_00AC
28	35	可设置	USART2	USART2 全局中断	0x0000_00B0
29	36	可设置	保留	保留	0x0000_00B4
30	37	可设置	保留	保留	0x0000_00B8

位置	优先级	优先级类型	名称	描述	地址
31	38	可设置	保留	保留	0x0000_00BC

8.3.3 唤醒事件管理

所有 EXTI 线均支持产生中断，或用事件将系统从低功耗模式唤醒。用户执行 WFE 指令进入相应的低功耗模式，配置 EXTI 线的事件输出来唤醒系统；用户执行 WFI 指令进入低功耗模式，配置 EXTI 线的中断输出来唤醒系统。详细配置请参考电源控制章节。

8.3.4 中断功能描述

若要使能中断功能并产生中断，需将边沿检测触发寄存器配置为所需的触发类型，并打开中断屏蔽寄存器的对应位以允许中断请求。当对应的外部中断线检测到所配置的触发条件时，会产生中断请求，并将寄存器的对应挂起位置 1。向挂起寄存器的对应位写 1 即可清除中断。

若要配置产生事件，需将边沿检测触发寄存器配置为所需的触发类型，并打开中断屏蔽寄存器的对应位以允许中断请求。当对应的外部中断线检测到所配置的触发条件时，会产生中断请求。

使能软件中断/事件寄存器的对应位同样可以产生中断/事件请求。

8.3.5 硬件中断输出

配置硬件中断源的具体步骤：

- 打开对应中断线的屏蔽位（EXTI_IMR），使能中断。
- 配置对应中断线的触发寄存器位（EXTI_RISE/EXTI_FALL）；
- 打开 NVIC 所连接的中断通道，使中断请求能够传送到 CPU 并被正确响应。

当配置 EXTIx（x=31~0）线并产生中断输出时，EXTI_PR 寄存器的对应位会被置 1。在再次检测 EXTIx（x=31~0）线的跳变并产生中断之前，必须清除 EXTI_PR 寄存器的对应挂起位。

清除 EXTI_PR 寄存器挂起位有三种方式：

- 向 EXTI_PR 寄存器的挂起位写 1。
- 配置上升沿触发选择寄存器（EXTI_RTSR）时，向对应位写 0 将清除挂起位；配置下降沿触发选择寄存器（EXTI_FTSR）时，向对应位写 0 将清除挂起位。
- 通过改变 EXTI 线的边沿检测极性来清除。

8.3.6 硬件事件输出

配置硬件事件源的具体步骤：

- 打开对应事件线的屏蔽位（EXTI_EMR）；
- 配置对应事件线的触发寄存器位（EXTI_RISE/EXTI_FALL）。

8.3.7 软件中断与事件输出

支持由软件配置中断和事件的具体步骤：

- 使能事件或中断使能位（EXTI_IMR、EXTI_EMR）。
- 将软件中断事件寄存器的对应位配置为 1（EXTI_SWIER）。

8.3.8 外部中断映射

所有 GPIO 都可用作 EXTI 触发源以产生中断或事件请求。配置 SYSCFG_EXTICRx 寄存器，同时支持内部模块（包括 PVD 和 IWDG）触发。具体连接关系如下：

表 8-3 EXTI 触发源

外部中断线	IO 映射	控制位
EXTI0	PA0;PB	SYSCFG_EXTICR1 寄存器 EXTI0
EXTI1	PA1;PB1	SYSCFG_EXTICR1 寄存器 EXTI1
EXTI2	PA2	SYSCFG_EXTICR1 寄存器 EXTI2
EXTI3	PA3	SYSCFG_EXTICR1 寄存器 EXTI3
EXTI4	PA4	SYSCFG_EXTICR2 寄存器 EXTI4
EXTI5	PA5	SYSCFG_EXTICR2 寄存器 EXTI5
EXTI6	PA6	SYSCFG_EXTICR2 寄存器 EXTI6

外部中断线	IO 映射	控制位
EXTI7	PA7	SYSCFG_EXTICR2 寄存器 EXTI7
EXTI8	PA8	SYSCFG_EXTICR3 寄存器 EXTI8
EXTI9	PA9	SYSCFG_EXTICR3 寄存器 EXTI9
EXTI10	PA10	SYSCFG_EXTICR3 寄存器 EXTI10
EXTI11	PA11	SYSCFG_EXTICR3 寄存器 EXTI11
EXTI12	PA12	SYSCFG_EXTICR4 寄存器 EXTI12
EXTI13	PA13	SYSCFG_EXTICR4 寄存器 EXTI13
EXTI14	PA14	SYSCFG_EXTICR4 寄存器 EXTI14
EXTI15	PA15	SYSCFG_EXTICR4 寄存器 EXTI15

其他外部中断/事件控制器的连接：

- EXTI 线 16 连接到 PVD 输出
- EXTI 线 17 连接到 IWDG 输出
- EXTI 线 19 连接到 COMP 输出

8.4 寄存器

8.4.1 寄存器概览

表 8-4 EXTI 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	EXTI_IMR	中断屏蔽寄存器	0x00000000
0x04	EXTI_EMR	事件屏蔽寄存器	0x00000000
0x08	EXTI_RTSR	上升沿触发选择寄存器	0x00000000
0x0C	EXTI_FTSR	下降沿触发选择寄存器	0x00000000
0x10	EXTI_SWIER	软件中断事件寄存器	0x00000000
0x14	EXTI_PR	挂起寄存器	0x00000000

8.4.2 EXTI_IMR 中断屏蔽寄存器

地址偏移：0x0
复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.												IMR1 9	IMR1 8	IMR1 7	IMR1 6
												r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMR1 5	IMR1 4	IMR1 3	IMR1 2	IMR1 1	IMR1 0	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

位	字段	描述
31:20	保留	保留，读出始终为 0
19:0	IMRx	线 x 中断使能位 1：配置该位为 1，使能线 x 对应的中断 0：配置该位为 0，禁止线 x 对应的中断

8.4.3 EXTI_EMR 事件屏蔽寄存器

地址偏移：0x04
复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.												EMR19	EMR18	EMR17	EMR16
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EMR15	EMR14	EMR13	EMR12	EMR11	EMR10	EMR9	EMR8	EMR7	EMR6	EMR5	EMR4	EMR3	EMR2	EMR1	EMR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位	字段	描述
31:20	保留	保留，读出始终为 0
19:0	EMRx	线 x 事件使能位 1: 配置该位为 1，使能线 x 对应的事件 0: 配置该位为 0，禁止线 x 对应的事件

8.4.4 EXTI_RTSR 上升沿触发选择寄存器

地址偏移: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.												TR19	TR18	TR17	TR16
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR15	TR14	TR13	TR12	TR11	TR10	TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位	字段	描述
31:20	保留	保留，读出始终为 0
19:0	TRx	线 x 对应中断或事件的触发极性 1: 配置该位为 1，使能线 x 对应的上升沿触发中断或事件 0: 配置该位为 0，禁止线 x 对应的上升沿触发中断或事件

8.4.5 EXTI_FTSR 下降沿触发选择寄存器

地址偏移: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.												TR19	TR18	TR17	TR16
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR15	TR14	TR13	TR12	TR11	TR10	TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位	字段	描述
31:20	保留	保留，读出始终为 0
19:0	TRx	线 x 对应中断或事件的触发极性 1: 配置该位为 1，使能线 x 对应的下降沿触发中断或事件 0: 配置该位为 0，禁止线 x 对应的下降沿触发中断或事件

8.4.6 EXTI_SWIER 软件中断事件寄存器

地址偏移: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.												SWIER19	SWIER18	SWIER17	SWIER16

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWIE R15	SWIE R14	SWIE R13	SWIE R12	SWIE R11	SWIE R10	SWIE R9	SWIE R8	SWIE R7	SWIE R6	SWIE R5	SWIE R4	SWIE R3	SWIE R2	SWIE R1	SWIE R0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位	字段	描述
31:20	保留	保留，读出始终为 0
19:0	SWIERx	线 x 软件中断或事件使能 写 1 将置位 EXTI_PR 寄存器的对应挂起位。同时，将 EXTI_IMR 或 EXTI_EMR 的对应位配置为 1 即可产生中断或事件。 注：向 EXTI_PR 寄存器的对应位写 1 可以清除该位

8.4.7 EXTI_PR 软件中断事件挂起寄存器

地址偏移：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.												PR19	PR18	PR17	PR16
												rc_w 1	rc_w 1	rc_w 1	rc_w 1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PR15	PR14	PR13	PR12	PR11	PR10	PR9	PR8	PR7	PR6	PR5	PR4	PR3	PR2	PR1	PR0
rc_w 1	rc_w 1	rc_w 1	rc_w 1	rc_w 1	rc_w 1	rc_w 1	rc_w 1	rc_w 1	rc_w 1	rc_w 1	rc_w 1	rc_w 1	rc_w 1	rc_w 1	rc_w 1

位	字段	描述
31:20	保留	保留，读出始终为 0
19:0	PRx	线 x 触发挂起位 1：发生所选的触发请求 0：无触发请求 当外部中断线上发生所选的边沿事件时，该位被置 1。写 1 可清除该位，也可通过改变边沿检测极性来清除。

9 ADC 模数转换器

9.1 简介

该 12 位 ADC 是一个逐次逼近型模数转换器（SAR A/D 转换器）。

A/D 转换器支持多种工作模式：单次转换、连续转换，或对所选通道自动扫描。ADC 转换器可由软件、外部引脚触发和各个定时器启动。

窗口比较器（模拟看门狗）允许应用检测输入电压是否超出用户定义的高、低阈值范围。

ADC 输入时钟由 PCLK1 时钟经预分频器分频产生，且不得超过 16MHz.....

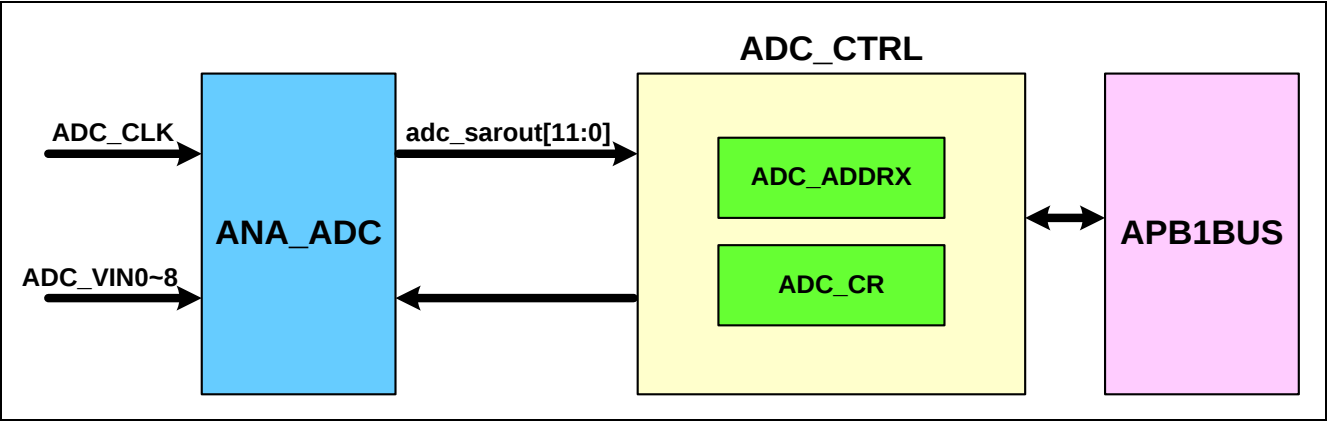
9.2 ADC 主要特性

- SAR ADC，可编程分辨率最高 12 位；不少于 8 个复用外部输入通道和 1 个内部通道
- 转换速率最高 1Msps
- 支持普通工作模式：
 - ◆ 单次转换模式：A/D 转换器对指定通道进行一次转换
 - ◆ 单周期扫描模式：A/D 转换器对所有指定通道进行一遍转换（从低序号通道到高序号通道，或从高序号通道到低序号通道）
 - ◆ 连续扫描模式：A/D 转换器连续进行单周期转换，直到软件停止 A/D 转换。若中途需要更改转换通道，必须先停止 A/D 转换，配置相应寄存器后才能重新启动转换。
- 支持任意通道工作模式：
 - ◆ 单次转换模式：A/D 转换器对指定通道进行一次转换
 - ◆ 单周期扫描模式：A/D 转换器对所有指定通道进行一遍转换（顺序任意）
 - ◆ 连续扫描模式：A/D 转换器连续进行单周期转换，直到软件停止 A/D 转换。若需要更改转换通道，不必停止 A/D 转换，配置相应寄存器后，新通道的转换将在下一个扫描周期开始
- 支持通过软件配置通道采样时间和分辨率
- A/D 转换启动条件
 - ◆ 软件启动
 - ◆ 触发启动，触发延时可配置
 - ◆ Timer1/3 匹配或 TRGO 信号、外部 EXTI 信号源
- 模拟看门狗用于将转换结果与指定值比较；当转换结果与指定值匹配时，用户可以设置产生中断。

9.3 ADC 系统框图

ADC 的系统框图如下：

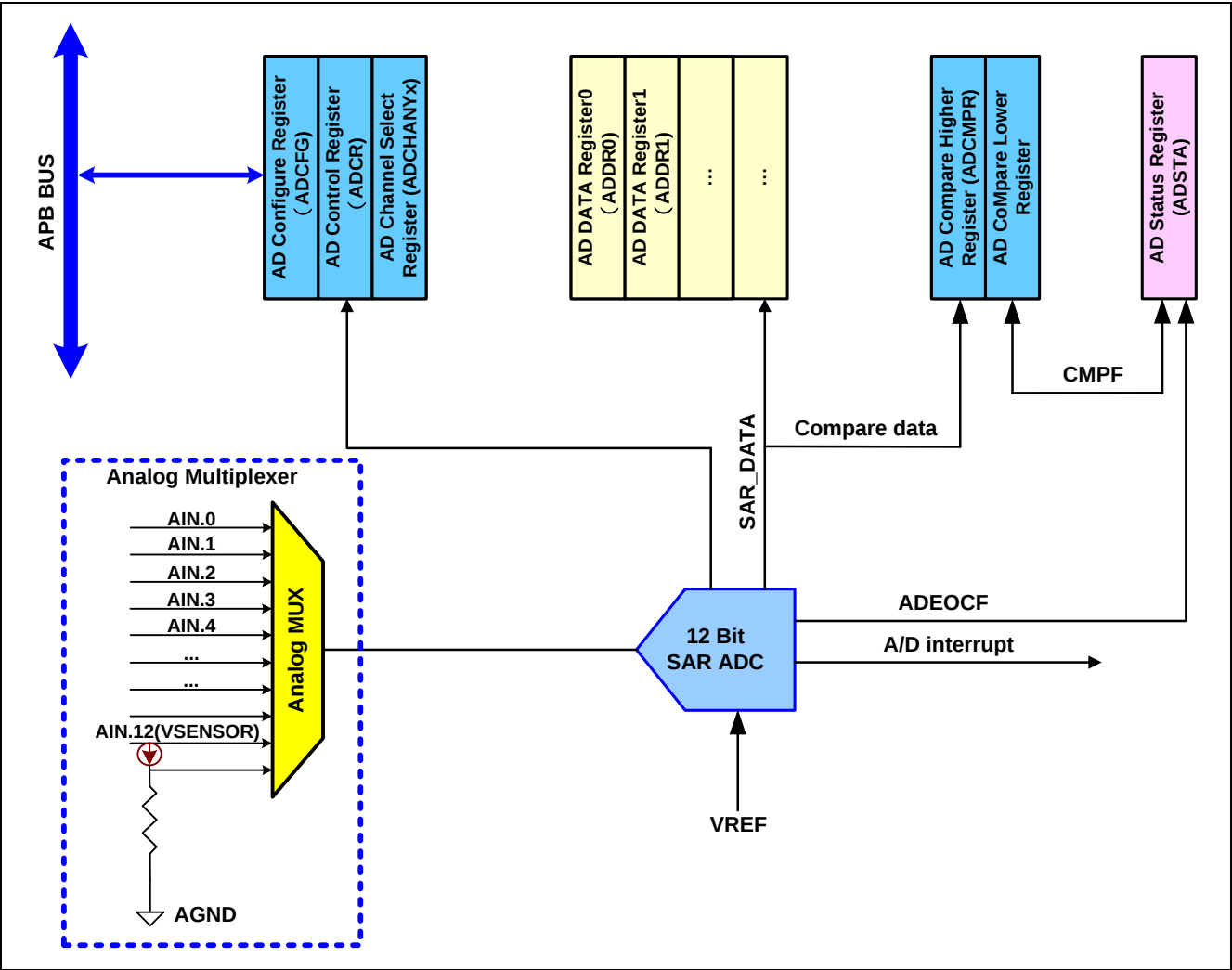
图 9-1 ADC 系统框图



9.4 ADC 功能描述

ADC 结构图如下：

图 9-2 ADC 结构图



注：V_SENSOR（内部基准电压）位于 ADC 的 AIN12 通道。

9.4.1 ADC 开关控制

通过置位 ADCFG 寄存器中的 ADON 位可以给 ADC 上电。首次置位 ADEN 位时，会将 ADC 从掉电模式唤醒。

在 ADC 上电延时（约 200ns）结束后，置位 ADCR 寄存器的 ADST 位即可开始转换。

清除 ADST 位可以停止转换，清除 ADEN 位可使 ADC 进入掉电模式

9.4.2 通道选择

ADC1 有 8 个复用通道，包括外部输入通道和内部 1.2V 基准电压通道。每个外部输入通道都有独立的使能位，可通过 CHANY_NUM、ADC_CHANY0 和 ADC_CHANY1 设置。

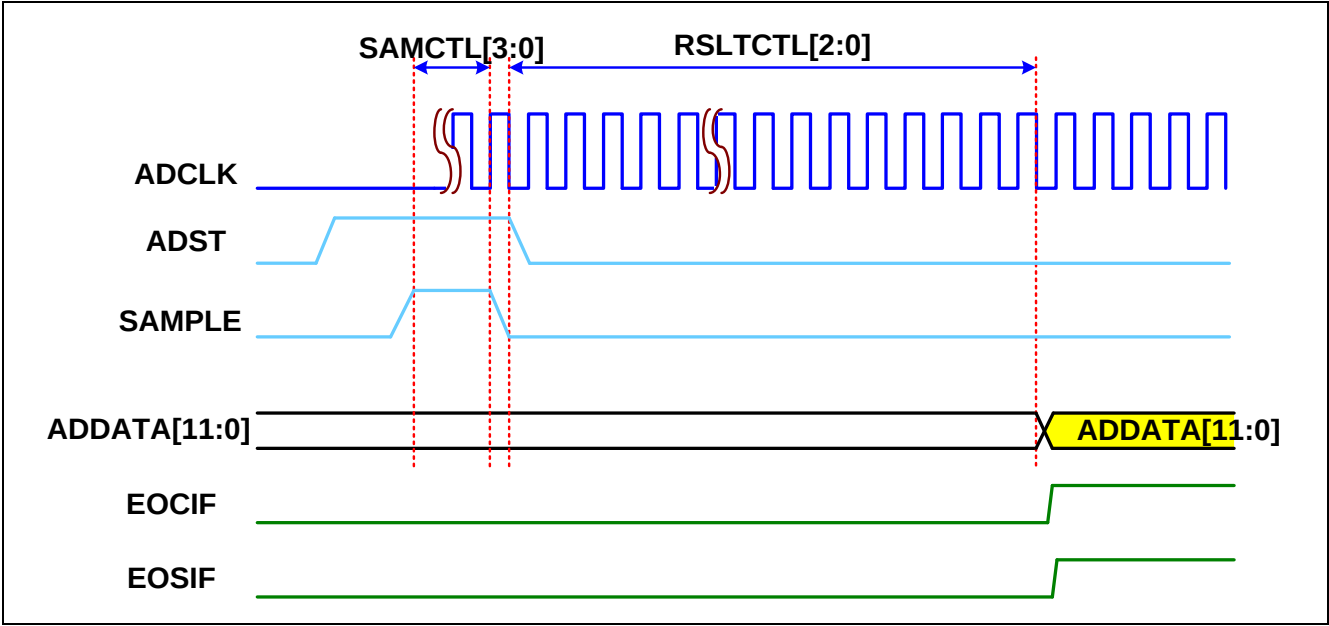
9.5 任意通道工作模式

9.5.1 单次转换模式

在单次转换模式下，A/D 转换器对相应通道执行一次转换。具体流程如下：

- 软件设置 ADC_ANY_CFG、ADC_CHANY0 和 ADC_CHANY1 寄存器、转换通道以及 CHANY_MDEN 位。（单次转换模式只需设置 CHANY_SEL0）
- 通过软件、外部触发输入或定时器溢出置位 ADCR 寄存器中的 ADST 位，启动 A/D 转换。
- A/D 转换结束后，转换数据存放在数据寄存器（ADDATA 和 ADDRn）中。
- A/D 转换结束后，状态寄存器 ADSTA 的 ADIF 位被置“1”。此时，若控制寄存器 ADCR 的 ADIE 位置“1”，将产生 AD EOC（转换结束）中断请求。
- 在 A/D 转换期间，ADST 位保持为 1。A/D 通道采样完成后，ADST 自动清 0，A/D 转换器进入空闲模式。
- 若在 A/D 转换期间软件更新 ADC_ANY_CFG、ADC_CHANY0 和 ADC_CHANY1，硬件不会立即更新这些配置，只会在当前设置的通道转换结束后更新，然后等待下一次软件置位 ADST。

图 9-3 单次转换模式下通道转换时序图



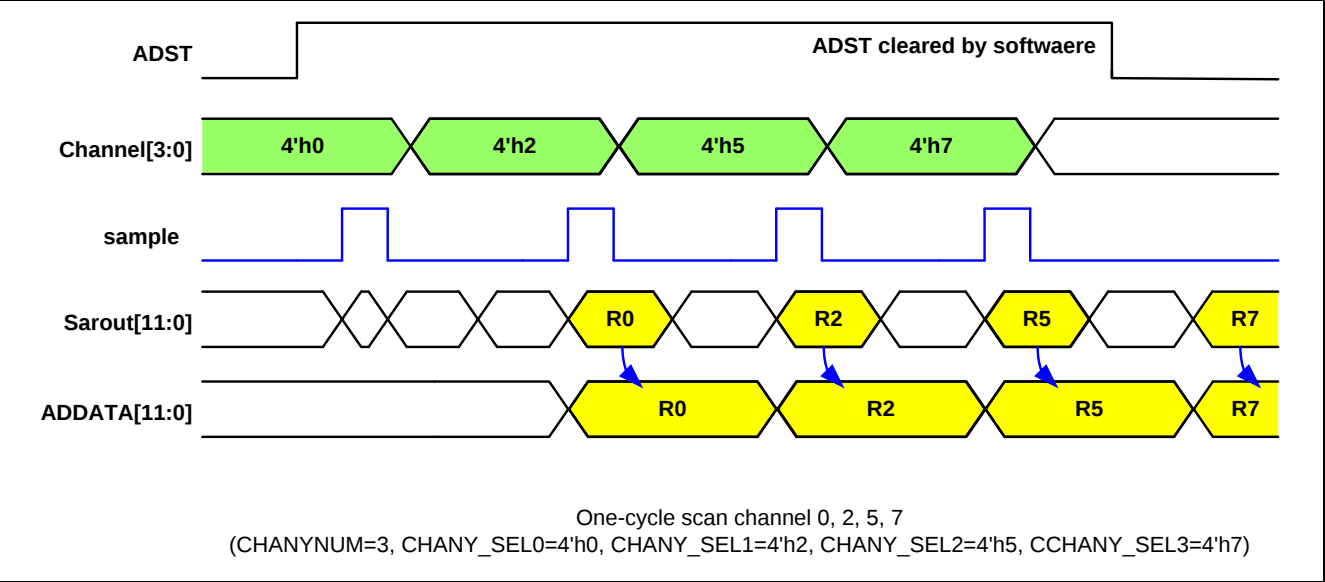
9.5.2 单周期扫描模式

在单周期扫描模式下，A/D 转换器依软件配置执行一遍转换。具体流程如下：

- 软件设置 ADC_ANY_CFG、ADC_CHANY0 和 ADC_CHANY1 寄存器，将需要转换的通道和数量设置好，然后置位 CHANY_MDEN 位。
- 通过软件或外部触发（触发延时可由软件配置）置位 ADCR 寄存器的 ADST 位。A/D 转换方向从 CHANY_SEL0 到 CHANY_SEL12，转换通道数量由 CHANY_NUM 配置。CHANY_SEL0 到 CHANY_SEL12 可以任意配置，可以完全相同，也可以完全不相同。

- 每路 A/D 转换结束时，转换数据值将有序装载到相应通道的数据寄存器中，ADIF 转换结束标志被置位。此时，若控制寄存器 ADCR 的 ADIE 位置“1”，将产生 AD EOC 中断请求。
- 最后一个 A/D 通道采样完成后，ADST 自动清 0，A/D 转换器进入空闲模式。
- 若在 A/D 转换期间软件更新 ADC_ANY_CFG、ADC_CHANY0 和 ADC_CHANY1，硬件不会立即更新这些配置，只会在当前设置的通道转换结束后更新，然后等待下一次软件置位 ADST。

图 9-4 单周期扫描模式下通道转换时序图



9.5.3 连续扫描模式

在连续扫描模式下，A/D 转换器依软件配置连续执行转换，直到软件停止转换。具体流程如下：

- 软件设置 ADC_ANY_CFG、ADC_CHANY0 和 ADC_CHANY1 寄存器，将需要转换的通道和数量设置好，然后置位 CHANY_MDEN 位。
- 通过软件或外部触发（触发延时可由软件配置）置位 ADCR 寄存器的 ADST 位。A/D 转换方向从 CHANY_SEL0 到 CHANY_SEL12，转换通道数量由 CHANY_NUM 配置。CHANY_SEL0 到 CHANY_SEL12 可以任意配置，可以完全相同，也可以完全不相同。
- 每路 A/D 转换结束时，转换数据值将有序装载到相应通道的数据寄存器中，ADIF 转换结束标志被置位。此时，若控制寄存器 ADCR 的 ADIE 位置“1”，将产生 AD EOC 中断请求。
- 只要 ADST 位保持为 1，A/D 转换就持续进行。当 ADST 位被清 0 且当前 A/D 转换完成后，A/D 转换器进入空闲模式。
- 若在 A/D 转换期间软件更新 ADC_ANY_CFG、ADC_CHANY0 和 ADC_CHANY1，硬件不会立即更新这些配置，只会在当前设置的通道转换结束后更新，即下一个扫描周期开始新的通道转换。

图 9-5 连续扫描模式下通道转换时序图

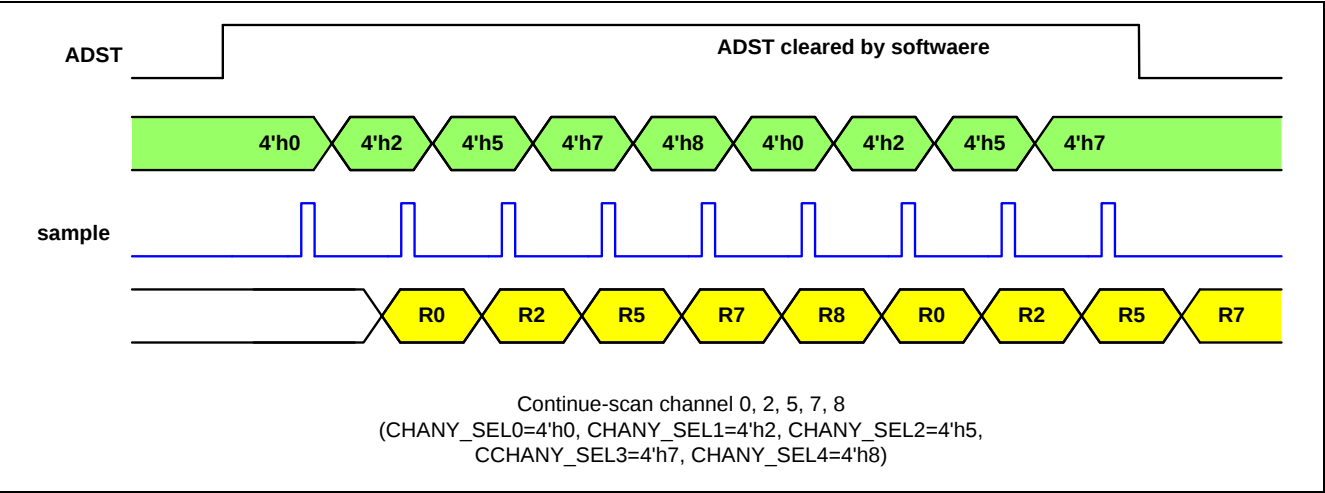
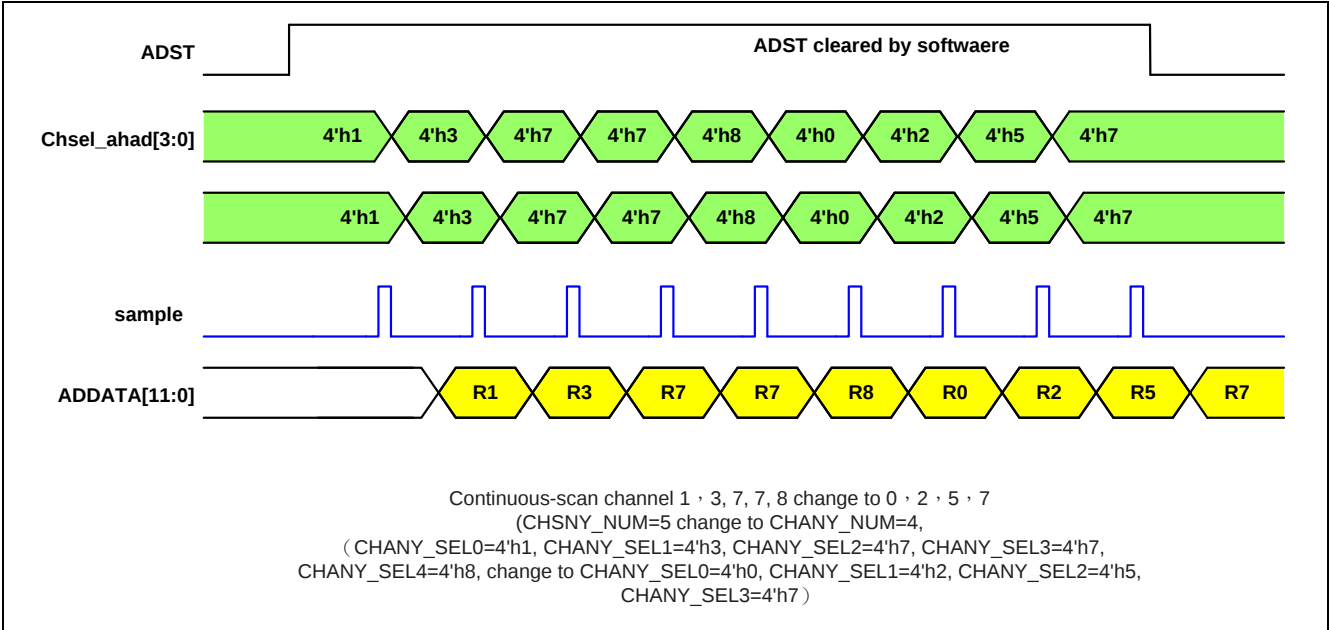


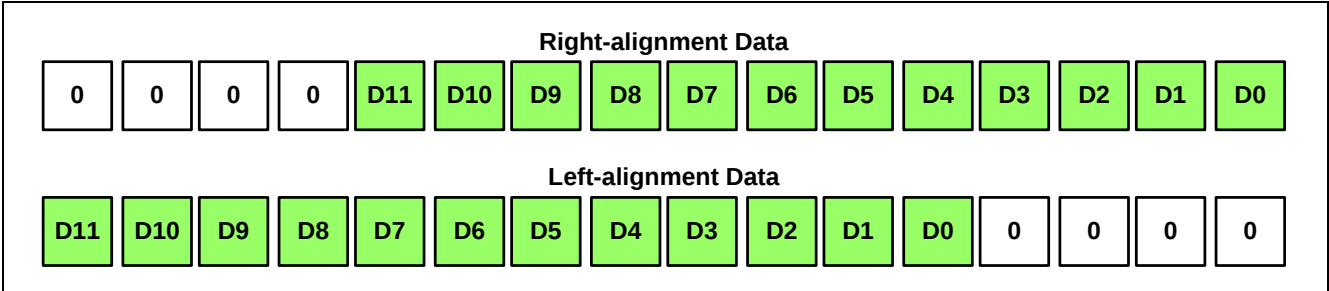
图 9-6 连续扫描模式下动态更新配置的时序图



9.6 数据对齐

ADCR 寄存器中的 ALIGN 位用于选择转换数据的存放对齐方式。数据可以左对齐或右对齐，如下图所示。

图 9-7 数据对齐模式



9.7 可编程分辨率

可以使用 ADC_CFG 寄存器中的 RSLTCTL [2:0] 位修改 ADC 的转换有效位数，以加快数据转换速度。有效数据位从 12 位数据的高位开始对齐。

9.8 可编程采样时间

ADC 时钟 ADCLK 由 PCLK1 经预分频器分频产生。预分频系数可通过设置 ADCFG 寄存器中的 ADCPRE 位确定，即以 PCLK1/(N + 2) 分频作为 ADC 时钟。ADC 对输入电压采样若干个 ADC_CLK 周期，该周期数可通过 ADC_CFG 寄存器中的 SAMCTL [3:0] 位修改。

设 ADC 分辨率为 n 位（n=8、9、10、11、12），每个通道的采样周期为 m。

采样频率计算如下：

$$F_{\text{sample}} = F_{\text{ADCLK}} / (m + n + 0.5)。$$

假设分辨率配置为 12 位，每个通道的采样周期为 3.5T，则 $F_{\text{sample}} = F_{\text{ADCLK}} / 16。$

总转换时间计算如下：

$$T_{\text{CONV}} = \text{采样时间} + 12.5 \text{ 个转换周期}。$$

例如：

当 ADCCLK = 16MHz、采样时间为 3.5 个周期时， $T_{\text{CONV}} = 3.5 + 12.5 = 16$ ，周期 = 1μs。

9.9 外部触发转换

ADC 转换可由外部事件（如定时器捕获、EXTI 线）触发。触发信号产生后，采样延时 N 个 PCLK1 时钟周期后才重新开始。在触发扫描模式下，只有第一个通道的采样被延时，其余通道在上一次采样结束后立即启动。

若置位 ADCR 寄存器的 TRGEN 位，则可使用外部事件触发转换。外部触发源可通过设置 TRGSEL 位来

选择。

具体的外部触发源选择，请参考 ADCR 控制寄存器中相关位的描述（ADCR.TRGSEL）。

外部触发可以设置延时控制，请参考 ADCR 控制寄存器中相关位的描述（ADCR.TRGSHIFT）。

9.10 内部基准电压

ADC 的内部信号源通道连接到 1.2V 的内部基准电压。该通道将 1.2V 基准电压输出转换为数字值。

内部基准电压具有独立的使能位，可通过设置寄存器中的对应位来使能或禁止。

9.11 窗口比较器模式下监视 ADC 转换结果

比较模式下提供了一个上限比较寄存器和一个下限比较寄存器。可通过软件设置 CMPCH 位来选择监视通道。

当 CPMHDATA ≥ CPMLDATA 时，若比较结果大于或等于 ADCMPR 寄存器中指定的 CPMHDATA 值，或小于指定的 CPMLDATA 值，则状态寄存器 ADSTA 中的 ADWIF 位被置 1。

当 CPMHDATA < CPMLDATA 时，若比较结果等于指定的 CPMHDATA 值或位于两个指定值之间，则状态寄存器 ADSTA 中的 ADWIF 位被置 1。

若置位控制寄存器 ADCR 中的 ADWIE 位，将产生中断请求。

9.12 ADC 寄存器描述

9.12.1 寄存器概览

表 9-1 ADC 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	ADC_ADDDATA	A/D 数据寄存器	0x00000000
0x04	ADC_ADCFG	A/D 配置寄存器	0x00000000
0x08	ADC_ADCR	A/D 控制寄存器	0x00000000
0x10	ADC_ADCMPR	A/D 模拟看门狗比较寄存器	0x00000000
0x14	ADC_ADSTA	A/D 状态寄存器	0x00000000
0x18~0x48	ADC_ADDR 0~12	A/D 通道数据寄存器	0x00000000
0x58	ADC_ADSTA_EXT	A/D 扩展状态寄存器	0x00000000
0x5C	ADC_CHANY0	A/D 任意通道选择寄存器 0	0x00000000
0x60	ADC_CHANY1	A/D 任意通道选择寄存器 1	0x00000000
0x64	ADC_ANY_CFG	A/D 任意通道配置寄存器	0x00000000
0x68	ADC_ANY_CR	A/D 任意通道控制寄存器	0x00000000

9.12.2 A/D 数据寄存器（ADC_ADDDATA）

地址偏移：0x00

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.										VAIL D	OVER RUN	CHANNELSEL			
										r	r	r			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA															
r															
位		字段				描述									
31:22		保留				保留，读出始终为 0。									
21		VALID				数据有效标志（只读） 1: DATA[11:0] 数据有效 0: DATA[11:0] 数据无效 对应模拟通道转换完成后该位被置位。读取 ADDATA 寄存器后由硬件清除该位。									

位	字段	描述
20	OVERRUN	数据溢出标志（只读） 1: DATA[11:0] 数据发生溢出 0: DATA[11:0] 为最后一次转换结果 在新的转换结果装载到寄存器之前，若 DATA [11:0] 未被读取，则 OVERRUN 被置 1。读取 ADDATA 寄存器后由硬件清除该位。
19:16	CHANNELSEL	4 位用于表示当前数据对应的通道（通道选择） 0000: 通道 0 的转换数据。 0001: 通道 1 的转换数据。 0010: 通道 2 的转换数据。 0011: 通道 3 的转换数据。 0100: 通道 4 的转换数据。 0101: 通道 5 的转换数据。 0110: 通道 6 的转换数据。 0111: 通道 7 的转换数据。 1000: 通道 8 的转换数据。 1001: 通道 9 的转换数据。 1010: 通道 10 的转换数据。 1011: 通道 11 的转换数据。 1100: 内部基准电压的转换数据。 其他: 无效。
15:0	DATA	12 位 A/D 转换结果（传输数据） 数据可按配置左对齐或右对齐。

9.12.3 A/D 配置寄存器（ADC_ADCFG）

地址偏移: 0x04

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	ADCP REL	SAMCTL				RSLTCTL			ADCPREH			VSE N	Res.	ADW EN	ADE N
	rw	rw				rw			rw			rw		rw	rw

位	字段	描述
31:15	保留	保留，读出始终为 0。
14	ADCPREL	ADC 预分频低位 预分频系数 $ADCPRE = \{ADCPREH, ADCPREL\}$
13:10	SAMCTL	通道 x 采样时间选择 这些位用于独立选择每个通道的采样时间。在一个采样周期内，通道选择位应保持不变。 0000: 2.5 个周期 0100: 42.5 个周期 0001: 8.5 个周期 0101: 56.5 个周期 0010: 14.5 个周期 0110: 72.5 个周期 0011: 29.5 个周期 0111: 240.5 个周期 1000: 3.5 个周期 1001: 4.5 个周期 1010: 5.5 个周期 1011: 6.5 个周期 1100: 7.5 个周期 其他: 保留
9:7	RSLTCTL	ADC 转换数据分辨率选择 000: 12 位有效 001: 11 位有效 010: 10 位有效 011: 9 位有效 100: 8 位有效 其他: 保留
6:4	ADCPREH	ADC 预分频高位 预分频系数 $ADCPRE = \{ADCPREH, ADCPREL\}$ ADC 时钟分频: $div = (ADCPRE + 2)$

位	字段	描述
3	VSEN	电压传感器使能 1: 使能内部电压传感器 0: 禁止内部电压传感器
2	保留	保留, 读出始终为 0。
1	ADWEN	ADC 窗口比较使能 1: 使能 A/D 窗口比较 0: 禁止 A/D 窗口比较
0	ADEN	A/D 转换使能 (ADC 使能) 1: 使能 0: 禁止

9.12.4 ADC_ADCCR 控制寄存器

偏移地址: 0x08

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.						TRG_EDGE		Res.		TRGSHIFT			TRGSELH		Res.
						rw				rw			rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMPCH				ALIGN	ADMD		ADST	Res.	TRGSELL			Res.	TRGEN	AWDIE	ADIE
rw				rw	rw		rw		rw				rw	rw	rw

位	字段	描述
31:26	保留	保留, 读出始终为 0。
25 : 24	TRG_EDGE	触发源边沿选择 00: 双边沿触发 01: 下降沿触发 10: 上升沿触发 11: 触发被屏蔽
23:22	保留	保留, 读出始终为 0。
21 : 19	TRGSHIFT	外部触发移位采样 触发信号产生后, 延时 N 个 PCLK1 时钟周期再开始采样。 在触发扫描模式下, 其余通道在上一次采样完成后立即开始采样。 000: 无延时 001: 4 个周期 010: 16 个周期 011: 32 个周期 100: 64 个周期 101: 128 个周期 110: 256 个周期 111: 512 个周期
18 : 17	TRGSELH	外部触发源选择高位 TRGSEL={TRGSELH,TRGSELL}
16	保留	保留, 读出始终为 0。

位	字段	描述
15 : 12	CMPCH	窗口比较通道选择 0000: 选择比较通道 0 的转换结果 0001: 选择比较通道 1 的转换结果 0010: 选择比较通道 2 的转换结果 0011: 选择比较通道 3 的转换结果 0100: 选择比较通道 4 的转换结果 0101: 选择比较通道 5 的转换结果 0110: 选择比较通道 6 的转换结果 0111: 选择比较通道 7 的转换结果 1000: 选择比较通道 8 的转换结果 1001: 选择比较通道 9 的转换结果 1010: 选择比较通道 10 的转换结果 1011: 选择比较通道 11 的转换结果 1100: 选择内部比较基准电压 1111: 所有扫描通道 其他: 无效
11	ALIGN	数据对齐 1: 左对齐 0: 右对齐
10 : 9	ADMD	A/D 转换模式 (ADC 模式) 00: 单次转换 01: 单周期扫描 10: 连续扫描 11: 保留 更改转换模式时, 软件必须先禁止 ADST 位。
8	ADST	A/D 转换启动 1: 转换启动 0: 转换结束或空闲状态 置位 ADST 有两种方式: 在单次或单周期模式下, 转换结束后 ADST 由硬件自动清 0。 在连续扫描模式下, A/D 转换器持续进行转换, 直到软件向该位写“0”或系统复位。
7	保留	保留, 读出始终为 0。
6 : 4	TRGSELL	外部触发选择, 位 [18:17,6:4]: 选择外部触发源。 00000: TIM1_CC1 00001: TIM1_CC2 00010: TIM1_CC3 00011: 保留 00100: TIM3_TRGO 00101: TIM1_CC4 和 TIM1_CC5 00110: TIM3_CC1 00111: EXTI 线 11 01000: TIM1_TRGO 01001: 保留 01010: 保留 01011: 保留 01100: TIM3_CC4 01101: 保留 01110: 保留 01111: EXTI 线 15 10000: TIM1_CC4 10001: TIM1_CC5 其他: 无效
3	保留	保留, 读出始终为 0。
2	TRGEN	外部硬件触发源 (外部触发使能) 1: 使能由外部触发信号启动 A/D 转换 0: 不使能由外部触发信号启动 A/D 转换

位	字段	描述
1	AWDIE	ADC 窗口比较器中断使能 1: 使能 A/D 窗口比较器中断 0: 禁止 A/D 窗口比较器中断
0	ADIE	ADC 中断使能 1: 使能 A/D 中断 0: 禁止 A/D 中断 若 ADIF 位被置位, 将产生 A/D EOC 中断请求。

9.12.5 A/D 窗口比较寄存器 (ADC_ADCMPR)

地址偏移: 0x10

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.				CMPHDATA											
				rw											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.				CMPLDATA											
				rw											

位	字段	描述
31:28	保留	保留, 读出始终为 0。
27:16	CMPHDATA	比较数据上限 该 12 位值将与指定通道的转换结果进行比较。
15:12	保留	保留, 读出始终为 0。
11:0	CMPLDATA	比较数据下限 该 12 位值将与指定通道的转换结果进行比较。

9.12.6 ADC_ADSTA 状态寄存器

偏移地址: 0x14

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OVERRUN												VALID			
r												r			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VALID								CHANNEL				Res.	BUS Y	AWD IF	ADIF
r								r					r	rc_w 1	rc_w 1

位	字段	描述
31:20	OVERRUN	通道 0 ~ 11 的数据溢出标志 (溢出标志) 只读。
19:8	VALID	通道 0 ~ 11 的有效标志 (有效标志) 只读。
7:4	CHANNEL	当前转换通道 当 BUSY = 1 时, 这 4 位指示正在转换的通道; 当 BUSY = 0 时, 这 4 位指示下一次转换的通道
3	保留	保留, 读出始终为 0。
2	BUSY	忙/空闲 1: A/D 转换器忙 0: A/D 转换器空闲

位	字段	描述
1	AWDIF	ADC 窗口比较器中断标志 当 CPMHDATA $\geq$ CPMLDATA 时，若所选 ADC 通道的比较结果大于或等于 ADCMPR 寄存器中指定的 CMPHDATA 值，或小于指定的 CPMLDATA 值，则状态寄存器 ADSTA 中的 ADWIF 位被置 1。 当 CPMHDATA $<$ CPMLDATA 时，若所选 ADC 通道的比较结果等于指定的 CPMHDATA 值或位于两个指定值之间，则状态寄存器 ADSTA 中的 ADWIF 位被置 1。 该标志位通过写“1”清除
0	ADIF	ADC 中断标志 通道组转换完成时由硬件置位，由软件清除。 1: A/D 转换完成 0: A/D 转换未完成 该标志位通过写“1”清除

9.12.7 A/D 数据寄存器（ADC_ADDR0 ~ 12）

地址偏移：0x18~0x48

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.										VAIL D	OVER R UN	Res.			
										r	r				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA															
r															

位	字段	描述
31:22	保留	保留，读出始终为 0。
21	VALID	有效标志（只读）： 1: DATA [11:0] 位数据有效。 0: DATA [11:0] 位数据无效。 对应模拟通道转换完成后该位被置位。读取 ADDATA 寄存器后由硬件清除该位。
20	OVERRUN	数据溢出标志（只读） 1: DATA [11:0] 数据发生溢出 0: DATA [11:0] 为最后一次转换结果 在新的转换结果装载到寄存器之前，若 DATA [11:0] 未被读取，则 OVERRUN 被置“1”。读取 ADDATA 寄存器后由硬件清除该位。
19:16	保留	保留，读出始终为 0。
15:0	DATA	该通道的 12 位 A/D 转换结果（传输数据）。数据可按配置左对齐或右对齐。

9.12.8 A/D 扩展状态寄存器（ADC_ADSTA_EXT）

地址偏移：0x58

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.										OVER R UN		Res.			VALI D
										r					r

位	字段	描述
31:5	保留	保留，读出始终为 0。
4	OVERRUN	内部电压传感器的数据溢出标志（溢出标志）
3:1	保留	保留，读出始终为 0。

位	字段	描述
0	VALID	内部电压传感器的有效标志（有效标志）OR

9.12.9 A/D 任意通道选择寄存器（ADC_CHANY0）

地址偏移：0x5C

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CHANY_SEL7				CHANY_SEL6				CHANY_SEL5				CHANY_SEL4			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHANY_SEL3				CHANY_SEL2				CHANY_SEL1				CHANY_SEL0			
rw				rw				rw				rw			

位	字段	描述
31:28	CHANY_SEL7	可配置为通道 0 ~ 12 中的任意通道。
27:24	CHANY_SEL6	可配置为通道 0 ~ 12 中的任意通道。
23:20	CHANY_SEL5	可配置为通道 0 ~ 12 中的任意通道。
19:16	CHANY_SEL4	可配置为通道 0 ~ 12 中的任意通道。
15:12	CHANY_SEL3	可配置为通道 0 ~ 12 中的任意通道。
11:8	CHANY_SEL2	可配置为通道 0 ~ 12 中的任意通道。
7:4	CHANY_SEL1	可配置为通道 0 ~ 12 中的任意通道。
3:0	CHANY_SEL0	可配置为通道 0 ~ 12 中的任意通道。

注：在单周期或连续扫描模式下，ADC_CHANY0 影子寄存器由硬件启用。ADC 开始工作之前，软件写 ADC_CHANY0 时同时写入其影子寄存器；ADC 工作时，若更改 ADC_CHANY0 的值，只更新影子寄存器。此外，当 ADC 开始转换最后一个通道时，影子寄存器的值将更新到 ADC_CHANY0，从而完成通道的动态切换。

9.12.10 A/D 任意通道选择寄存器 1（ADC_CHANY1）

地址偏移：0x60

复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.												CHANY_SEL12			
												rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHANY_SEL11				CHANY_SEL10				CHANY_SEL9				CHANY_SEL8			
rw				rw				rw				rw			

位	字段	描述
31:20	保留	保留，读出始终为 0。
19:16	CHANY_SEL12	可配置为通道 0 ~ 12 中的任意通道。
15:12	CHANY_SEL11	可配置为通道 0 ~ 12 中的任意通道。
11:8	CHANY_SEL10	可配置为通道 0 ~ 12 中的任意通道。
7:4	CHANY_SEL9	可配置为通道 0 ~ 12 中的任意通道。
3:0	CHANY_SEL8	可配置为通道 0 ~ 12 中的任意通道。

注：在单周期或连续扫描模式下，ADC_CHANY1 影子寄存器由硬件启用。ADC 开始工作之前，软件写 ADC_CHANY1 时同时写入其影子寄存器；ADC 工作时，若更改 ADC_CHANY1 的值，只更新影子寄存器。此外，当 ADC 开始转换最后一个通道时，影子寄存器的值将更新到 ADC_CHANY1，从而完成通道的动态切换。

9.12.11 A/D 任意通道配置寄存器（ADC_ANY_CFG）

地址偏移：0x64
复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.												CHANY_NUM			
												rw			

位	字段	描述
31:4	保留	保留，读出始终为 0。
3: 0	CHANY_NUM	任意通道模式的通道数量： 0000：通道 0 0001：通道 0~1 0010：通道 0~2 0011：通道 0~3 0100：通道 0~4 0101：通道 0~5 0110：通道 0~6 0111：通道 0~7 1000：通道 0~8 1001：通道 0~9 1010：通道 0~10 1011：通道 0~11 1100：通道 0~12 其他：无效

注：在单周期或连续扫描模式下，ADC_NUM 影子寄存器由硬件启用。ADC 开始工作之前，软件写 ADC_NUM 时同时写入其影子寄存器；ADC 工作时，若更改 ADC_NUM 的值，只更新影子寄存器。此外，当 ADC 开始转换最后一个通道时，影子寄存器的值将更新到 ADC_NUM，从而完成通道的动态切换。

9.12.12 A/D 任意通道控制寄存器（ADC_ANY_CR）

地址偏移：0x68
复位值：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.														CHANY_MDEN	
														rw	

位	字段	描述
31:1	保留	保留，读出始终为 0。
0	CHANY_MDEN	任意通道配置模式使能位： 1：使能 0：禁止 当该位使能后，ADC 通道配置的功能发生变化。有两个控制部分：CHANY_NUM 用于配置通道 0 ~ 12 的通道数量；CHANY_SEL0 ~ CHANY_SEL12 用于将它们配置为任意的 ADC 通道。

注：在任意通道模式加单周期/连续扫描模式下，关闭 ADC 之前必须先禁止 ADC_ADCR 中的 ADST 位，然后用户应判断 ADC_ADSTA 中的 BUSY 位是否为 0。也就是说，应在 ADC 转换完成后再禁止 ADC_ANY_CR 中的 CHANY_MDEN 位。

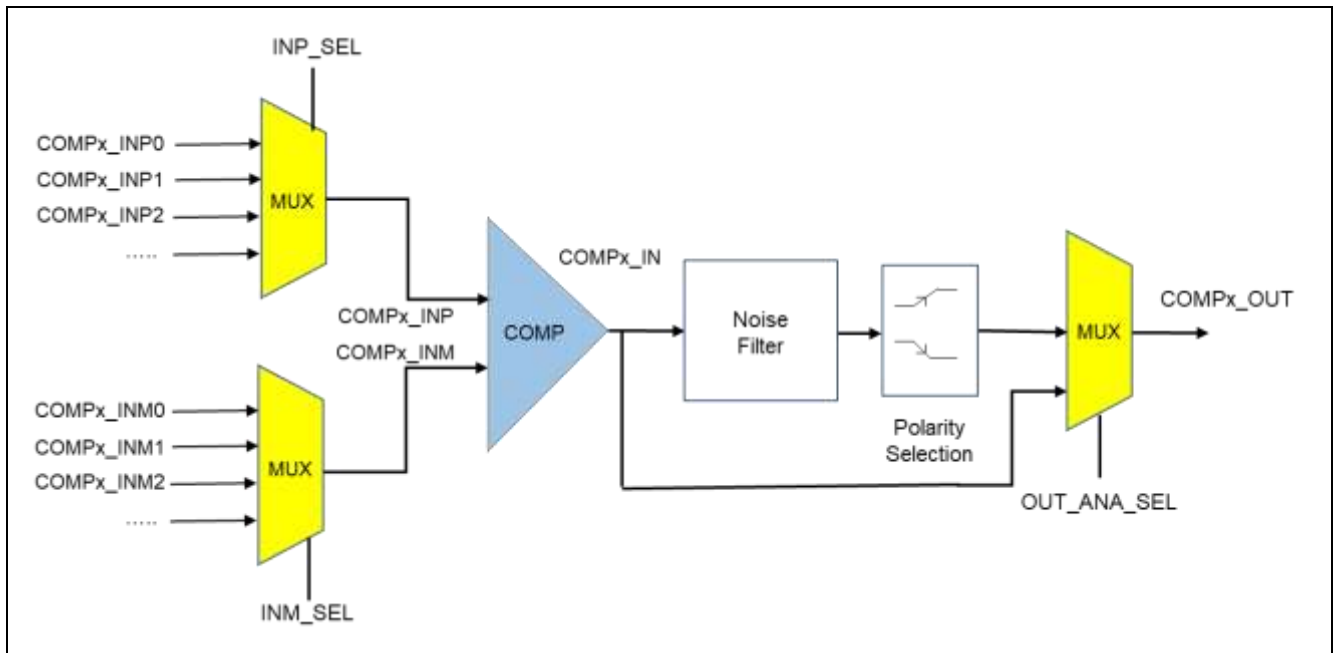
10 COMP 比较器

10.1 简介

芯片内嵌一个通用比较器（COMP1）。该比较器集成了数字滤波器，其比较结果可以输出到定时器，或用于产生中断，或产生唤醒事件以触发退出低功耗模式。它还可以与定时器配合，与定时器的 PWM 输出相结合，构成逐周期电流控制环路。

10.2 功能框图

图 10-1 比较器框图



10.3 主要特性

- 模拟输入来自复用 I/O 引脚；
- 迟滞电压可编程；
- 支持比较结果滤波，滤波周期可配置；
- 输出到 I/O 引脚或定时器；
- 支持通过外部事件 EXTI 将 CPU 从睡眠和停机模式唤醒；
- 每个比较器支持 4 个正输入和 5 个负输入，并具有轮询功能；
- 支持按固定周期轮询切换；
- 支持控制轮询通道 1/2/3 或 1/2；
- 支持正负输入同步轮询或固定负输入

10.4 功能描述

10.4.1 COMP 时钟和复位

COMP 输入时钟与 APB1 CLK 同步。使用比较器之前，应通过设置 RCC 控制器中对应的比较器时钟使能位来使能比较器时钟。配置 RCC 控制器中对应的比较器复位控制位可通过软件复位比较器。

10.4.2 COMP 开关控制

使用比较器之前，通过置位 COMPx_CSR 寄存器中的 EN 位给 COMP 上电。当 EN 位置 1 时，比较器

（COMP）从掉电状态唤醒；当 EN 位被清除（EN 置 0）时，比较器停止工作。

10.4.3 COMP 输入和输出

用作比较器输入的 I/O 必须在 GPIO 寄存器中配置为模拟输入模式。比较后的模拟结果可以应用滤波功能（参考 COMPx_CSR 寄存器中的 OFLT 配置），也可以有选择地连接到输出端（参考 COMPx_CSR 寄存器中的 OUT_ANA_SEL 配置）。输出可以在内部重定向到多种定时器输入（参考 COMPx_CSR 寄存器中的 OUT_SEL 配置），或重定向到 I/O。

10.4.4 COMP 通道选择

每个 COMP 有 4 个正输入通道，可从四个外部引脚中选择；有 5 个负输入通道，可从三个外部引脚和连接 CRV 输出的内部引脚中选择。CRV 电压可以是内部 1.2V 基准电压（VREFINT）的分压值，也可以是外部电压（VDDA）的分压值。

在普通工作模式下，COMP 的输入通道由软件选择。在轮询工作模式下，通过软件轮询分时监视多个通道的比较结果，逻辑上类似于多个比较器同时工作。

在普通工作模式下，COMP 对来自 INP 和 INM 端口的所选信号进行比较。具体流程如下：

- 设置 COMPx_CSR 寄存器中的 INP_SEL 位和 INM_SEL 位，选择所需的信号；
- 通过置位 COMPx_CSR 寄存器中的 EN 位，给 COMP 上电并开始工作。
- 比较结果保存在 COMPx_CSR 寄存器的 OUT 位中。
- 此外，当 COMP 的 INM_SEL 选择 CRV 时，需要先设置 COMP_CRV 寄存器中的 CRV_SEL 位，然后置位 CRV_EN 位（在上述步骤 2 之前执行）。

在轮询工作模式下，COMP 中来自 INP 端口的信号周期性轮询。可以通过 COMPx_POLL 寄存器中的 FIXN 位配置 INM 端口的信号是否跟随 INP 变化，也可以通过 COMPx_CSR 中的 INM_SEL 位配置。请注意，使能轮询功能后，COMPx_CSR 中的 INP_SEL 位将无效；同样地，若 COMPx_POLL 寄存器中的 FIXN 位决定 INM 端口跟随 INP 轮询变化，则 COMPx_CSR 中的 INM_SEL 位也将无效。具体流程如下：

- 设置 COMPx_POLL 寄存器中的 PERIOD 位，选择所需的轮询等待周期；
- 设置 COMPx_POLL 寄存器中的 FIXN 位，决定 INM 端口的信号是否跟随 INP 轮询变化；
- 设置 COMPx_POLL 寄存器中的 POLL_CH 位，决定所需的轮询通道是 1/2/3 还是 1/2；
- 设置 COMPx_POLL 寄存器中的 POLL_EN 位，使能轮询功能；
- 通过置位 COMPx_CSR 寄存器中的 EN 位，给 COMP 上电并开始工作。
- 轮询比较结果保存在 COMPx_POLL 寄存器的 POUT 位中，其中轮询通道 3/2/1 的结果分别保存在 POUT [2]、POUT [1] 和 POUT [0] 中。

10.4.5 中断和唤醒

比较器输出可以通过芯片内部硬件连接到事件控制器。每个比较器都有各自的 EXTI 线，可产生事件以退出低功耗模式。更多细节请参考参考手册的中断和事件章节。

10.4.6 比较器 LOCK 锁定机制

比较器可用于安全用途，例如过流或过热保护。对于某些特定应用，必须确保在发生误修改访问或程序计数器错乱时，比较器的编程配置不会被改变。

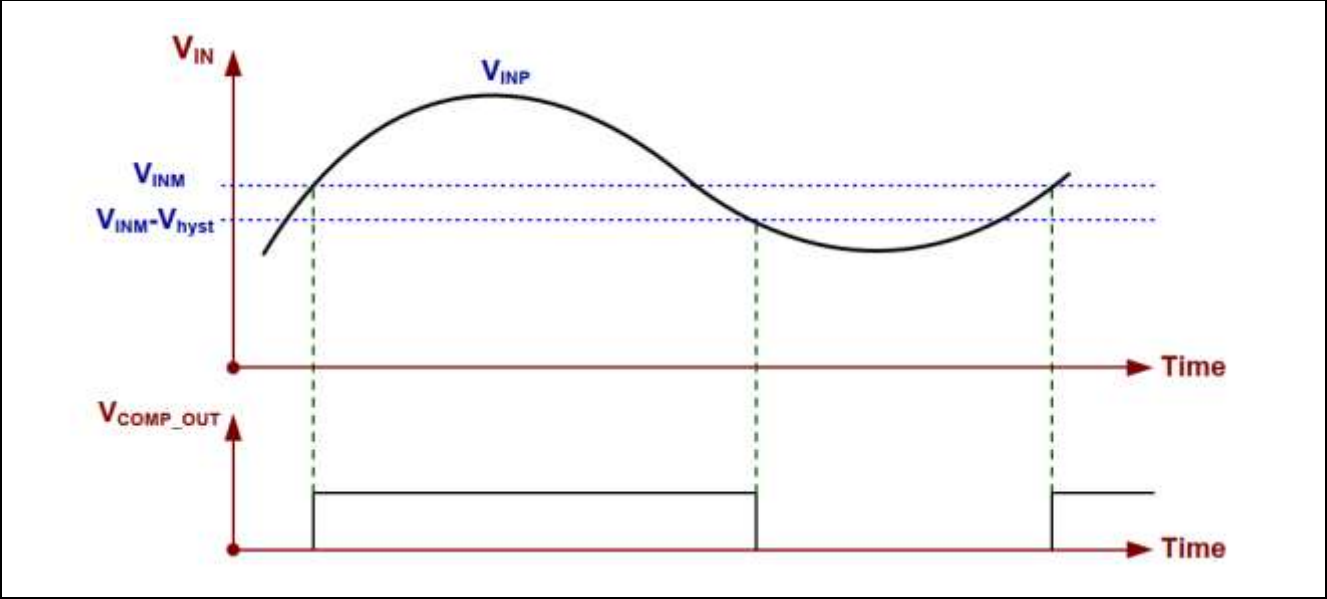
为此，可以将比较器控制状态寄存器设为只读。

编程完成后，将 LOCK 位置 1，这会使整个 COMPx_CSR 寄存器变为只读，包括 LOCK 位本身，只能通过 MCU 复位来清除。（详情请参考 COMPx_CSR 寄存器中的 LOCK 配置。）

10.4.7 迟滞电压

为避免信号有噪声时产生无效输入，比较器支持可配置的迟滞电平（详情请参考 COMPx_CSR 寄存器中的 HYST 配置）。

图 10-2 比较器迟滞



10.5 寄存器

10.5.1 寄存器概览

表 10-1 COMP 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x0	COMPx_CSR (x=1)	COMP x (x=1) 控制状态寄存器	0x00000000
0x18	COMP_CRV	COMP 比较器基准电压寄存器	0x00000000
0x1C	COMPx_POLL (x=1)	COMP x (x=1, 2) 轮询寄存器	0x00000000

10.5.2 COMP 控制和状态寄存器 (COMPx_CSR) (x=1)

地址偏移: 0x0
复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	OUT	OUT_ANA_SEL									OFLT			HYST	
rw	r	rw									rw			rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POL	Res.	OUT_SEL				Res.	INP_SEL		INM_SEL			Res.			EN
rw		rw					rw		rw						rw

位	字段	描述
31	LOCK	比较器寄存器锁定 该位只能写一次，由软件置位，可由系统复位清除。一旦置位，比较器 x 的所有控制位均变为只读。 1: COMPx_CSR 为只读 0: COMPx_CSR 可读写

位	字段	描述
30	OUT	比较器 x 输出 该位指示比较器 x 的输出状态。 1: 输出为高 (正输入电压大于负输入电压) 0: 输出为低 (正输入电压小于负输入电压)
29	OUT_ANA_SEL	比较器 x 输出源选择 1: 选择模拟输出信号 0: 选择已同步的模拟输出信号 注: 当 COMP 需要在低功耗模式下产生中断唤醒 CPU 时, 可将 OUT_ANA_SEL 置 1。
28: 21	保留	读出始终为 0
20: 18	OFLT	比较器 x 输出滤波周期 这些位控制比较器 x 的输出滤波周期。当比较器输出信号短于滤波周期宽度时, 视为无效并被滤除, 否则视为有效。n 表示由 COMPx_POLL->PERIOD 配置的轮询等待周期数。 111: 128 * n 个时钟周期 110: 64 * n 个时钟周期 101: 32 * n 个时钟周期 100: 16 * n 个时钟周期 011: 8 * n 个时钟周期 010: 4 * n 个时钟周期 001: 2 * n 个时钟周期 000: 不滤波
17: 16	HYST	比较器 x 迟滞 这些位控制比较器 x 的迟滞电平。 11: 85mV 10: 45mV 01: 22mV 00: 0mV
15	POL	比较器 x 输出极性 该位用于选择比较器 x 的输出极性。 1: 输出相对于端子取反 0: 输出相对于端子不取反
14	保留	读出始终为 0。
13: 10	OUT_SEL	比较器 x 输出选择 这些位选择比较器 x 输出的目标。 0001: 定时器 3 输入捕获 2 0010: 定时器 1 刹车输入 0110: 定时器 1 Ocrefclear 输入 1010: 定时器 3 输入捕获 1 1011: 定时器 3 Ocrefclear 输入 其他: 不选择
9	保留	读出始终为 0。
8: 7	INP_SEL	比较器 x 正输入选择 这些位用于选择连接到比较器 x 正输入端的信号源。 00: COMP1_INP0(PB3), 对应正输入通道 0; 01: COMP1_INP1(PB4), 对应正输入通道 1; 10: COMP1_INP2(PB5), 对应正输入通道 2; 11: COMP1_INP3(PA1), 对应正输入通道 3;
6: 4	INM_SEL	比较器 x 负输入选择 这些位用于选择连接到比较器 x 负输入端的信号源。 000: COMP1_INM0 (PA3), 对应负输入通道 0; 001: COMP1_INM1 (PB2), 对应负输入通道 1; 010: COMP1_INM2 (PA4), 对应负输入通道 2; 011: COMP1_INM3 (PA12), 对应负输入通道 3; 100: COMP1_INM4 (CRV), 对应负输入通道 4; 其他: 不选择
3: 1	保留	读出始终为 0。

位	字段	描述
0	EN	比较器 x 使能 该位用于开启/关闭比较器。 1: 使能比较器 x 0: 禁止比较器 x

10.5.3 COMP 比较器基准电压寄存器 (COMP_CRV)

地址偏移: 0x18

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRV_EN	Res.		CRV_SRC	Res.				CRV_SEL							
rw			rw					rw							

位	字段	描述
31: 16	保留	读出始终为 0
15	CRV_EN	比较器基准电压使能 1: 使能 COMP 外部基准电压 (CRV) 0: 禁止 COMP 外部基准电压 (CRV)
14: 13	保留	读出始终为 0
12	CRV_SRC	比较器基准电压源选择 0: V _{REFINT} (内部电压) 1: VDDA (外部电压) 注: 若要选择内部电压作为 CRV 源, 必须事先通过设置 SYSCFG_SENSORCR 寄存器中的 VS_EN 位使能内部电压传感器。
11: 8	保留	读出始终为 0
7: 0	CRV_SEL	比较器基准电压选择 $V_{CRV} = VDDA * (CRV_SEL / 256)$ 或 $V_{REFINT} * (CRV_SEL / 256)$

10.5.4 COMP 轮询寄存器 (COMPx_POLL) (x=1)

地址偏移: 0x1C

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.					POUT			Res.	PERIOD			Res.	FIXN	POLL_	POLL_
					r				rw				rw	rw	rw

位	字段	描述
31: 11	保留	读出始终为 0
10: 8	POUT	轮询输出 该位为只读, 反映轮询通道的输出状态。POUT[0] 对应通道 1, POUT[1] 对应通道 2, POUT[2] 对应通道 3。 1: 输出为高 (正输入高于负输入) 0: 输出为低 (正输入低于负输入)
7	保留	读出始终为 0

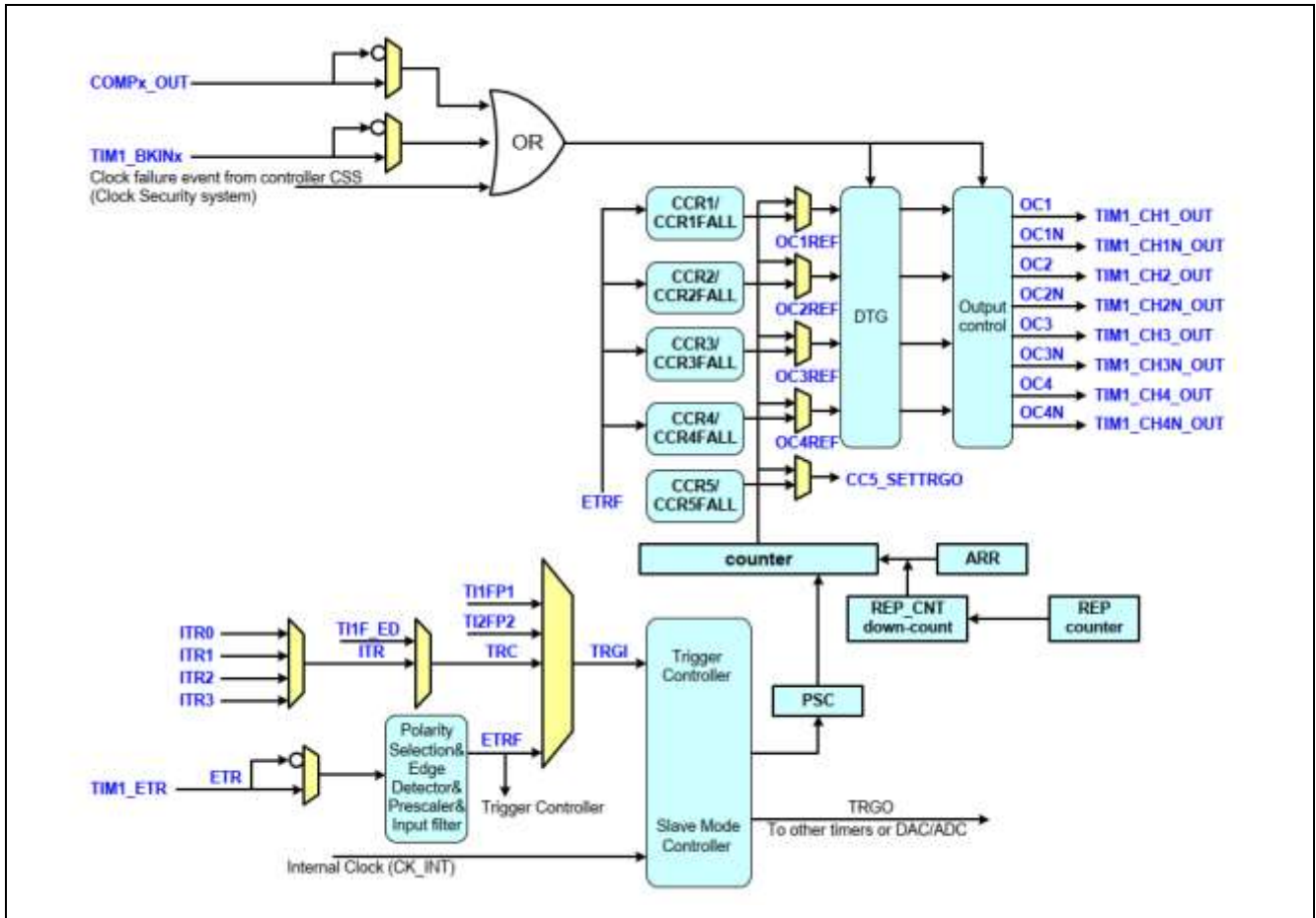
位	字段	描述
6: 4	PERIOD	轮询等待周期：每 n 个 PCLK1 周期切换到下一个轮询通道。 PERIOD: n 个时钟周期 111: 128 个时钟周期 110: 64 个时钟周期 101: 32 个时钟周期 100: 16 个时钟周期 011: 8 个时钟周期 010: 4 个时钟周期 001: 2 个时钟周期 000: 1 个时钟周期
3	保留	读出始终为 0
2	FIXN	轮询负输入固定 1: 轮询通道的负输入固定，由 CSR 寄存器中的 INM_SEL 决定。 当 FIXN 为 1 时，INP_SEL 无效。 0: 轮询通道的负输入不固定，随 INP 通道同步变化。 当 FIXN 为 0 时，INM_SEL 和 INP_SEL 均无效。
1	POLL_CH	比较器轮询通道 1: 轮询通道 1/2/3 0: 轮询通道 1/2
0	POLL_EN	比较器轮询使能 1: 使能比较器轮询。 0: 禁止比较器轮询。

11 TIM1 高级控制定时器

11.1 简介

TIM1 由一个 16 位实时可编程预分频器和一个计数方向可编程的 16 位自动预装载计数器组成，可以方便地提供计数和定时功能。计数器由可编程预分频器驱动。高级定时器可用于多种用途，提供 PWM 输出、带可编程死区的互补输出和单脉冲模式输出等功能。

图 11-1 高级控制定时器框图



11.2 主要特性

TIM1 定时器的特性包括：

- 16 位实时可编程预分频器，分频系数：1-65536。
- 时钟源：内部时钟源、内部触发输入（ITRx）。
- 16 位自动预装载计数器（计数方向：递增、递减、递增/递减）。
- 8 位可编程重复计数功能，重复计数器可自动重载（在更新事件时自动重载）。
- 同步电路，可用外部信号控制定时器，并将多个定时器互连。
- 触发输入可用作外部时钟或逐周期管理。
- 5 个比较通道（通道 1~4 支持输出，通道 5 仅提供中断和内部触发信号）。
- 4 个具有互补输出功能的输出通道。
- 比较输出（控制输出波形或指示计数器已完成定时）。
- PWM 输出（死区可编程）（边沿对齐或中央对齐模式）。
- 刹车输入可使定时器输出信号进入安全状态（复位状态或预设状态，由用户选择）。
- 单脉冲模式。
- 中断请求事件：更新事件、触发事件、输入捕获、比较输出或刹车输入。
- 通道 1~4 的输出值可以通过软件设置。

11.3 功能描述

11.3.1 时钟

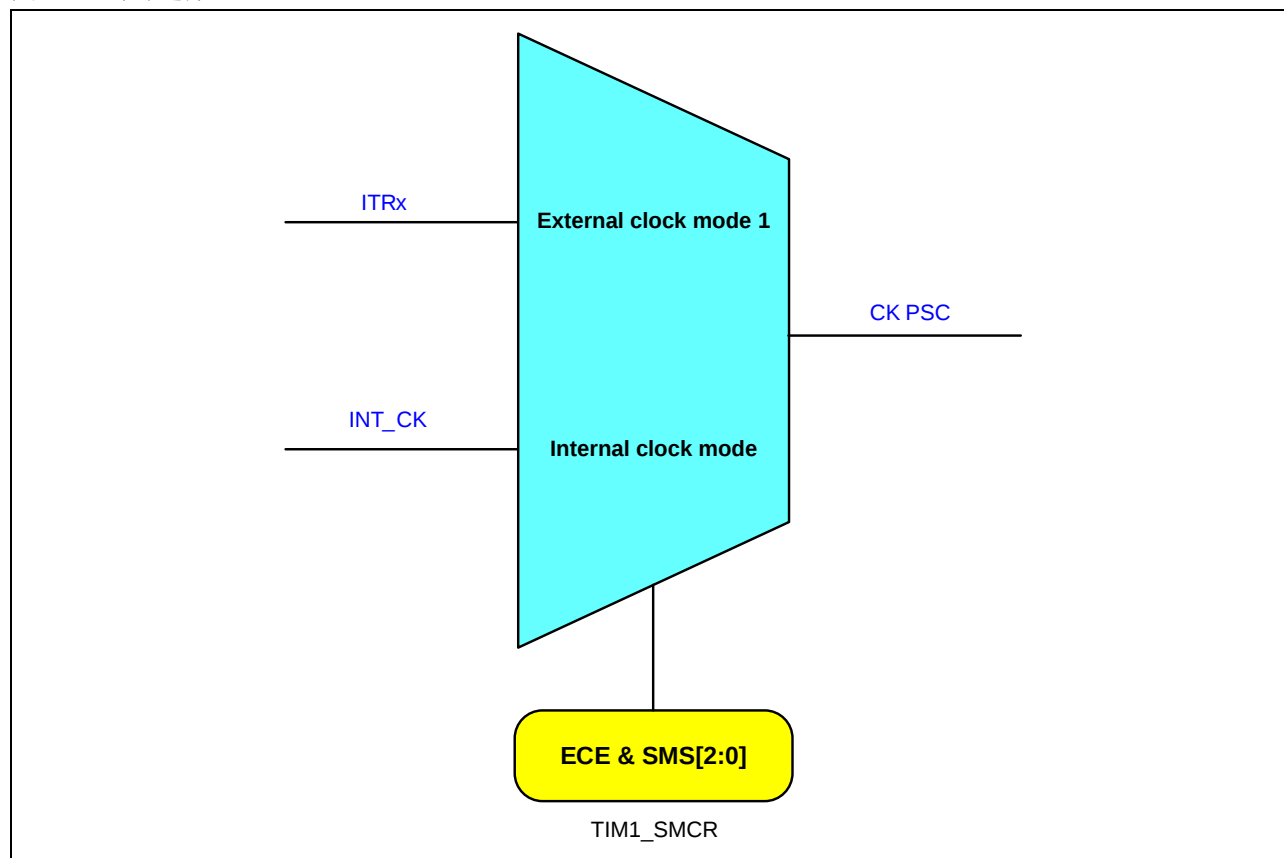
11.3.1.1 时钟选择

计数器有下列几种时钟源：

- 内部时钟（INT_CK）
- 外部时钟模式 1：外部触发输入 TRGI（包括 ITRx）

上述几种时钟选择的示意图：

图 11-2 时钟选择



11.3.1.1.1 内部时钟源（INT_CK）

当 TIM1_SMCR 寄存器的 SMS=000 时，禁止从模式。使能计数器后，预分频器时钟由内部时钟驱动。此时计数器时钟是由内部时钟经分频得到的时钟。

11.3.1.1.2 外部时钟模式 1（外部触发输入 TRGI，包括 ITRx）

当 TIM1_SMCR 寄存器的 SMS = 111 时，选择外部时钟模式 1（TRGI）。计数器由所选输入信号的上升沿或下降沿驱动。

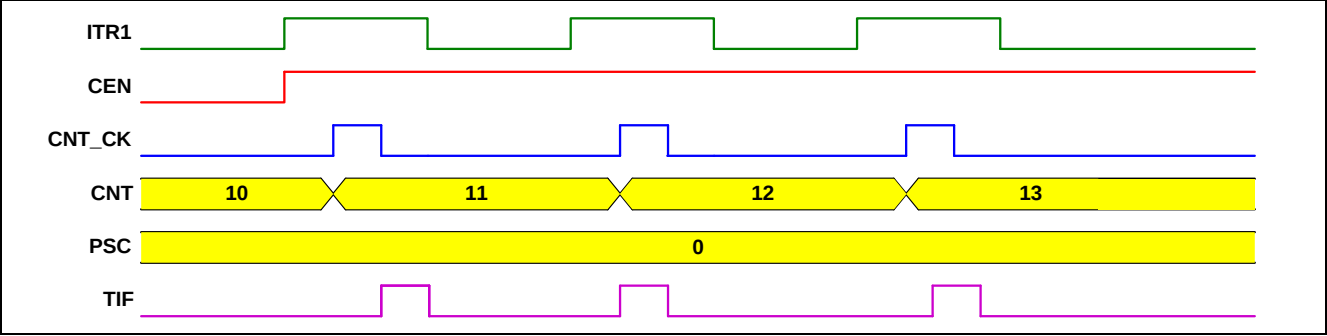
例如：在 TI1 输入的上升沿递增计数。具体配置：

1. 配置 TIM1_SMCR 寄存器 TS=001，选择 ITR1 作为触发输入源；配置 TIM1_SMCR 寄存器 SMS=111，选择外部时钟模式 1。

2. 配置 TIM1_CR1 寄存器 DIR=0，选择递增计数模式；配置 TIM1_CR1 寄存器 CEN=1，启动计数器。

ITR1 输入有效边沿时，递增计数一次，TIF 标志由硬件置 1。ITR1 有效边沿与计数器实际时钟之间的延时取决于 ITR1 输入引脚的同步电路。

图 11-3 外部时钟模式 1 下的控制电路



11.3.1.2 时基单元

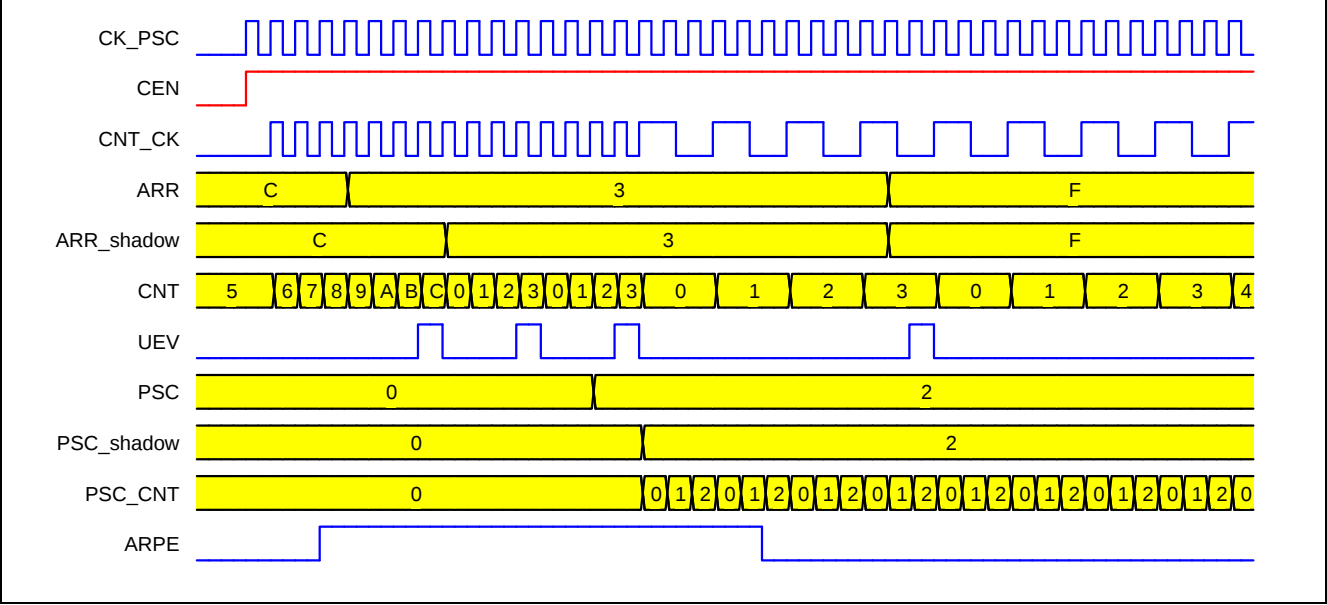
TIM1 时基单元主要包括：计数器寄存器（TIM1_CNT）、预分频器寄存器（TIM1_PSC）、自动预装载寄存器（TIM1_ARR）和重复计数器寄存器（TIM1_RCR）。

计数器单元由一个 16 位计数器及其相关的自动预装载寄存器组成，计数器可以递增计数、递减计数或递增/递减计数。

计数器时钟由预分频器提供。预分频器由预分频计数器及其相关寄存器组成，分频系数为 1-65536。它可以随时写入，并在下一次更新时生效。

自动预装载寄存器带有一个具有预装载功能的 16 位影子寄存器。设置 TIM1_CR1 寄存器的 ARPE 位，可以选择 ARR 寄存器的内容是持续传送到影子寄存器，还是在每次更新事件时传送。

图 11-4 自动预装载



11.3.1.3 计数器模式

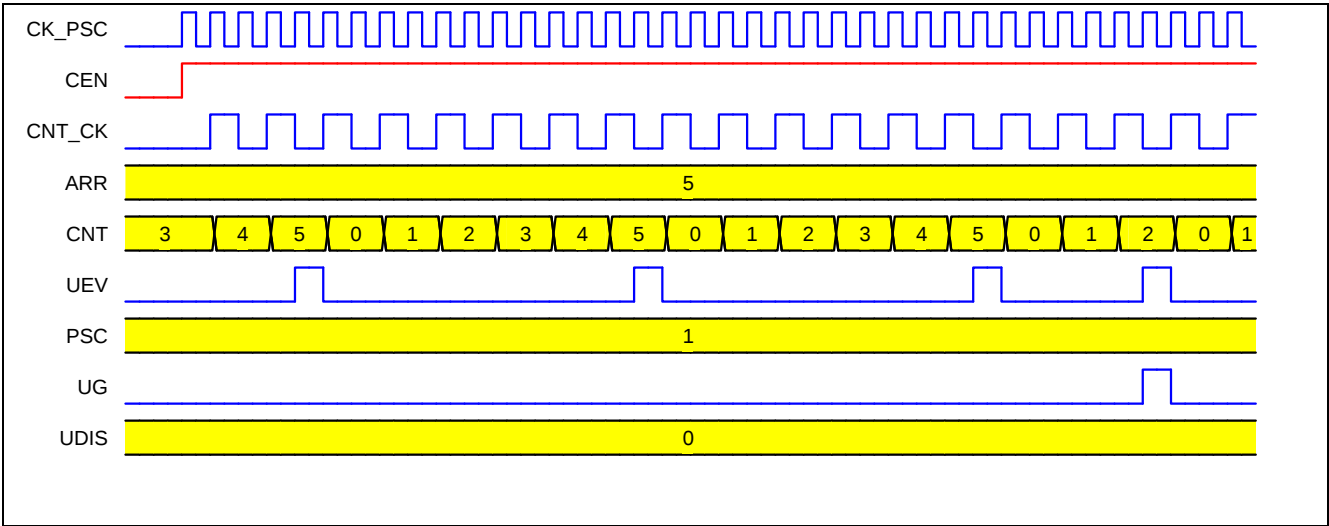
配置 TIM1_CR1 寄存器的 DIR 位和 CMS 位来选择计数模式。共有三种计数模式：递增计数模式、递减计数模式和中央对齐模式（递增/递减计数模式）。下面分别对各计数模式进行详细描述。

11.3.1.3.1 递增计数模式

配置 TIM1_CR1 寄存器 CMS=0、DIR=0，选择递增计数模式。

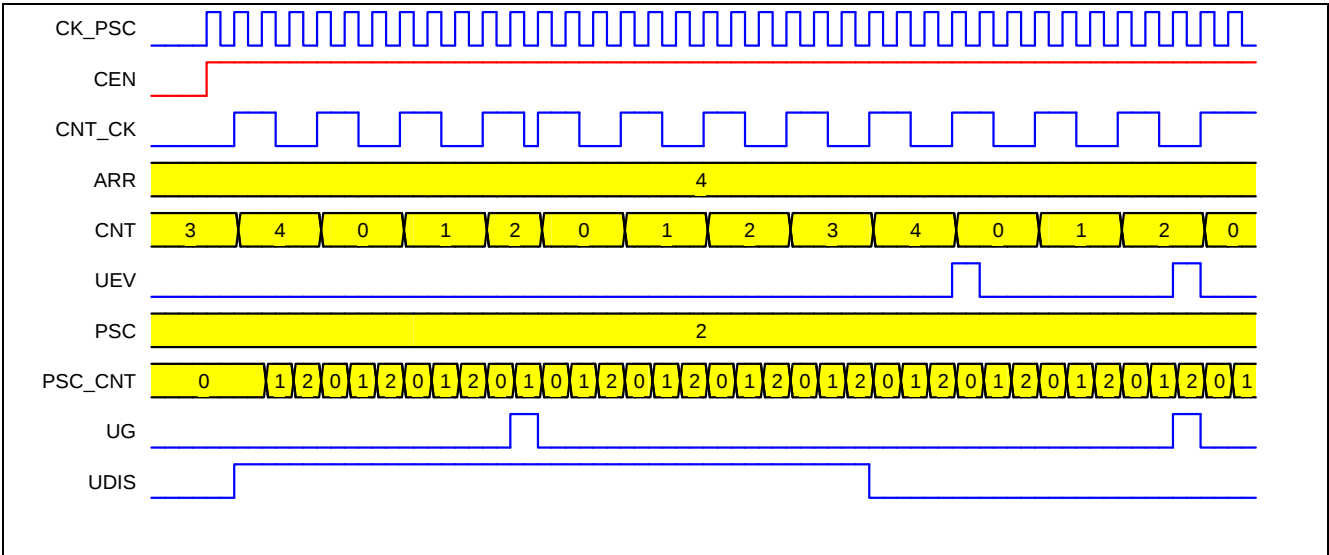
在递增计数模式下，使能 TIM1_CR1 寄存器的 CEN，计数器从 0 开始递增计数到 TIM1_ARR 的值，并产生一个计数器溢出事件（更新），然后计数器再次从 0 开始递增计数。当用户使能重复计数功能时，重复计数器在每次溢出事件时递减计数；当重复计数器从设定值递减到 0 时，产生一个更新事件。将 TIM1_EGR 寄存器的 UG 置 1，同样会产生更新事件。

图 11-5 递增计数模式（UDIS=0）



配置 TIM1_CR1 寄存器 UDIS=1，禁止更新事件。发生计数器溢出事件时不产生更新事件；配置 UG=1 也不产生更新事件，但计数器和预分频计数器会初始化，并从 0 开始递增计数。

图 11-6 递增计数模式（UDIS=1，禁止更新事件）



注：发生更新事件时：

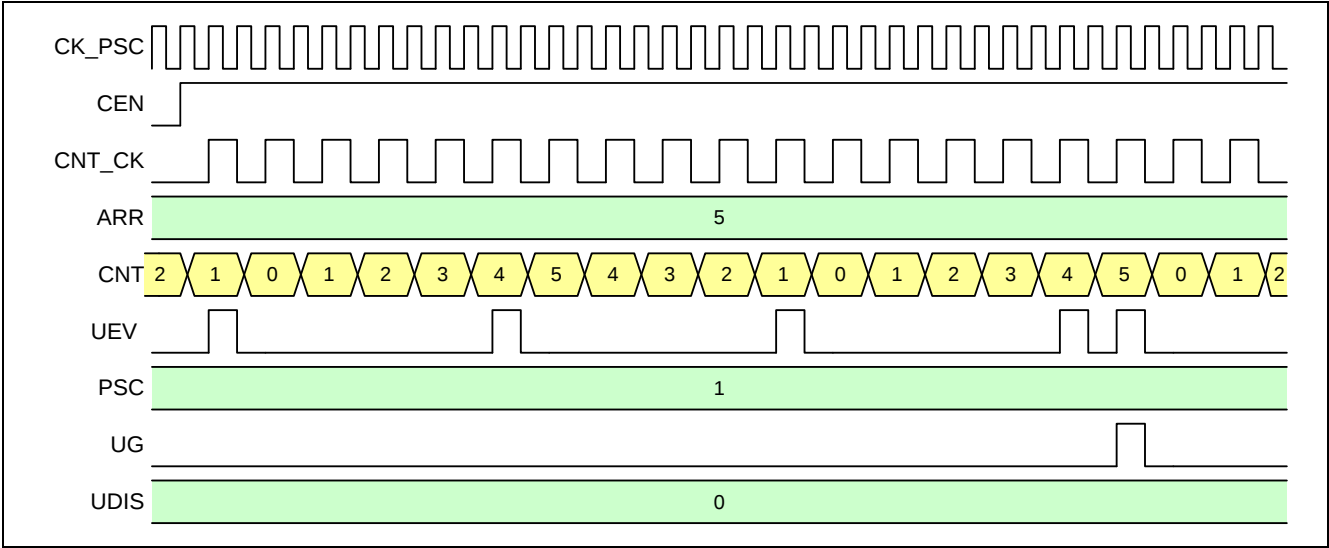
- 重复计数器装载 RCR 寄存器的值，并重新递减计数。
- ARR 寄存器的值装载到 ARR 影子寄存器。
- 预分频器的预装载值生效。

11.3.1.3.2 递减计数模式

配置 TIM1_CR1 寄存器 CMS=0、DIR=1，选择递减计数模式。

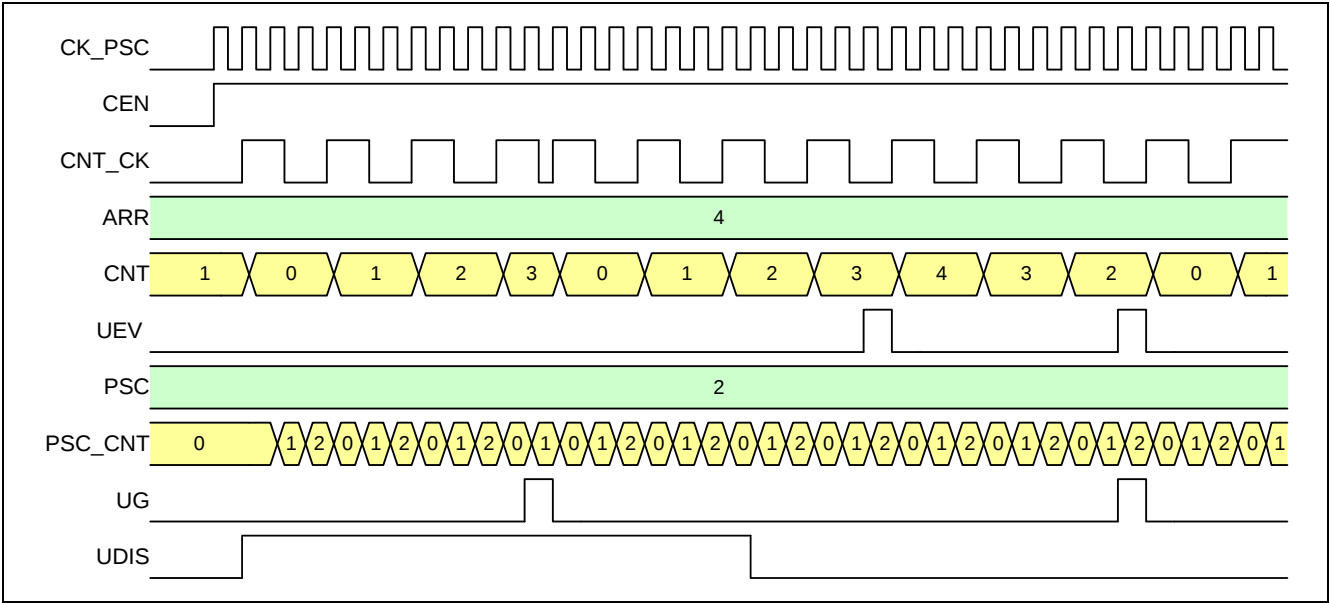
在递减计数模式下，计数器从自动预装载值 TIM1_ARR 开始递减计数，计数到 0 时产生下溢事件（更新事件）。当用户使能重复计数功能时，重复计数器在每次下溢事件时递减计数；当重复计数器从设定值递减到 0 时，产生更新事件。将 TIM1_EGR 寄存器的 UG 置 1，同样会产生更新事件。更新事件之后，从自动装载值 TIM1_ARR 开始递减计数（TIM1_CR1 寄存器 UDIS=0）。

图 11-9 中央对齐计数模式（UDIS=0）



配置 TIM1_CR1 寄存器 UDIS=1 时，禁止更新事件。计数器产生溢出或下溢事件时不产生更新事件；配置 UG=1 也不产生更新事件，但计数器和预分频计数器会初始化，并从 0 开始计数。

图 11-10 中央对齐计数模式（UDIS=1 禁止更新事件）



11.3.2 重复计数器

重复计数器可以调整更新事件的频率。在边沿对齐模式下递增计数时，重复计数器在计数器每次溢出时递减计数；递减计数时，重复计数器在计数器每次下溢时递减计数。在中央对齐模式下，重复计数器在计数器溢出和下溢时都递减计数。配置 TIM1_RCR 寄存器的 REP 可调整更新事件的频率，重复计数器在 REP+1 个计数周期后产生更新事件。在中央对齐模式下，写入的 REP 值决定更新事件是在溢出时还是在下溢时产生。

发生更新事件时，REP 的值将更新到实时重复计数器 REP_CNT。允许实时写入 REP_CNT 可以灵活调整更新事件的发生时刻。

图 11-11 中央对齐模式下的重复计数时序

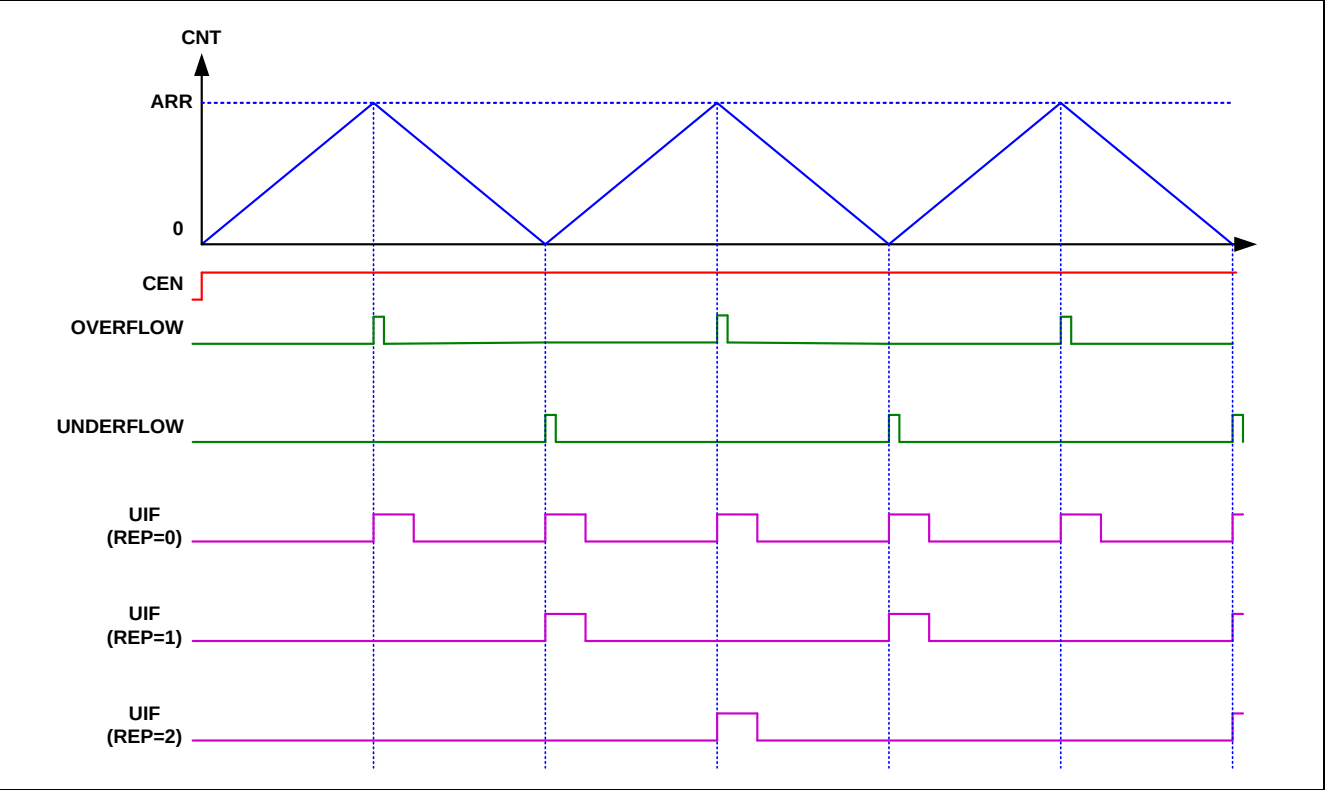


图 11-12 边沿对齐模式下的递增计数时序

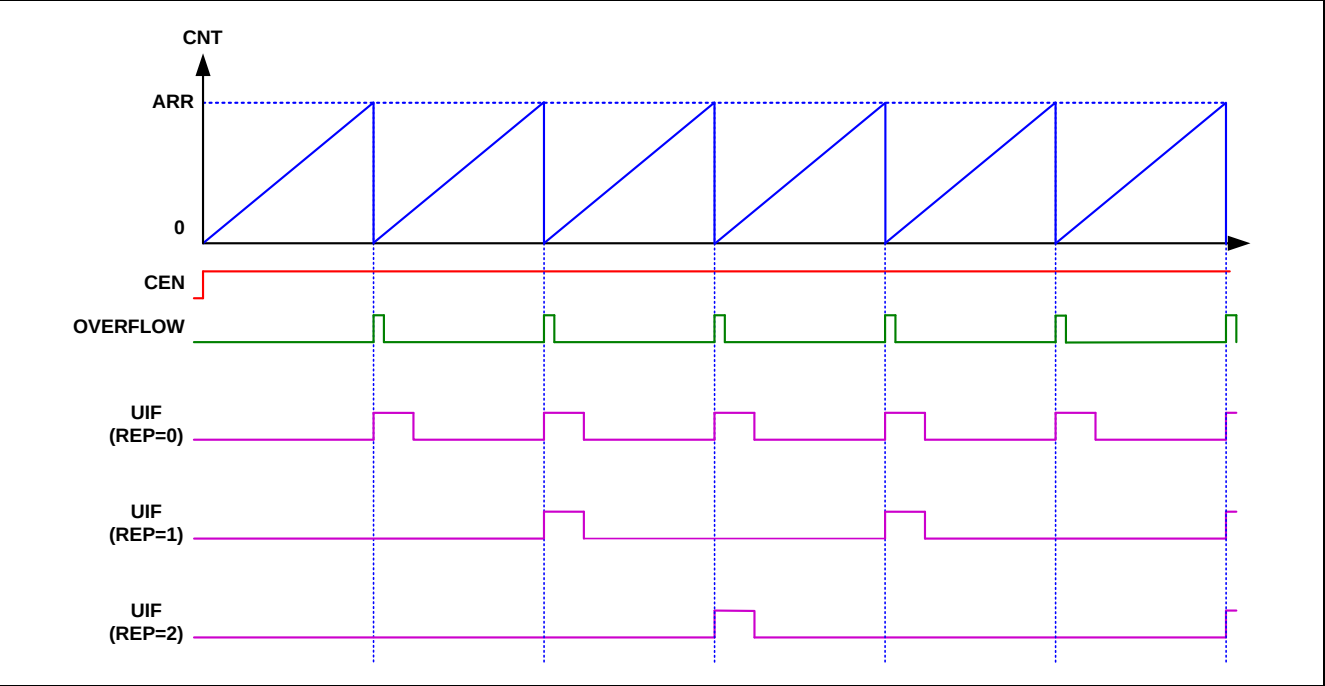
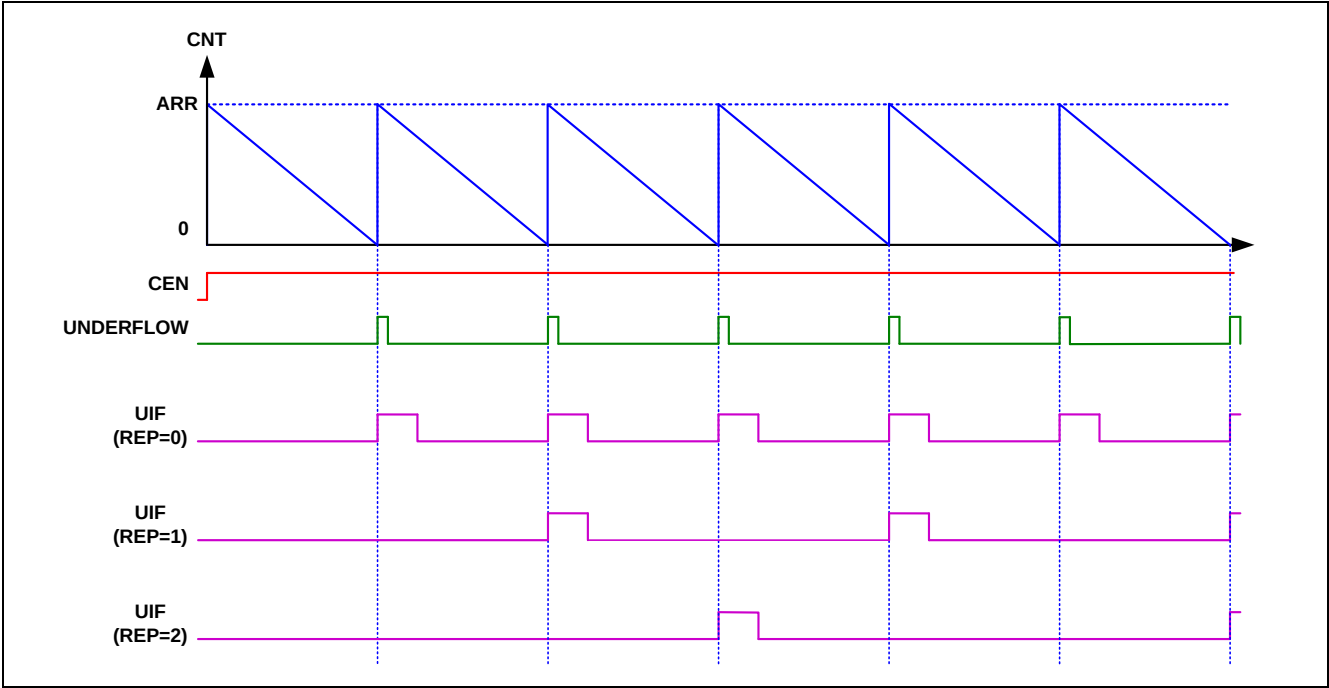


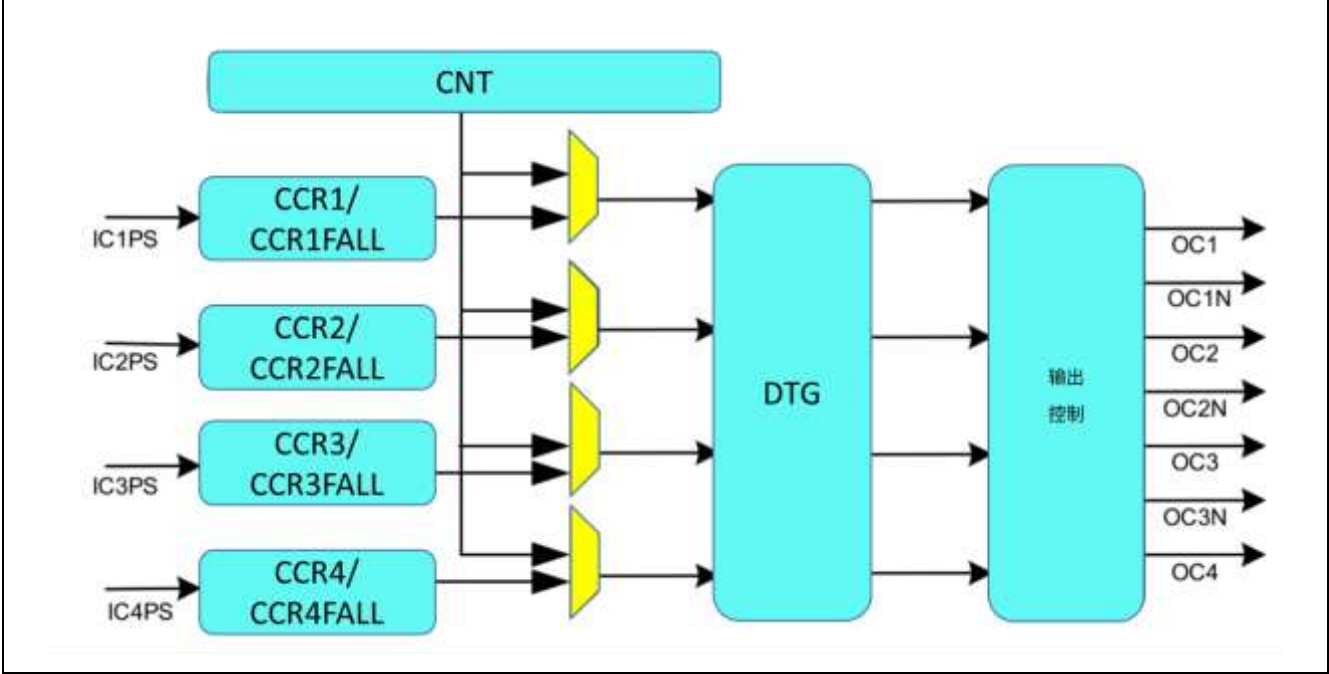
图 11-13 边沿对齐模式下的递减计数时序



11.3.3 比较输出

捕获/比较通道的比较输出由比较器、输出控制电路和捕获/比较寄存器组成，其结构如下：

图 11-14 比较输出框图



在比较输出模式下，比较寄存器的内容被装载到影子寄存器中，然后将影子寄存器的内容与计数器当前值进行比较。比较模块包括一个比较寄存器（预装载寄存器）和一个影子寄存器，读写过程仅操作比较寄存器。

11.3.3.1 强制输出

配置 TIM1_CCMRx 寄存器 CCxS = 00，将通道 CCx 设置为输出模式。通过配置 TIM1_CCMRx 寄存器的 OCxM 位，可以直接将比较输出信号强制为有效或无效电平，不依赖于比较结果。配置 TIM1_CCMRx 寄存器 OCxM = 100，强制比较输出信号为无效电平，此时 OCxREF 被强制为低电平。配置 TIM1_CCMRx 寄存器

OCxM = 101, 强制比较输出信号为有效电平, 此时 OCxREF 被强制为高电平 (OCxREF 始终为高电平有效)。

注: 强制输出模式下, TIM1_CCRx 影子寄存器与计数器之间的比较输出仍在进行, 比较结果的相应标志位也会被修改; 如果开启了对应的中断, 仍会产生对应的中断。

11.3.3.2 比较输出

在比较输出模式下, 当计数器与捕获比较寄存器的值匹配时, 可以根据 TIM1_CCMRx 寄存器的 OCxM 位输出不同的波形。

例如, 当计数器与捕获/比较寄存器的值匹配时, 比较输出模式下的功能如下:

1. 比较匹配时, OCxM 的值不同, 输出通道 x 信号 OCx 的动作不同:
 - OCxM = 000: OCx 信号保持其电平。
 - OCxM = 001: OCx 信号被设置为有效电平。
 - OCxM = 010: OCx 信号被设置为无效电平。
 - OCxM = 011: OCx 信号翻转。
2. 匹配时, 状态寄存器中的标志位置 1 (TIM1_SR 寄存器中的 CCxIF 位)。
3. 配置 TIM1_DIER 寄存器 CCxIE = 1, 匹配时产生一个中断。

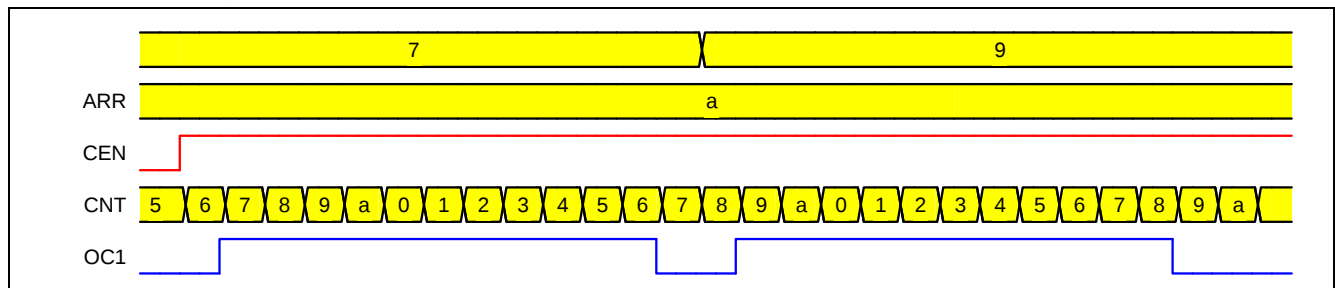
比较输出模式也可以用来输出单脉冲 (单脉冲模式)。

通道 1 比较输出模式的配置步骤:

1. 配置计数器时钟 (选择时钟源, 配置预分频系数)。
2. 配置 TIM1_ARR 和 TIM1_CCR1 寄存器。
3. 配置 TIM1_DIER 寄存器 CC1IE = 1, 使能比较 1 中断。
4. 配置输出模式:
 - 配置 TIM1_CCMR1 寄存器 OC1M = 011, OC1 比较匹配时翻转。
 - 配置 TIM1_CCMR1 寄存器 OC1PE = 0, 禁止 TIM1_CCR1 寄存器的预装载功能。
 - 配置 TIM1_CCER 寄存器 CC1P = 1, OC1 为低电平有效极性。
 - 配置 TIM1_CCER 寄存器 CC1E = 1, 使能通道 1 输出, OC1 信号被输出到对应的输出引脚。
5. 配置 TIM1_CR1 寄存器 CEN = 1, 使能计数器。

配置 TIM1_CCMRx 寄存器 OCxPE=0, 禁止 TIM1_CCRx 寄存器的预装载功能, 此时可随时写 TIM1_CCRx 寄存器, 写入值立即更新。配置 TIM1_CCMRx 寄存器 OCxPE=1, 使能 TIM1_CCRx 寄存器的预装载功能, 仅在下次更新事件时更新。下图为示例。

图 11-15 比较输出模式, 匹配时 OC1 信号翻转



注: 在比较输出模式下, 更新事件对输出结果没有影响。在强制输出模式下, TIM1_CCRx 影子寄存器与计数器之间的比较输出仍在进行, 比较结果的相应标志位也会被修改; 如果开启了对应的中断, 仍会产生对应的中断。

11.3.3.3 PWM 输出

在 PWM 模式下, 根据 TIM1_ARR 寄存器和 TIM1_CCRx 寄存器的值, 产生频率和占空比可控的 PWM 波形。

配置通道 x 对应的 TIM1_CCMRx 寄存器 OCxM=110 或 OCxM=111, 将通道 x 选择为 PWM 模式 1 或 PWM 模式 2。在 PWM 模式下, 计数器始终与 CCRx 比较, 根据配置和比较结果, 通道 x 输出不同的信号。因此, TIM1 可以产生 4 路同频率、占空比独立的 PWM 输出信号。在 PWM 模式下, 需使能 TIM1_CCRx 和 TIM1_ARR 的预装载功能, 写入 TIM1_CCRx 预装载寄存器和 TIM1_ARR 预装载寄存器的值将在下次更新事件时生效, 并装载到相应的影子寄存器。因此在 PWM 模式下, 使能计数器之前, 必须设置 TIM1_EGR 的 UG=1, 产生更新事件以初始化所有寄存器。

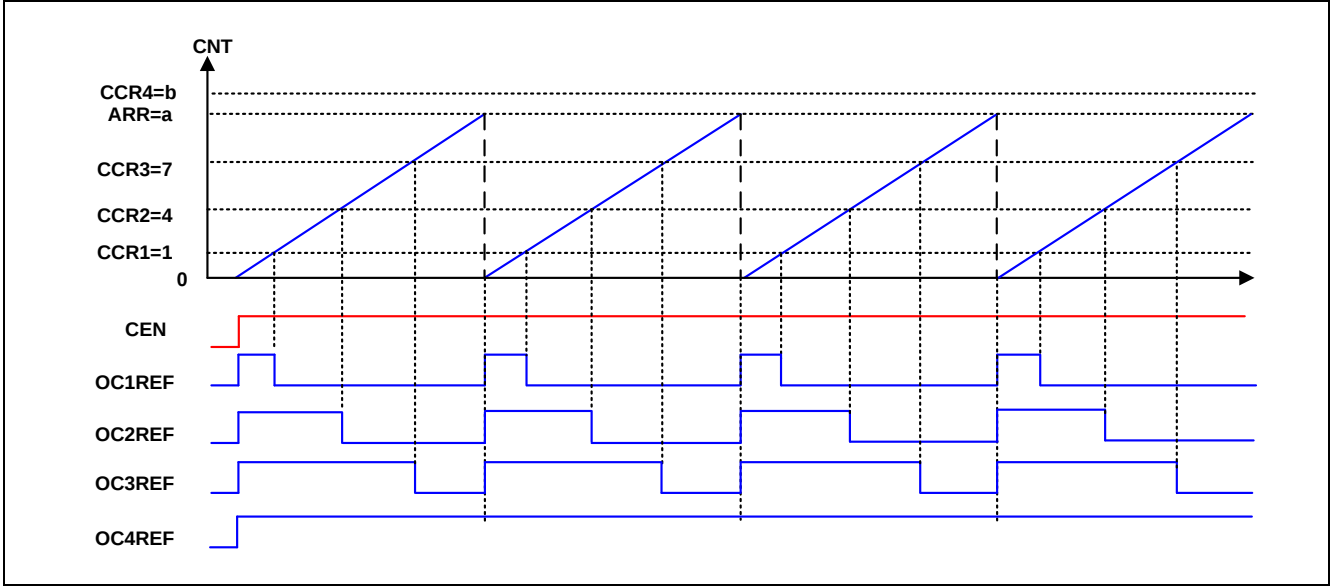
配置 TIM1_CCER 寄存器的 CCxP, 选择 OCx 的有效极性。配置 TIM1_CCER 寄存器的 CCxE、CCxNE 位以及 TIM1_BDTR 寄存器的 MOE、OSSI、OSSR 位, 控制 OCx 的输出使能。配置 TIM1_CR1 寄存器的 CMS 位, 选择边沿对齐或中央对齐 PWM 信号。

- CMS=00, 边沿对齐模式, 配置 DIR 选择计数模式 (递增或递减)。
- CMS=01, 中央对齐模式 1。
- CMS=10, 中央对齐模式 2。
- CMS=11, 中央对齐模式 3。

11.3.3.3.1 PWM 边沿对齐模式 - 递增计数模式

在递增计数模式配置的基础上，配置 TIM1_CCMRx 寄存器 CCxS=00，选择输出模式，OCxM=110，选择 PWM 模式 1。当 TIM1_CNT < TIM1_CCRx 时，通道 x（OCxREF）为有效电平，否则为无效电平。如果 TIM1_CCRx 的比较值大于自动预装载值（TIM1_ARR），OCxREF 保持有效电平；当比较值为 0 时，OCxREF 为无效电平。下图为 CCR1=1、CCR2=4、CCR3=7、CCR4=b 和 ARR=a 时，边沿对齐递增计数下 PWM 模式 1 的波形示例。

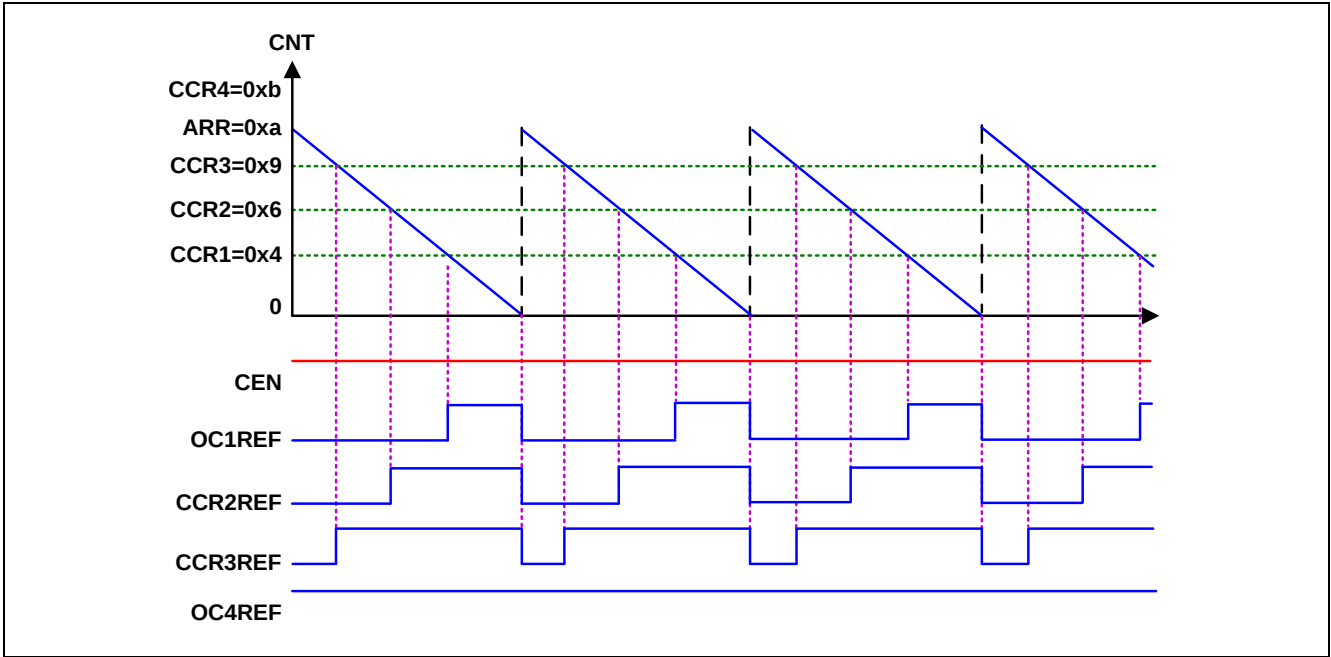
图 11-16 边沿对齐递增计数下 PWM 模式 1 的波形



11.3.3.3.2 PWM 边沿对齐模式 - 递减计数模式

在递减计数模式配置的基础上，配置 TIM1_CCMRx 寄存器 CCxS=00，选择输出模式，OCxM=110，选择 PWM 模式 1。当 TIM1_CNT > TIM1_CCRx 时，通道 x（OCxREF）为无效电平，否则为有效电平。下图为 CCR1=4、CCR2=6、CCR3=9、CCR4=b 和 ARR=a 时，边沿对齐递减计数下 PWM 模式 1 的波形示例。

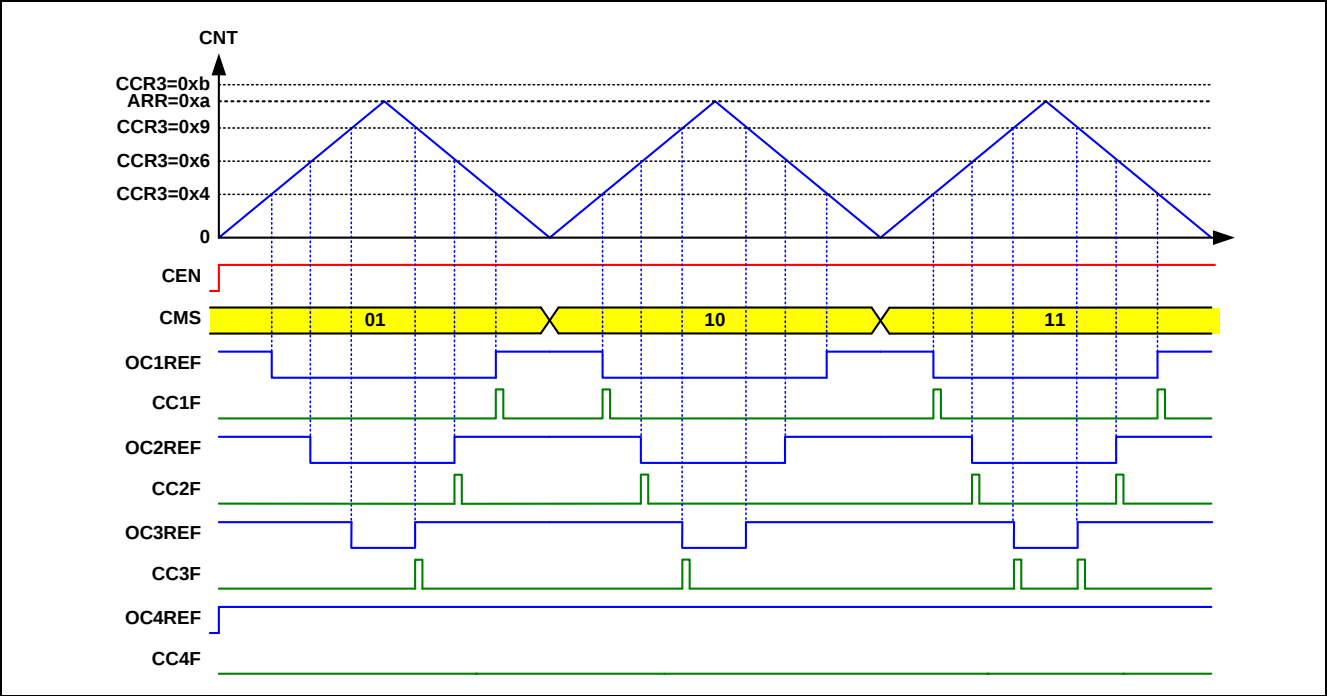
图 11-17 边沿对齐递减计数下 PWM 模式 1 的波形



11.3.3.3.3 PWM 中央对齐模式

将 TIM1 计数器配置为中央对齐计数模式。配置 TIM1_CCMRx 寄存器 CCxS=00，选择输出模式。根据 CMS 的不同配置，比较输出中断标志位在递增计数时置位（CMS =01）、在递减计数时置位（CMS =10），或在递增和递减计数时都置位（CMS =11）。下图为 CCR1=4、CCR2=6、CCR3=9、CCR4=b、ARR=a 时，中央对齐 PWM 模式 1（CMS =1）的波形示例。

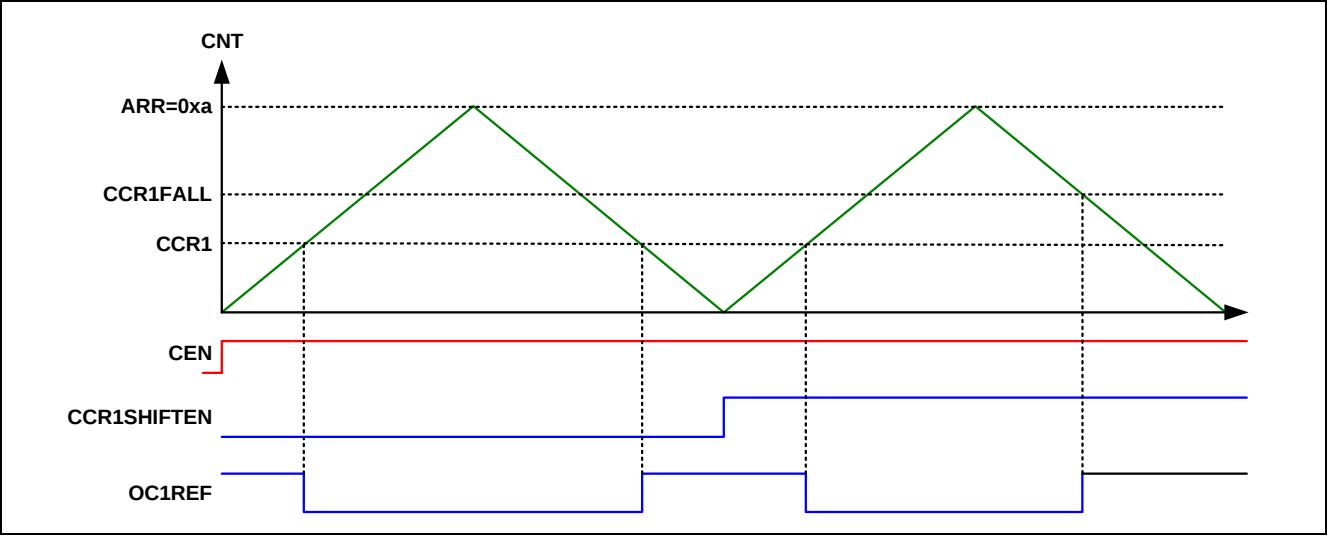
图 11-18 中央对齐 PWM 模式 1 的波形



11.3.3.3.4 PWM 中央对齐模式下的移相功能

配置 PDER（通道 x 输出 PWM 移相使能位）和 CCRxFALL 寄存器（PWM 中央对齐递减计数模式下通道 x 的捕获/比较值），设置通道输出 PWM 的移相功能。配置 CCRxFALL 和 CCRx，PWM 可输出可编程移相的波形，并可以左移或右移。

图 11-19 移相功能



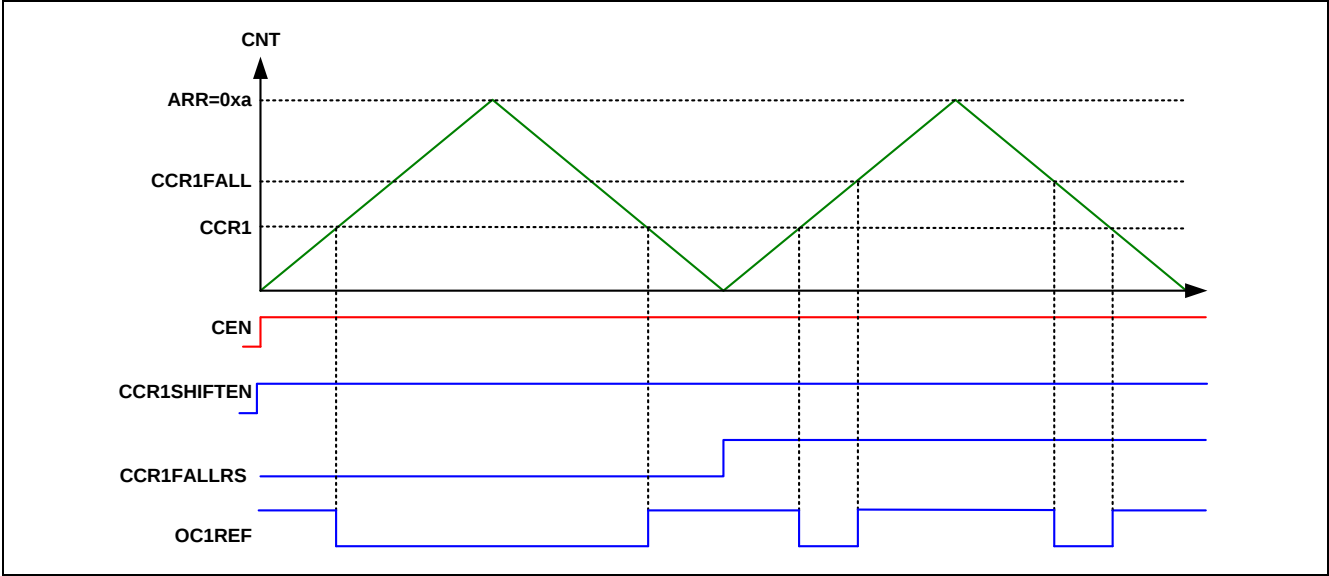
注：

- 在中央对齐模式下，使用当前的递增/递减计数配置，计数方向取决于当前的 DIR 值。
- 在中央对齐模式下，最好不要更改计数器的值，否则可能产生意外结果。当计数器处于递增计数时，若写入的计数值 > TIMx_ARR，计数器将继续递增计数；写入 0 或 ARR 会立即更新计数方向，但不会产生更新事件。

● 在中央对齐模式下，使能计数器之前，应配置 TIMx_EGR 寄存器 UG =1，产生一次软件更新，更新所有寄存器；使能计数器之后不要更改计数器的值。

在移相模式下，可以将 PDER 寄存器的 CCRxFALLRS 位配置为有效，使 CCRxFALL 能够在递增计数阶段触发 OCxREF 翻转。

图 11-20 移相模式下 CCRxFALL 递增计数的触发



- 如图 11-20 所示，在移相模式下，当 CCRxFALLRS 有效时，OCxREF 在递增计数和递减计数阶段都可以被触发。
- 执行翻转（即当 CNT 值介于 CCRx 与 CCRxFALL 之间时，OCxREF 可根据模式输出低电平或高电平）。
- 注意：与仅在递减计数阶段触发的 CCRxFALL 不同，使能 CCRxFALLRS 时，必须将 CCRxFALL 的值设置为大于 CCRx 的值，否则 OCxREF 不会翻转，而是保持先前的电平。
- 通过配置和调整四组 CCRx 与 CCRxFALL 寄存器的值（并在换相更新事件时更新这些值），该功能可以产生四路互补输出，从而支持具有 180° 相位关系的波形。

如下图 11-21 和 图 11-22 所示：

图 11-21

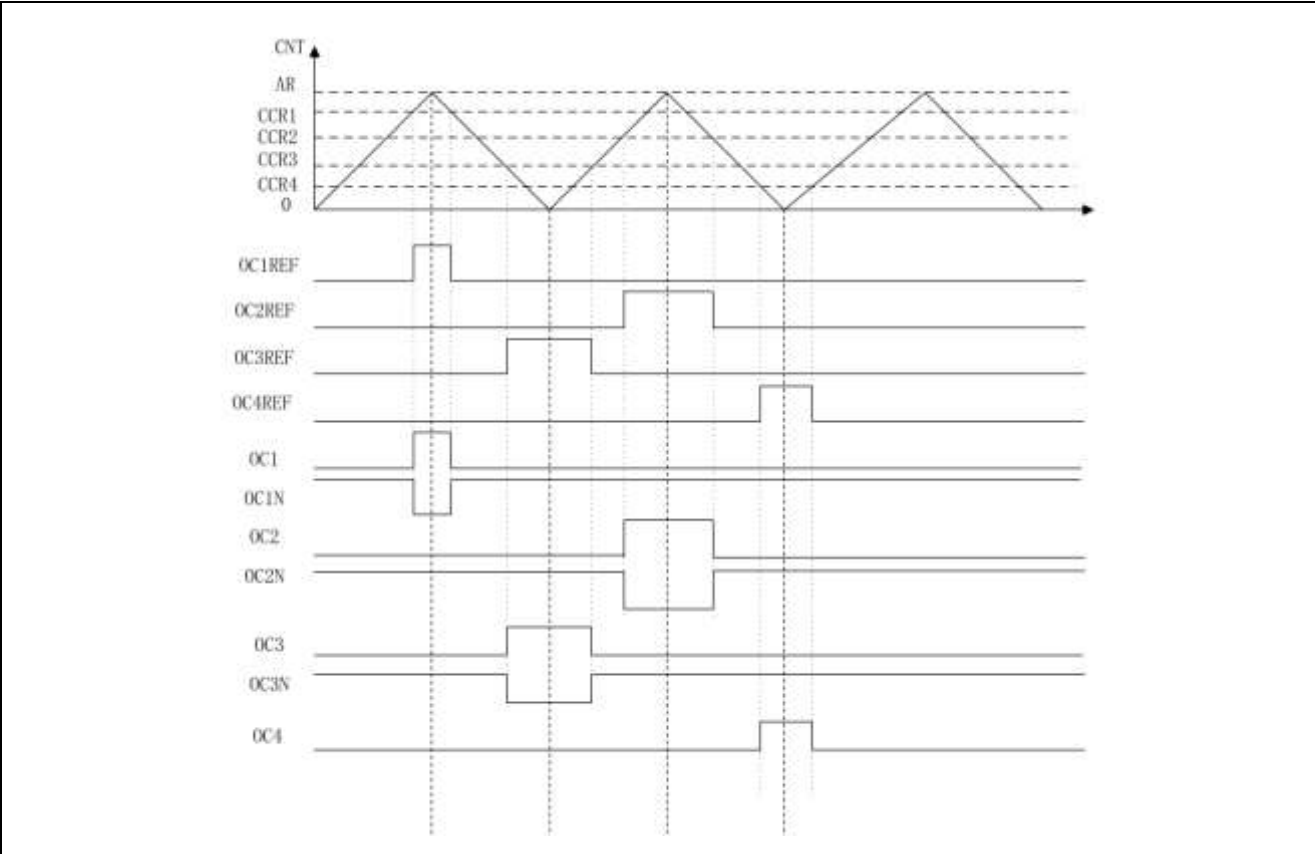
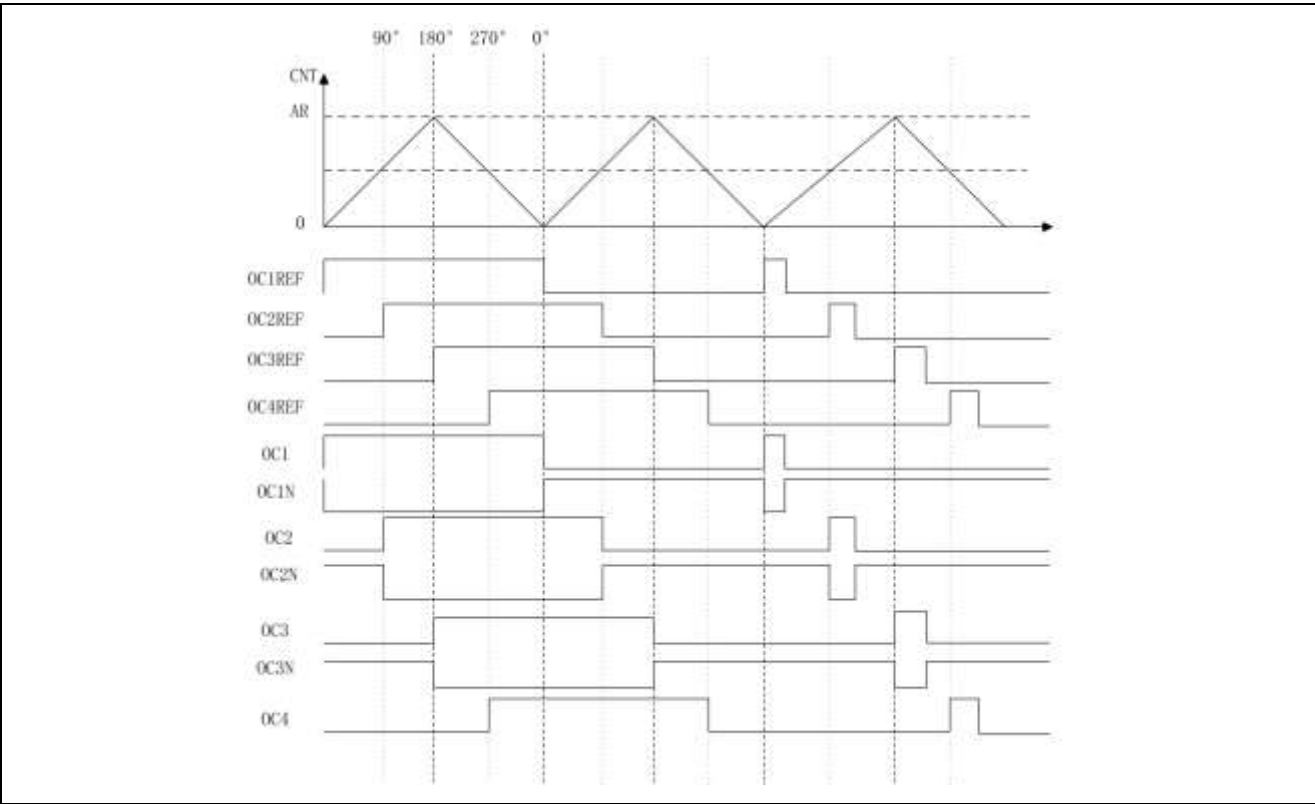
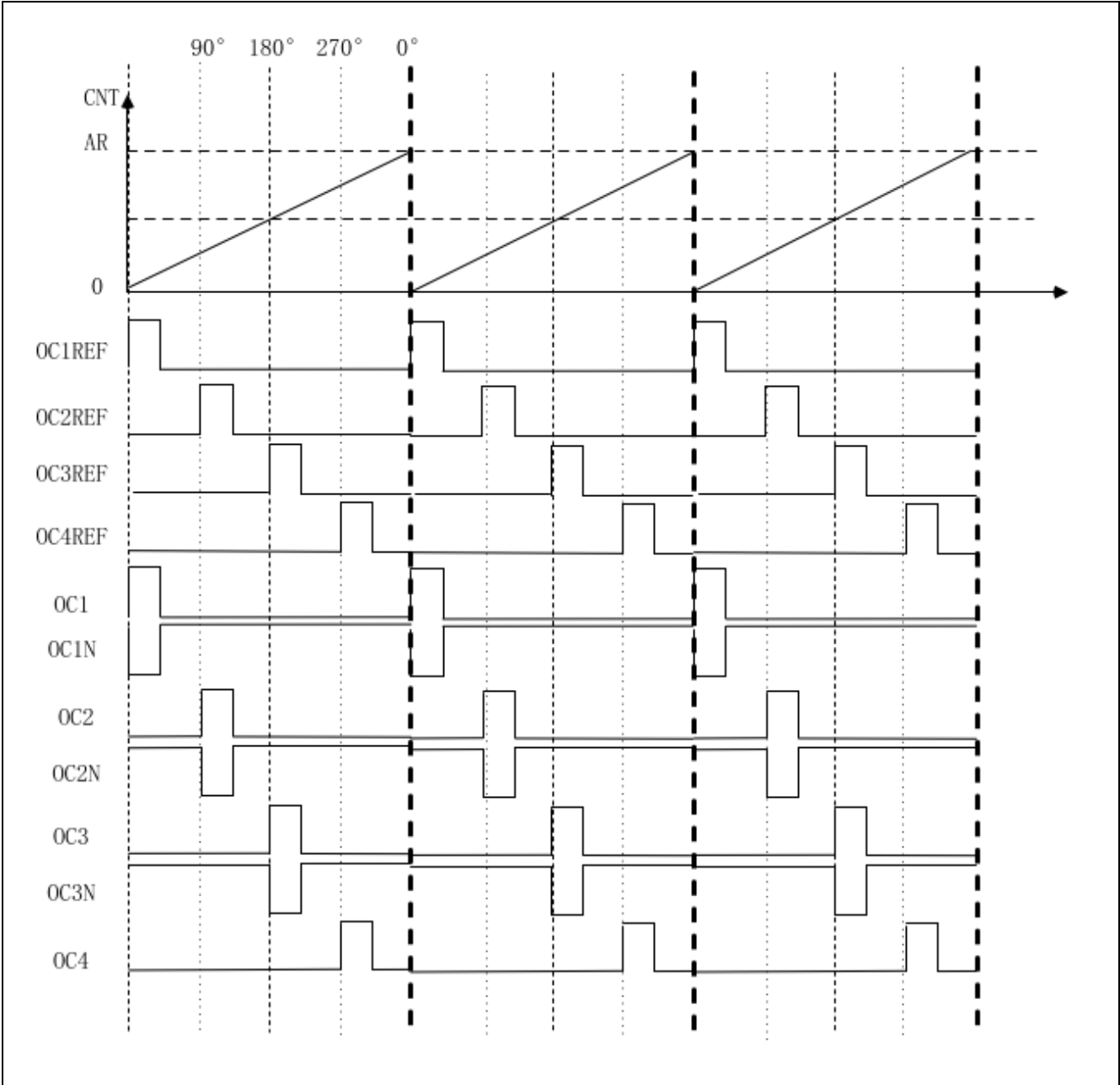


图 11-22



- 此外，利用 CCRx 和 CCRxFALL 可根据递增计数和递减计数触发动作的能力，新增了一项功能：在递增计数溢出时强制将计数器清零，从而可以在半个计数周期内实现 180° 移相。
- 使能 PDER 寄存器的 CNTFORCECL 位后，可以在单个三角波周期内实现正交相位波形输出。
- 如下图 11-23 所示：

图 11-23



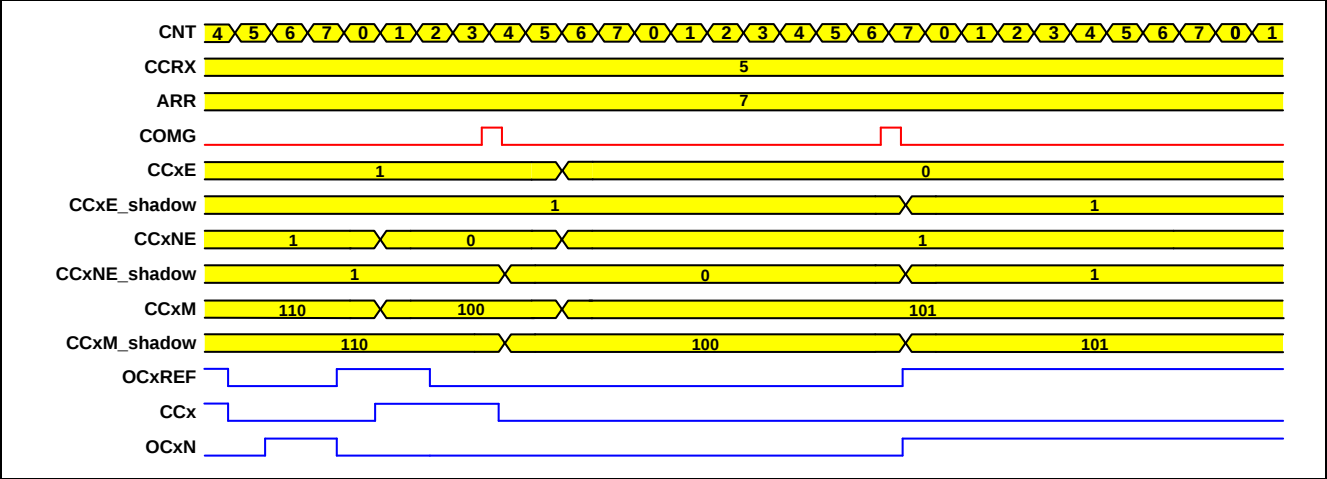
11.3.3.3.5 六步 PWM 输出

配置 OCxM 选择输出模式。CCxE=1 且 CCxNE=1, 开启通道 x 和互补通道的输出使能, 在通道 x 上产生互补输出。这些功能位于预装载位中。发生 COM 换相事件时, 这些预装载位将被装载到相应的影子寄存器。因此, 写这些位不会影响当前输出, 并且可以同时更改所有通道的配置。配置 TIM1_EGR 寄存器 COMG =1, 或在 TRGI 上升沿产生 COM 事件。

发生 COM 事件时, COM 中断标志由硬件置位。配置 TIM1_DIER 寄存器 COMIE=1 和 COMDE = 1, 产生 COM 事件的同时将产生一个 COM 中断。

下图显示了发生 COM 事件时不同配置下的 OCx 和 OCxN 输出。

图 11-24 带 COM 的六步 PWM 示例 (OSSR = 1)

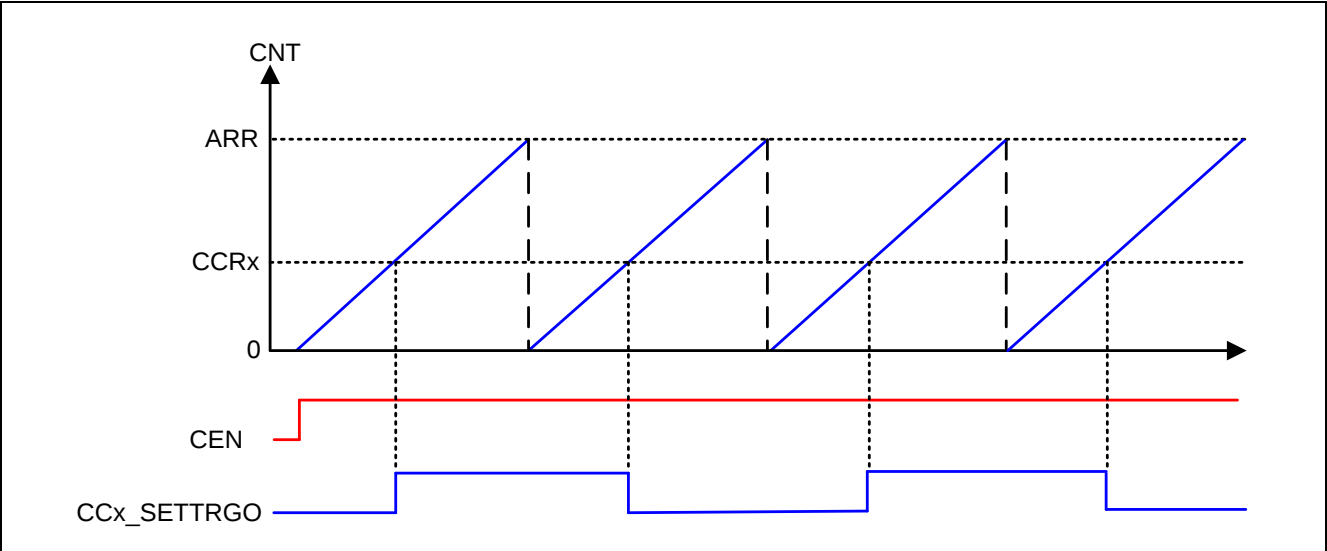


11.3.3.3.6 触发源输出

在 PWM 模式下, CCx_SETTRGO 信号可用于触发 ADC 等模块。本章仅介绍 CCx_SETTRGO, 该信号的触发逻辑、详细的触发源选择、触发边沿选择等信息请参考 ADC 章节。

在边沿对齐模式下, 每次比较匹配 (TIMx_CNT 的当前计数值等于 TIMx_CCRx) 时, CCx_SETTRGO 都会翻转一次。下图为边沿对齐递增计数模式下 CCx_SETTRGO 的输出示例。

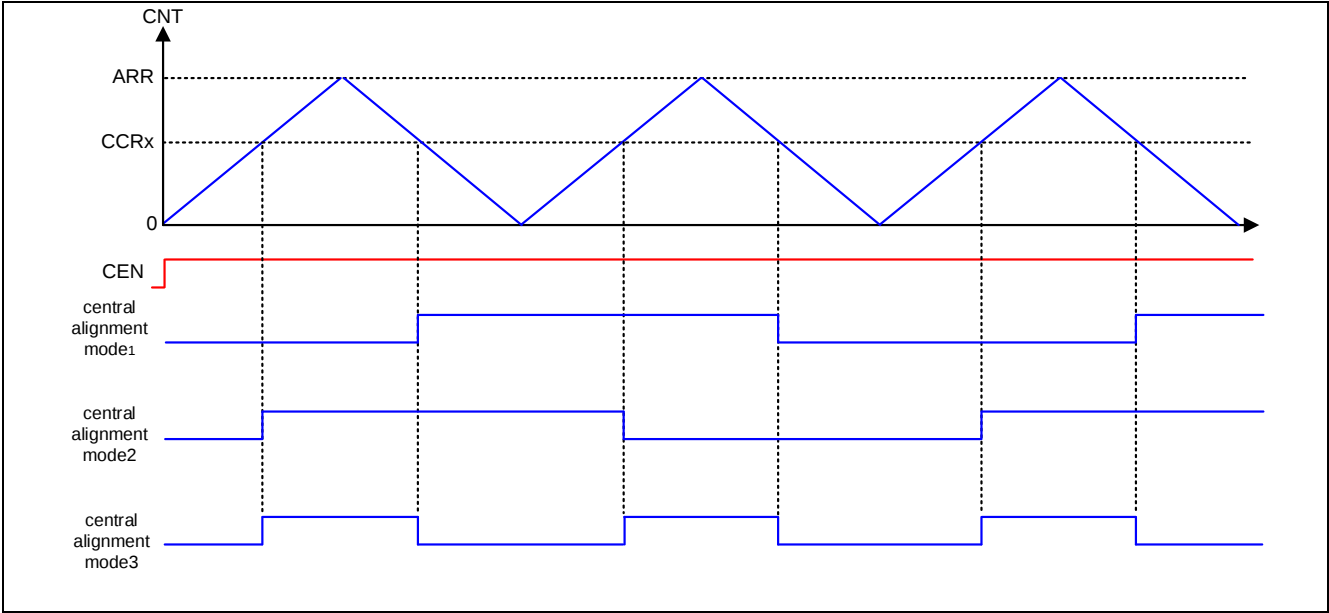
图 11-25 边沿对齐递增计数模式下 CCx_SETTRGO 输出示例



在中央对齐模式 1 下, 递减计数周期比较匹配时, CCx_SETTRGO 翻转; 在中央对齐模式 2 下, 递增计数周期比较匹配时, CCx_SETTRGO 翻转; 在中央对齐模式 3 下, 递增或递减计数周期比较匹配时, CCx_SETTRGO 均翻转。下图为中央对齐模式下 CCx_SETTRGO 的输出示例。

注: 使用移相模式时, 递减计数比较的匹配目标为 CCRxFALL。

图 11-26 中央对齐递增计数模式下 CCx_SETTRGO 输出示例



11.3.3.4 互补输出与死区插入

OCx 和 OCxN 是一对互补输出通道。TIM1 的所有通道都可以输出带有关断和开通时刻控制的互补信号，并具有可编程的死区区间。用户可根据所连接的输出器件及其特性（电平转换器的固有延时、功率开关引起的延时）调整死区时间。

TIM1_BDTR 寄存器的 DTG [7:0] 位定义了插入互补输出时的死区时间，具体计算方式见下表：

表 11-1 死区计算

DTG[7: 5]	DT
0xx	$DT = DTG[7: 0] \times T_{dtg} \text{ (} T_{dtg} = T_{DTS} \text{)}$
10x	$DT = (64 + DTG[5: 0]) \times T_{dtg} \text{ (} T_{dtg} = 2 \times T_{DTS} \text{)}$
110	$DT = (32 + DTG[4: 0]) \times T_{dtg} \text{ (} T_{dtg} = 8 \times T_{DTS} \text{)}$
111	$DT = (32 + DTG[4: 0]) \times T_{dtg} \text{ (} T_{dtg} = 16 \times T_{DTS} \text{)}$

例如，当 $T_{DTS}=125ns$ 时，可能的死区时间为：

- 步进时间为 125ns 时，死区时间 0-15875ns。
- 步进时间为 250ns 时，死区时间 16us -31750ns。
- 步进时间为 1us 时，死区时间 32us -63us。
- 步进时间为 2us 时，死区时间 64us -126us。

在没有刹车电路的情况下，配置 CCxE=1 和 CCxNE=1，使能死区插入；否则，需配置 MOE =1。

配置 TIM1_CCER 寄存器的 CCxP 和 CCxNP，为每个输出（主输出 OCx 或互补输出 OCxN）独立选择极性。

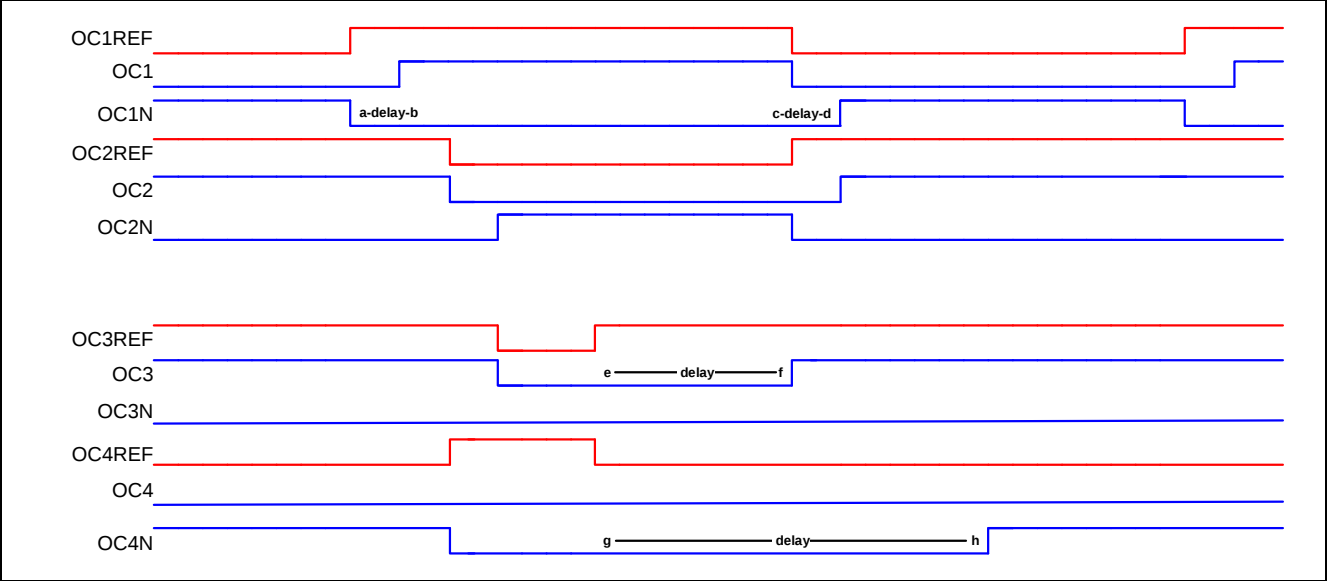
配置 TIM1_CCER 寄存器的 CCxE 和 CCxNE 位。TIM1_BDTR 和 TIM1_CR2 寄存器中 MOE、OISx、OISxN、OSSI 和 OSSR 的不同组合可以控制互补信号 OCx 和 OCxN 的输出。具体的组合控制配置见本章表 3、表 4、表 5 和表 6 中互补输出通道 OCx 和 OCxN 的控制位。

例如：OCx 和 OCxN 为高电平有效。在 PWM 模式下，发生匹配时，输出的参考信号 OCxREF 翻转，输出信号 OCx 与参考信号相同，但 OCx 信号的上升沿相对于参考信号有一段延时；互补输出信号 OCxN 与参考信号相反，OCxN 信号的上升沿相对于参考信号的下降沿有一段延时。

注：死区时间不能大于或等于 OCx 或 OCxN 信号（有效输出）的占空比，否则 OCx 或 OCxN 信号将始终为无效值。

下图显示了死区发生器输出信号与当前参考信号 OCxREF 的关系。

图 11-27 死区插入



11.3.3.5 刹车功能

刹车输入引脚、时钟失效事件和比较器输出都可以作为 TIM1 的刹车源。时钟失效事件由复位时钟计数器的时钟安全系统产生。

使用刹车功能期间，OCx 和 OCxN 输出信号的电平由下列功能电平的组合控制：TIM1_BDTR 寄存器的 MOE、OSSI 和 OSSR 位，以及 TIM1_CR2 寄存器的 OISx 和 OISxN 位。发生刹车事件时，OCx 和 OCxN 输出不能同时有效。带刹车功能的互补输出通道 OCx 和 OCxN 的输出状态见下表。

表 11-2 MOE=1，OSSI=0/1，OSSR=0 的情况：

CCxE	CCxNE	OCx	OCxN
0	0	OCx=0, OCx_EN=0	OCxN=0, OCxN_EN=0
0	1	OCx=0, OCx_EN=0	OCxN=OCxREF+极性, OCxN_EN=1
1	0	OCx=OCxREF+极性, OCx_EN=1	OCxN=0, OCxN_EN=0
1	1	OCx=OCxREF+极性+死区, OCx_EN=1	OCxN=OCxREF+反相+极性+死区, OCxN_EN=1

表 11-3 MOE=1，OSSI=0/1，OSSR=1 的情况

CCxE	CCxNE	OCx	OCxN
0	0	OCx=0, OCx_EN=0	OCxN=0, OCxN_EN=0
0	1	OCx=CCxP, OCx_EN=1	OCxN=OCxREF+极性, OCxN_EN=1
1	0	OCx=OCxREF+极性, OCx_EN=1	OCxN=CCxNP, OCxN_EN=1
1	1	OCx=OCxREF+极性+死区, OCx_EN=1	OCxN=OCxREF 反相+极性+死区, OCxN_EN=1

表 11-4 MOE=0，OSSI=0，OSSR=0/1 的情况

CCxE	CCxNE	OCx	OCxN
0	0	OCx_EN=0, OCxN_EN=0 同步时：OCx=CCxP, OCxN=CCxNP 时钟可用时：经过一段死区时间后，OCx=OISx, OCxN=OISxN OISx 和 OISxN 不对应 OCx 和 OCxN 的有效电平	
0	1	OCx_EN=0, OCxN_EN=0 同步时：OCx=CCxP, OCxN=CCxNP 时钟可用时：经过一段死区时间后，OCx=OISx, OCxN=OISxN	

CCxE	CCxNE	OCx	OCxN
		OISx 和 OISxN 不对应 OCx 和 OCxN 的有效电平	
1	0	OCx_EN=0, OCxN_EN=0 同步时: OCx=CCxP, OCxN=CCxNP 时钟可用时: 经过一段死区时间后, OCx=OISx, OCxN=OISxN OISx 和 OISxN 不对应 OCx 和 OCxN 的有效电平	
1	1	OCx_EN=0, OCxN_EN=0 同步时: OCx=CCxP, OCxN=CCxNP 时钟可用时: 经过一段死区时间后, OCx=OISx, OCxN=OISxN OISx 和 OISxN 不对应 OCx 和 OCxN 的有效电平	

表 11-5 MOE=0, OSSI=1, OSSR=0/1 的情况

CCxE	CCxNE	OCx	OCxN
0	0	OCx_EN=1, OCxN_EN=1 同步时: OCx=CCxP, OCxN=CCxNP 时钟可用时: 经过一段死区时间后, OCx=OISx, OCxN=OISxN OISx 和 OISxN 不对应 OCx 和 OCxN 的有效电平	
0	1	OCx_EN=1, OCxN_EN=1 同步时: OCx=CCxP, OCxN=CCxNP 时钟可用时: 经过一段死区时间后, OCx=OISx, OCxN=OISxN OISx 和 OISxN 不对应 OCx 和 OCxN 的有效电平	
1	0	OCx_EN=1, OCxN_EN=1 同步时: OCx=CCxP, OCxN=CCxNP 时钟可用时: 经过一段死区时间后, OCx=OISx, OCxN=OISxN OISx 和 OISxN 不对应 OCx 和 OCxN 的有效电平	
1	1	OCx_EN=1, OCxN_EN=1 同步时: OCx=CCxP, OCxN=CCxNP 时钟可用时: 经过一段死区时间后, OCx=OISx, OCxN=OISxN OISx 和 OISxN 不对应 OCx 和 OCxN 的有效电平	

注: 当通道输出和互补输出关闭时, OISx、OISxN、CCxP 和 CCxNP 必须配置为 0。

系统复位后, MOE =0, 禁止刹车功能。配置 TIM1_BKINF 寄存器的 BKIN_SEL 选择刹车通道, 支持选择多个刹车通道, 任一所选通道的刹车信号有效时都将进入刹车状态。配置 TIM1_BKINF 寄存器的 BKINFE, 使能刹车信号滤波功能。配置 TIM1_BKINF 寄存器的 BKINF, 选择刹车数字滤波器的采样频率。更改刹车数字滤波器的采样频率之前, 应先关闭刹车滤波功能。配置 TIM1_BDTR 寄存器 BKE =1, 使能刹车功能。配置 TIM1_BDTR 寄存器的 BKP 位, 选择刹车输入信号的极性。BKP 和 BKE 也可以同时写入, 并在下一个时钟周期生效。

由于 MOE 是异步清除的, 因此在实际信号与同步控制之间插入了同步电路, 同步信号与异步信号之间会产生延时 (在状态为 0 时写 MOE =1; 写入之后、读取之前应插入一条空指令以产生延时, 否则无法保证读取正确)。

发生刹车事件时, MOE 被异步清除。根据 OSSI 的配置, OCx/OCxN 输出被置于无效状态、空闲状态或复位状态; 当 MOE=0 时, 输出由 TIM1_CR2 寄存器的 OISx 位决定。当 OSSI=0 时, 定时器禁止输出, 否则使能输出。使用互补输出时, 输出首先被置于复位状态, 然后重新产生死区时间, 死区时间结束后, 输出电平由 OISx 和 OISxN 决定。

配置 TIM1_DIER 寄存器 BIE =1, 发生刹车事件时产生刹车中断。配置 TIM1_BDTR 寄存器 AOE =1, 在下次更新事件发生时自动置位 MOE 位。

注: 刹车输入是电平作用的。当刹车输入有效时, 无法 (自动或通过软件) 置位 MOE, 且状态标志 BIF 无法被清除。

刹车电路中可以使能写保护以保障应用安全, 允许用户锁定死区时长、OCx/OCxN 极性和禁止状态、OCxM 配置、刹车使能与极性。配置 TIM1_BDTR 寄存器的 LOCK 位可选择锁定级别 (三级锁定)。系统复位后 LOCK 只能写一次。

下图为响应刹车输出的示例:

图 11-28 响应刹车输出 (OISx=0, OISxN=0)

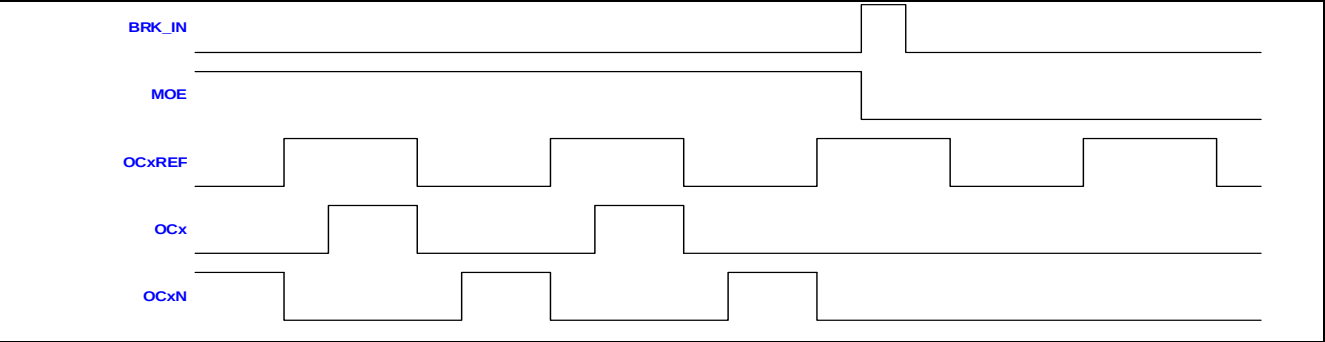


图 11-29 响应刹车输出 (OISx=0, OISxN=1)

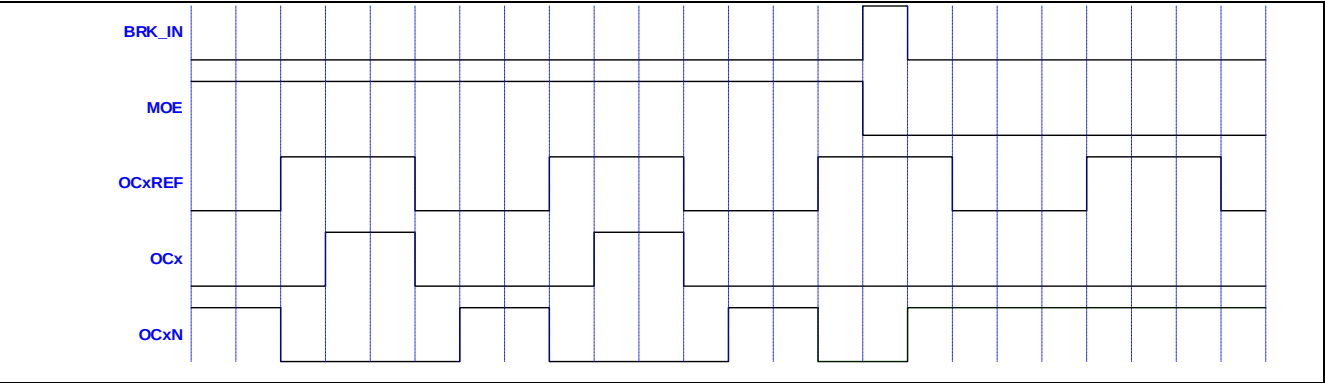


图 11-30 响应刹车输出 (OISx=1, OISxN=0)

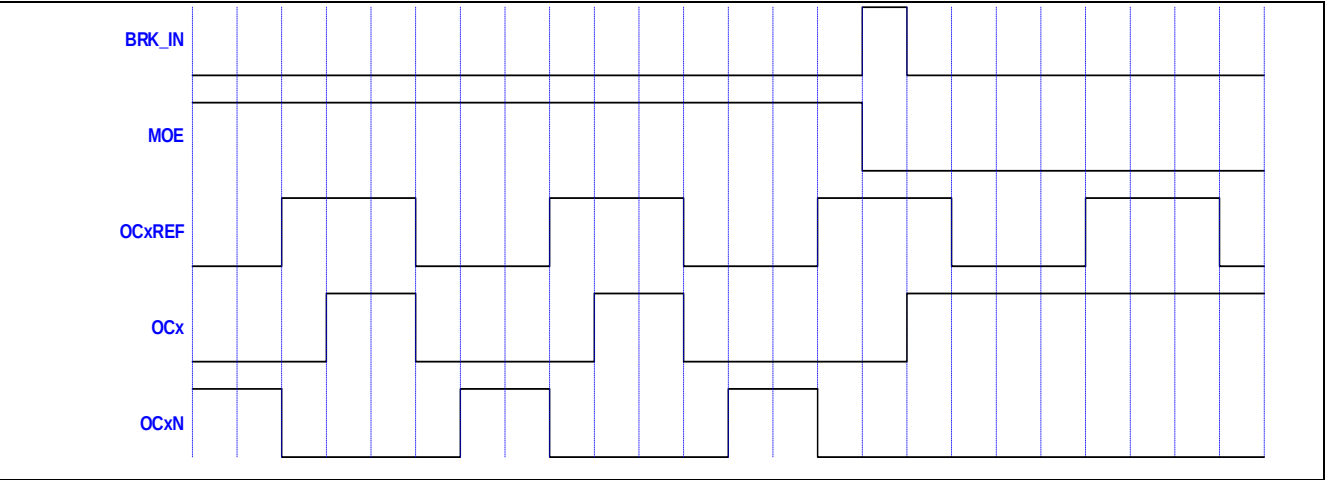
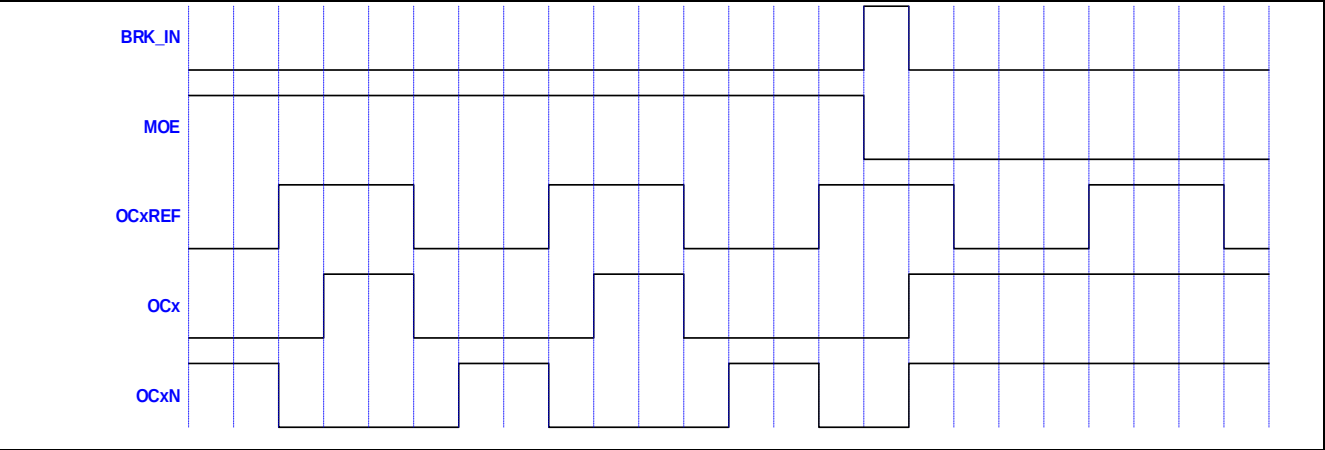


图 11-31 响应刹车输出 (OISx=1, OISxN=1)



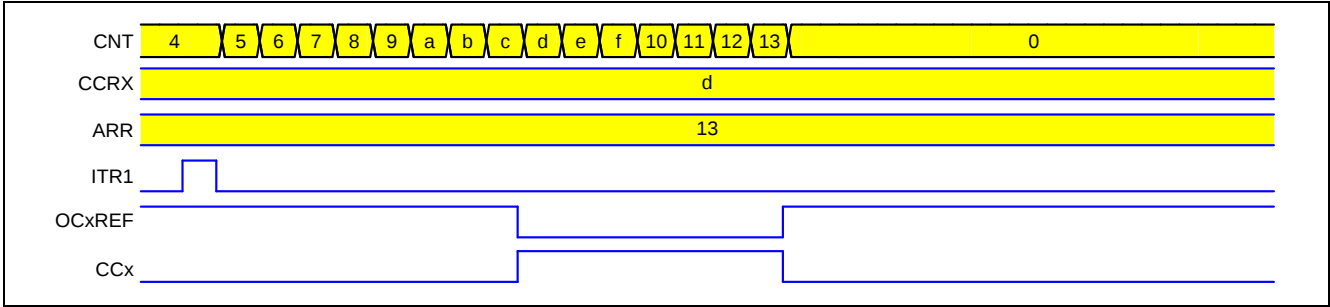
11.3.3.6 单脉冲输出

在单脉冲模式 (OPM) 下, 计数器响应一个激励并产生一个宽度可编程的脉冲。配置 TIM1_CR1 寄存器 OPM =1, 选择单脉冲模式, 触发信号的有效边沿或配置 CEN=1 都可以使能计数器。CEN=1 一直保持到下一次更新事件, 或配置 CEN =0。

产生脉冲的必要条件是比较值与计数器初始值之间存在差值。使能计数器之前的必要配置:

- 递增计数模式: 计数器 $CNT < CCRx \leq ARR$ 。
- 递减计数模式: 计数器 $CNT > CCRx$ 。

图 11-32 单脉冲模式



例如, 当 ITR1 检测到上升沿后, 经过延时 t_{DELAY} , OC2 产生一个长度为 t_{PULSE} 的正脉冲。

配置 ITR1 作为触发源:

- 1.配置 TIM1_SMCR 寄存器 TS = 001, 将 ITR1 作为从模式计数器的触发 (TRGI) 。
- 2.配置 TIM1_SMCR 寄存器 SMS = 110, 选择触发模式, 由 ITR1 使能计数器。

OPM 波形由 TIM1_ARR 和 TIM1_CCR1 决定 (需考虑时钟频率和计数器预分频): t_{DELAY} 由 TIM1_CCR1 寄存器的值和 CNT 初始值决定; TIM1_ARR - TIM1_CCR1 的值为 t_{PULSE} 。

下一个示例是产生一个负脉冲: 比较匹配时产生一个从 1 到 0 的波形, 计数器达到预装载值时产生一个从 0 到 1 的波形:

1. 配置 TIM1_CCMR1 寄存器 OC1M = 111, 选择 PWM 模式 2。
2. 配置 TIM1_CCER 寄存器 CC1P = 1, 输出低电平有效。
3. 配置 TIM1_CCMR1 的 OC1PE = 1 和 TIM1_CR1 寄存器的 ARPE, 使能预装载寄存器。
4. 配置 TIM1_CCR1 寄存器和 TIM1_ARR 寄存器。
5. 配置 TIM1_EGR 寄存器 UG =1, 产生一次更新事件。
6. 等待 ITR1 上的外部触发事件。

此时, TIM1_CR1 寄存器 DIR=0、CMS=0、OPM=1, 在下一次更新事件时停止计数 (当计数器从自动装载值翻转到 0 时)。

11.3.3.6.1 OCx 快速使能

OCx 快速使能是单脉冲模式的一种特殊情形。在单脉冲模式下, 设置 TIM1_CCMR 寄存器 OCxFE=1, 强制 OCxREF 直接响应激励, 而不依赖计数器与比较值的比较结果。输出波形与比较匹配时的波形相同, 因此可以省去比较时间, 快速输出比较结果。OCx 快速输出使能仅在 PWM 模式下生效。

11.3.4 从模式

11.3.4.1 复位模式

配置 TIM1_SMCR 寄存器 SMS=100, 选择从模式的复位模式。在该模式下, TRGI 输入事件将清除并重启计数器。

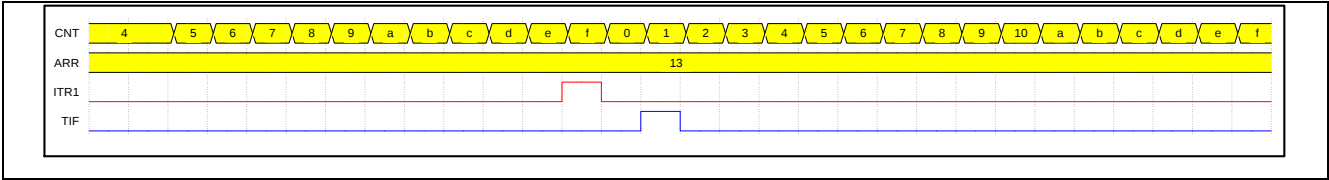
例如, 由 ITR1 触发计数器重启:

1. 配置 TIM1_SMCR 寄存器 SMS = 100, 选择从模式为复位模式; 配置 TIM1_SMCR 寄存器 TS =001, 选择 ITR1 作为同步定时器的触发输入。
2. 配置 TIM1_CR1 寄存器 DIR=0, 选择计数方向为递增计数; 配置 PSC=0, 不分频; 配置 CEN=1, 使能计数器。

计数器时钟源由内部时钟提供。当检测到 ITR1 上升沿时, 清除并重启计数器, 触发中断标志由硬件置位。

复位模式下 TIM1_ARR = 0x13 的时序

图 11-33 复位模式下的控制时序



11.3.4.2 门控模式

配置 TIM1_SMCR 寄存器 SMS=101, 选择从模式的门控模式。当 TRGI 输入为有效电平时, 计数器始终启动; 否则计数器停止 (但不执行复位操作), 计数器的启动和停止都是可控的。

例如, 仅当 ITR1 为高电平时计数器计数:

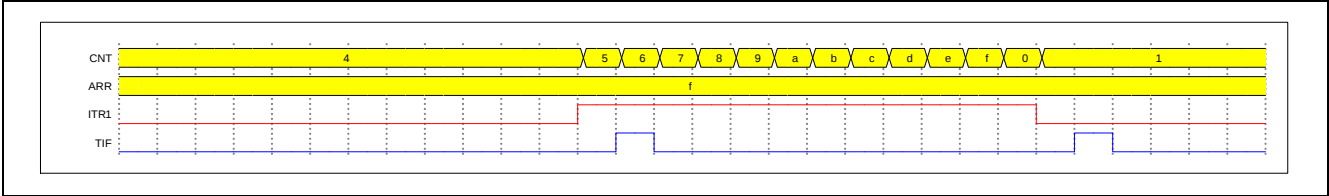
1.配置 TIM1_SMCR 寄存器 SMS=101, 选择从模式的门控模式; 配置 TIM1_SMCR 寄存器 TS=001, 选择 ITR1 作为同步计数器的触发输入。

2.配置 TIM1_CR1 寄存器 DIR=0, 选择计数方向为递增计数; 配置 PSC=0, 不分频; 配置 CEN=1, 使能计数器。

计数器时钟源由内部时钟提供。当检测到 ITR1 为高电平时, 计数器开始计数; 当 ITR1 为低电平时, 计数器停止。计数器启动或停止时, TIF 置 1。

门控模式下 TIM1_ARR=0xf 的时序。

图 11-34 门控模式下的控制时序



11.3.4.3 触发模式

配置 TIM1_SMCR 寄存器 SMS=110, 选择从模式的触发模式。当 TRGI 输入为有效边沿时, 计数器开始计数。定时器的启动是可控的, 停止不可控。

例如, 在 ITR1 输入的上升沿开始计数:

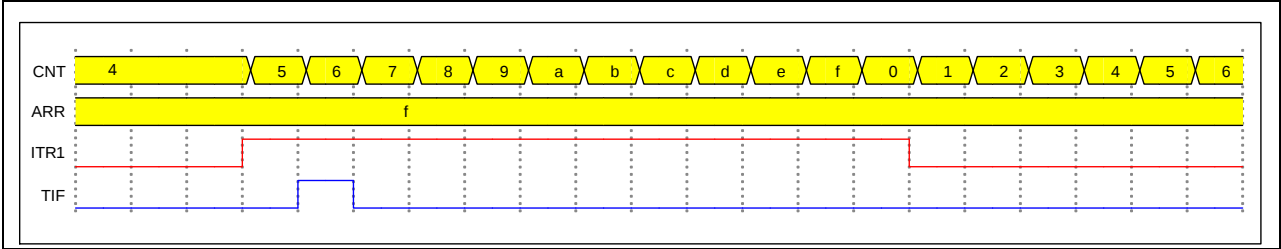
1.配置 TIM1_SMCR 寄存器 SMS = 110, 选择从模式的触发模式; 配置 TIM1_SMCR 寄存器 TS=001, 选择 ITR1 作为计数器的触发输入。

2.配置 TIM1_CR1 寄存器 DIR =0, 选择计数方向为递增计数; 配置 PSC=0, 不分频。

计数器时钟源由内部时钟提供。当检测到 ITR1 上升沿时, 计数器开始计数。

触发模式下 TIM1_ARR =0xf 的时序。

图 11-35 触发模式下的控制时序

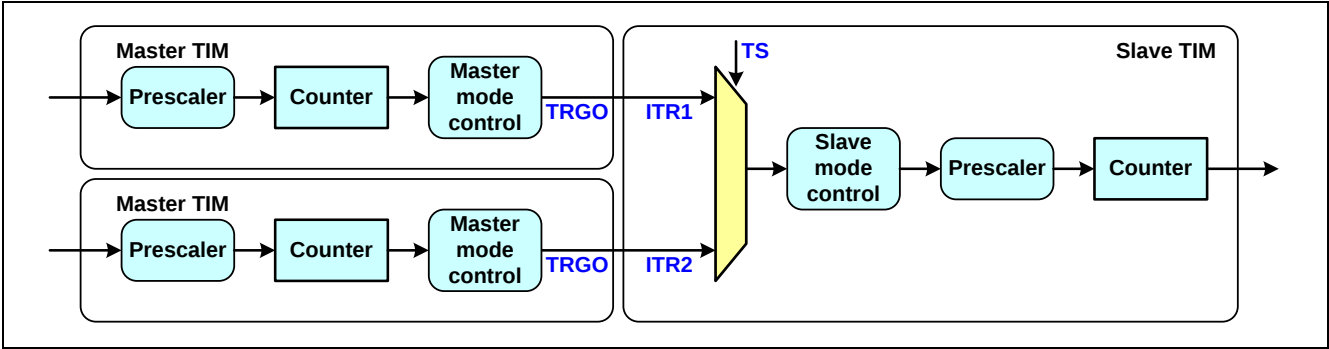


11.3.5 定时器同步

不同的定时器在内部互连, 可实现定时器级联或同步。

定时器同步互连:

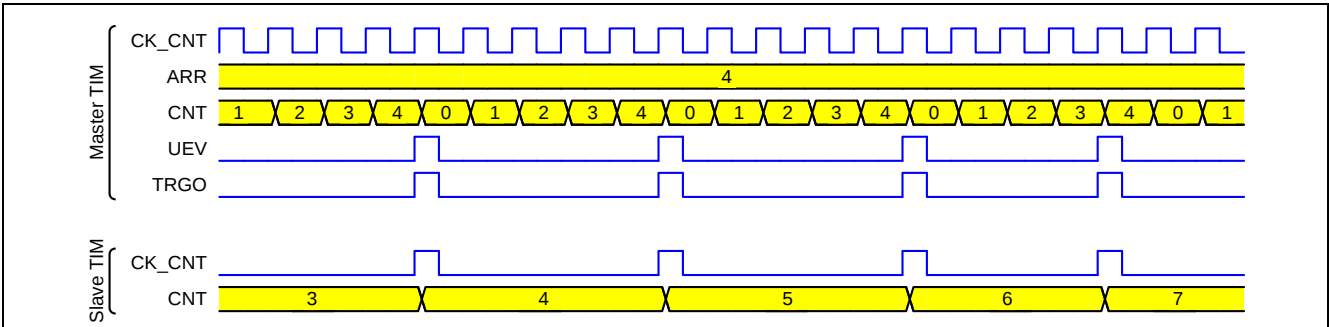
图 11-36 定时器互连



几种典型的互连应用。
用一个定时器作为另一个定时器的预分频器
例如，用主定时器作为从定时器的预分频器，时序图如上所示：

- 1. 配置主定时器 CR2 寄存器 MMS=010，将主定时器的更新事件作为触发输出（TRGO），主定时器在每次更新事件时输出一个周期信号。
- 2. 配置主定时器 ARR 寄存器，设置主定时器的输出周期。
- 3. 配置从定时器 SMCR 寄存器的 TS，选择从定时器的触发源为主定时器的 TRGO；
- 4. 配置从定时器 SMCR 寄存器 SMS=111，选择从模式的外部触发模式 1。
- 5. 配置主定时器 CR1 寄存器 CEN=1，启动主定时器。
- 6. 配置从定时器 CR1 寄存器 CEN=1，启动从定时器。

图 11-37 用主定时器作为从定时器的预分频器

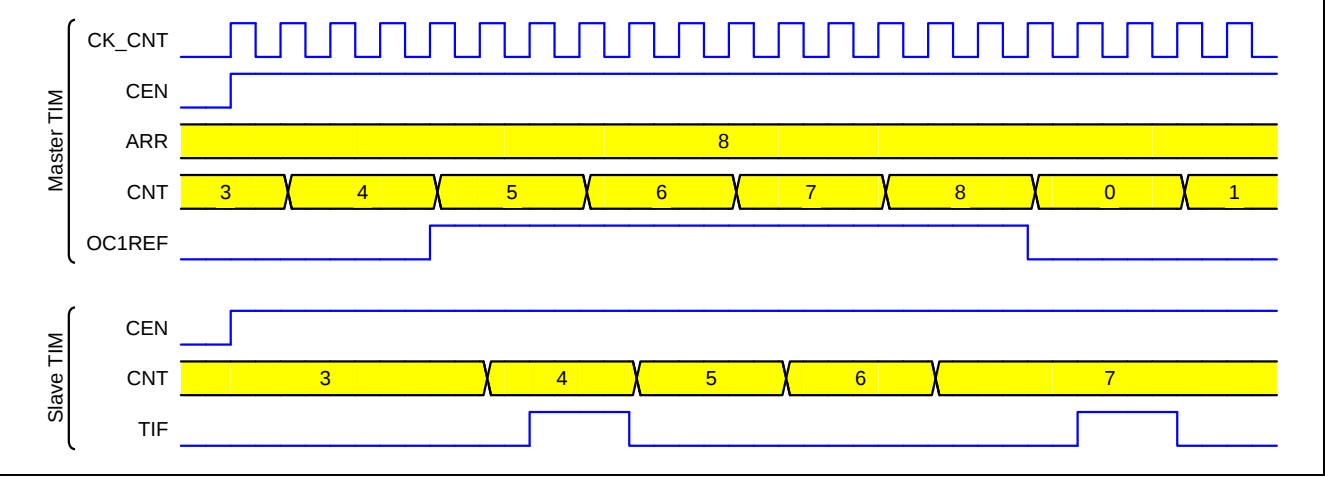


用一个定时器使能另一个定时器
例如：用主定时器使能从定时器，时序图如下所示：

当主定时器的 OC1REF 为高电平时，从定时器的计数器开始计数。两个定时器的时钟频率均由 CK_CNT/3 提供。具体配置：

- 1. 配置主定时器 CR2 寄存器 MMS=100，将主定时器的比较输出参考信号（OC1REF）配置为触发输出（TRGO）。
- 2. 配置主定时器 CCR1 寄存器、ARR 寄存器和 CCMR1 寄存器的 OC1M 位，配置主定时器输出信号 TRGO 的输出波形。
- 3. 配置从定时器 SMCR 寄存器的 TS，将主定时器的 OC1REF 配置为从定时器的触发输入。
- 4. 配置从定时器 SMCR 寄存器 SMS=101，将从定时器配置为门控模式。
- 5. 配置从定时器 CR1 寄存器 CEN=1，使能从定时器。
- 6. 配置主定时器 CR1 寄存器 CEN=1，使能主定时器。

图 11-38 用主定时器使能从定时器



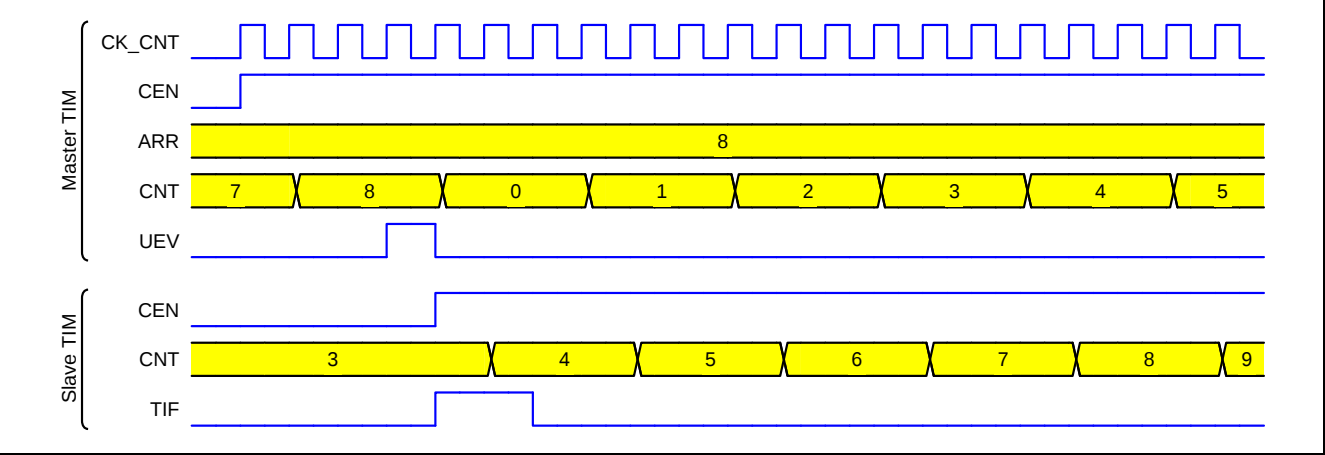
用一个定时器启动另一个定时器

例如：用主定时器的更新事件使能从定时器，时序如下图所示：

当主定时器产生更新事件时，从定时器接收到触发信号，从定时器的 CEN 由硬件自动置位，从定时器的计数器开始计数。两个定时器的时钟频率均由 CK_CNT/3 提供。具体配置：

1. 配置主定时器 CR2 寄存器 MMS=010，选择主定时器的更新事件作为触发输出（TRGO）；
2. 配置主定时器 ARR 寄存器，配置更新事件的周期；
3. 配置从定时器 SMCR 寄存器的 TS，将主定时器的 TRGO 配置为从定时器的触发输入；
4. 配置从定时器 SMCR 寄存器 SMS=110，将从定时器配置为触发模式；
5. 配置主定时器 CR1 寄存器 CEN=1，使能主定时器。

图 11-39 用主定时器的更新事件启动从定时器



用一个外部触发同步启动两个定时器

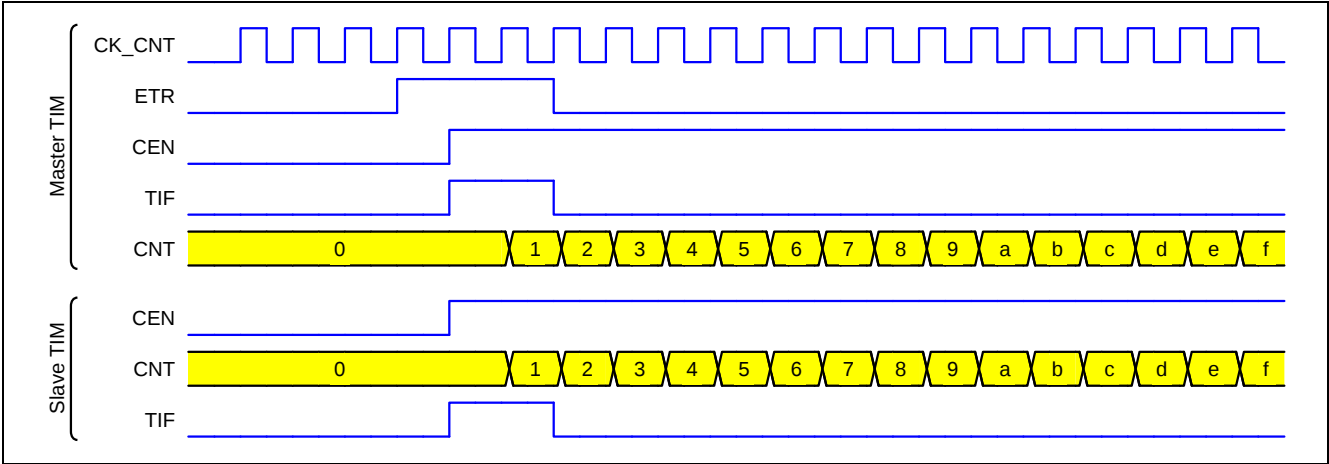
例如：用主定时器的 ETR 上升沿启动主定时器和从定时器，时序如下图所示：

为了确保两个定时器同时启动，主定时器必须配置为主/从模式。具体配置：

1. 配置主定时器 CR2 寄存器 MMS=001，将主定时器的使能信号 CEN 作为触发输出（TRGO）。
2. 配置主定时器 SMCR 寄存器 TS=111，将 ETR 作为触发输入。
3. 配置主定时器 SMCR 寄存器 SMS=110，将主定时器配置为触发模式。
4. 配置从定时器 SMCR 寄存器的 TS，将主定时器的触发输出配置为从定时器的触发输入。
5. 配置从定时器 SMCR 寄存器 SMS=110，将从定时器配置为触发模式。

当主定时器的 ETR 产生上升沿时，两个定时器同时启动（按内部时钟），计数器开始计数，两个 TIF 标志被置位。

图 11-40 主定时器 ETR 同步启动主从定时器



11.3.6 调试模式

在调试模式下，配置 DBG_CR 寄存器 DBG_TIM1_STOP=1，TIM1 计数器停止计数。（详见调试章节）
在调试模式下，配置 TIM1_DOCR 寄存器中的 DOS 位可设置输出状态。

11.3.7 中断

TIM1 中断包括：比较 1 中断、比较 2 中断、比较 3 中断、比较 4 中断、比较 5 中断、更新中断、COM 中断、触发中断和刹车中断。当对应的中断使能位被置位时，产生相应的事件和中断。

表 11-6 中断事件列表

中断事件	标志位	使能位
比较 1 中断	CC1IF	CC1IE
比较 2 中断	CC2IF	CC2IE
比较 3 中断	CC3IF	CC3IE
比较 4 中断	CC4IF	CC4IE
比较 5 中断	CC5IF	CC5IE
更新中断	UIF	UIE
COM 中断	COMIF	COMIE
触发中断	TIF	TIE
刹车中断	BIF	BIE

11.3.8 软件输出设置

TIM1 允许通过 SOER 和 SOCR 寄存器简单地配置 CH1~4 通道的 OCx 和 OCxN 输出值，包括直接输出以及刹车有效时的输出状态。

具体步骤如下：

将 SOER 寄存器中的 SOEN 置 1，使能 CH1 至 CH4 通道的软件输出功能。

1. 若仅需要软件输出，可配置 SOCR 寄存器中 SFTEN 和 SFTV 对应的 CH 位，设置所需的 OCx 和 OCxN 输出电平；该配置立即生效。
2. 当发生刹车时，软件输出被中断，MOE 输出将对应的 PWM 信号拉低；刹车解除后，若自动输出使能(AOE)功能有效且发生更新事件，则恢复软件输出。
3. 若仅需要在刹车事件期间进行软件输出，可配置 SOCR 寄存器中 BSFTEN 和 BSFTV 对应的 CH 位，设置所需的 OCx 和 OCxN 输出电平；所配置的输出仅在发生刹车事件时生效。刹车条件解除后，若自动输出使能(AOE)有效且发生更新事件，则软件驱动的刹车输出被释放，恢复正常 PWM 输出。
4. 若同时配置了普通软件输出和刹车状态软件输出，则正常工作时产生普通软件输出，发生刹车时产生为刹车状态所配置的输出。

11.4 寄存器

11.4.1 寄存器概览

表 11-7 TIM1 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	TIM1_CR1	控制寄存器 1	0x0000
0x04	TIM1_CR2	控制寄存器 2	0x0000
0x08	TIM1_SMCR	从模式控制寄存器	0x0000
0x0C	TIM1_DIER	中断使能寄存器	0x0000 0000
0x10	TIM1_SR	状态寄存器	0x0000 0000
0x14	TIM1_EGR	事件产生寄存器	0x0000 0000
0x18	TIM1_CCMR1	比较模式寄存器 1	0x0000
0x1C	TIM1_CCMR2	比较模式寄存器 2	0x0000
0x20	TIM1_CCER	比较使能寄存器	0x0000
0x24	TIM1_CNT	计数器	0x0000
0x28	TIM1_PSC	预分频器	0x0000
0x2C	TIM1_ARR	自动预装载寄存器	0x0000
0x30	TIM1_RCR	重复计数寄存器	0x0000
0x34	TIM1_CCR1	比较寄存器 1	0x0000
0x38	TIM1_CCR2	比较寄存器 2	0x0000
0x3C	TIM1_CCR3	比较寄存器 3	0x0000
0x40	TIM1_CCR4	比较寄存器 4	0x0000
0x44	TIM1_BDTR	刹车和死区寄存器	0x0000 0000
0x54	TIM1_CCMR3	比较模式寄存器 3	0x0000
0x58	TIM1_CCR5	比较寄存器 5	0x0000
0x5C	TIM1_PDER	PWM 移相使能寄存器	0x0000
0x60~0x70	TIM1_CCRxFALL	PWM 移相递减计数比较寄存器 1~5	0x0000
0x74	TIM1_BKINF	刹车输入滤波寄存器	0x0000 0000
0x80	TIM1_DOCR	调试输出控制寄存器	0x0000
0x84	TIM1_SOER	软件输出总使能寄存器	0x0000
0x88	TIM1_SOCR	软件输入使能/输出值寄存器	0x0000
0x8C	TIM1_BKSR	刹车输入状态寄存器	0x0000

11.4.2 TIM1_CR1 控制寄存器 1

地址偏移：0x00
复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						CKD		ARPE	CMS		DIR	OPM	URS	UDIS	CEN
						rw		rw	rw		rw	rw	rw	rw	rw

位	字段	描述
15: 10	保留	保留，必须保持复位值。

位	字段	描述
9: 8	CKD	时钟分频 定时器时钟（CK_INT）频率与死区发生器和数字滤波器（ETR、Tl _x ）所用的死区及采样时钟之间的分频比。 00: t _{DTS} = t _{INT_CK} 01: t _{DTS} =2x t _{INT_CK} 10: t _{DTS} =4x t _{INT_CK} 11: 保留，不要编程为该值
7	ARPE	自动预装载使能 0: 禁止 TIM1_ARR 寄存器的影子寄存器 1: 使能 TIM1_ARR 寄存器的影子寄存器
6: 5	CMS	中央对齐模式选择 00: 边沿对齐模式。计数方向取决于 DIR 位 01: 中央对齐模式 1。计数器交替进行递增和递减计数。通道处于输出模式时，仅在递减计数时置位比较中断标志位 10: 中央对齐模式 2。计数器交替进行递增和递减计数。通道处于输出模式时，仅在递增计数时置位比较中断标志位 11: 中央对齐模式 3。计数器交替进行递增和递减计数。通道处于输出模式时，在递增和递减计数时都置位比较中断标志位 注：计数过程中禁止更改对齐模式。
4	DIR	计数方向 0: 递增计数 1: 递减计数 注：当计数器配置为中央对齐模式时，该位为只读。
3	OPM	单脉冲模式 0: 禁止单脉冲模式。发生更新事件时，计数器继续计数 1: 使能单脉冲模式。在下次更新事件时（清除 CEN 位），计数器停止计数
2	URS	更新请求源 该位由软件置位和清除，用于选择更新事件源。 0: 下列事件均可产生更新中断或 DMA 请求： - 计数器溢出/下溢 - 置位 UG 位 - 由从模式控制器产生的更新 1: 仅在计数器溢出/下溢时产生更新中断或 DMA 请求
1	UDIS	禁止更新 该位用于使能或禁止更新事件 0: 使能更新事件（UEV）。 1: 禁止更新事件。不产生更新事件，影子寄存器保持其值（ARR、PSC、CCR _x ）。但如果置位 EGR.UG 位，计数器和预分频器会被重新初始化；如果从模式控制器收到硬件复位，计数器也会被重新初始化。
0	CEN	计数器使能 0: 禁止计数器 1: 使能计数器 注：外部时钟、门控模式只有在软件事先置位 CEN 位后才能工作，而触发模式可由硬件自动置位 CEN 位。

11.4.3 TIM1_CR2 控制寄存器 2

地址偏移: 0x04
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	Res.	MMS			RES.	CCUS	Res.	CCPC
	rw	rw	rw	rw	rw	rw	rw		rw				rw		rw

位	字段	描述
15	保留	保留，必须保持复位值。
14	OIS4	输出空闲状态 4（OC4 输出）。参考 OIS1 位。

位	字段	描述
13	OIS3N	输出空闲状态 3 (OC3N 输出)。参考 OIS1N 位。
12	OIS3	输出空闲状态 3 (OC3 输出)。参考 OIS1 位。
11	OIS2N	输出空闲状态 2 (OC2N 输出)。参考 OIS1N 位。
10	OIS2	输出空闲状态 2 (OC2 输出)。参考 OIS1 位。
9	OIS1N	(输出空闲状态 1) (OC1N 输出) 0: 当 MOE=0 时, 死区时间之后 OC1N=0 1: 当 MOE=0 时, 死区时间之后 OC1N=1 注: 设置 LOCK (TIM1_BKR 寄存器) 为级别 1、2 或 3 后, 该位不能被更改。
8	OIS1	(输出空闲状态 1) (OC1 输出) 0: 当 MOE=0 时, 若实现了 OC1N, 则死区时间之后 OC1=0 1: 当 MOE=0 时, 若实现了 OC1N, 则死区时间之后 OC1=1 注: 设置 LOCK (TIM1_BKR 寄存器) 为级别 1、2 或 3 后, 该位不能被更改。
7	保留	保留, 必须保持复位值。
6: 4	MMS	主模式选择 这些位控制 TRGO 信号的选择, 用于选择主模式下发送给从定时器的同步信息: 000: 复位 TIM1_EGR 寄存器的 UG 位产生一个脉冲触发输出 (TRGO)。 001: 使能 计数器使能信号 CNT_EN 用作触发输出 (TRGO)。这可用于同时启动多个定时器, 或控制使能从定时器的时间窗。计数器使能信号由 CEN 控制位与门控模式下的触发输入相“或”产生。当计数器使能信号由触发输入控制时, TRGO 上会有延时, 除非选择了主/从模式。 010: 更新 选择更新事件作为 TRGO。 011: 比较 发生比较匹配时, 发送一个正脉冲作为 TRGO。 100: 比较 OC1REF 信号用作触发输出 (TRGO) 101: 比较 OC2REF 信号用作触发输出 (TRGO) 110: 比较 OC3REF 信号用作触发输出 (TRGO) 111: 比较 OC4REF 信号用作触发输出 (TRGO)
3	保留	保留, 必须保持复位值。
2	CCUS	比较控制更新选择 0: CCPC=1 时, 仅通过置位 COMG=1 来更新。 1: CCPC=1 时, 通过置位 COMG=1 或 TRGI 上出现上升沿来更新。 注: 该位仅对具有互补输出的通道有效。
1	保留	保留, 必须保持复位值。
0	CCPC	比较预装载控制位 0: 禁止 CCxE、CCxNE 和 OCxM 位的预装载 1: 使能 CCxE、CCxNE 和 OCxM 位的预装载 注: 该位仅对具有互补输出的通道有效。

11.4.4 TIM1_SMCR 从模式控制寄存器

地址偏移: 0x08

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留										TS[4:3]		保留			
										rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								MSM	TS[2:0]		OCCS	SMS			
								rw	rw		rw	rw			

位	字段	描述
31: 22	保留	保留，必须保持复位值。
21: 20	TS[4:3]	触发选择 触发输入源选择。 参考 TS[2:0] 位的描述。
19: 8	保留	保留，必须保持复位值。
7	MSM	主/从模式 0: 无动作 1: 触发输入（TRGI）上事件的作用被延迟，使当前定时器与其从定时器（通过 TRGO）之间实现完美同步。当需要将多个定时器同步到单个外部事件时，该功能非常有用。
6: 4	TS[2:0]	触发选择 这些位与 TS[4:3] 位组合，用于选择触发输入源。 00000: 内部触发 0（ITR0） 00001: 内部触发 1（ITR1） 00010: 内部触发 2（ITR2） 00011: 内部触发 3（ITR3） 00100: 保留 00101: 保留 00110: 保留 00111: 保留 其他: 保留 关于 ITRx 的更多细节，请参考芯片特定配置章节。 注：从模式使能后，这些位不能被更改
3	OCCS	定时器比较输出信号（OCxREF）清除选择 在 PWM 模式下，清除比较输出信号（OCxREF） 0: 外部触发信号作为清除信号 1: 比较器输出（COMP）作为清除信号 注：仅适用于支持外部触发或内置比较器（COMP）的产品
2: 0	SMS	从模式选择 当选择外部信号时，触发信号（TRGI）的有效边沿与在外部输入上所选的极性相关联。 000: 关闭从模式 —— 当 CEN =1 时，预分频器由内部时钟直接驱动。 001: 保留 010: 保留 011: 保留 100: 复位模式 —— 所选触发输入（TRGI）的上升沿重新初始化计数器并产生更新事件。 101: 门控模式 —— 当触发输入（TRGI）为高电平时，计数器开始计数并产生更新事件；当触发输入变为低电平时，计数器停止计数（但不复位）并产生更新事件。计数器的启动和停止都是可控的。 110: 触发模式 —— 计数器在触发输入 TRGI 的上升沿启动（但不复位）并产生更新事件。仅计数器的启动是可控的。 111: 外部时钟模式 1 —— 所选触发输入（TRGI）的上升沿驱动计数器并产生更新事件。

注：内部触发的互连关系请参考芯片特定配置章节中 TIM 之间的互连表。

11.4.5 TIM1_DIER 中断使能寄存器

地址偏移：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															CC5IE
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.								BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
								rw	rw	rw	rw	rw	rw	rw	rw

位	字段	描述
31: 17	保留	保留，必须保持复位值。
16	CC5IE	比较 5 中断使能 0: 禁止比较 5 中断 1: 使能比较 5 中断
15: 8	保留	保留，必须保持复位值。
7	BIE	刹车中断使能 0: 禁止刹车中断 1: 使能刹车中断
6	TIE	触发中断使能 0: 禁止刹车中断 1: 使能刹车中断
5	COMIE	使能 COM 中断 0: 禁止 COM 中断 1: 使能 COM 中断
4	CC4IE	使能比较 4 中断 0: 禁止比较 4 中断 1: 使能比较 4 中断
3	CC3IE	使能比较 3 中断 0: 禁止比较 3 中断 1: 使能比较 3 中断
2	CC2IE	使能比较 2 中断 0: 禁止比较 2 中断 1: 使能比较 2 中断
1	CC1IE	使能比较 1 中断 0: 禁止比较 1 中断 1: 使能比较 1 中断
0	UIE	使能更新中断 0: 禁止更新事件中断 1: 使能更新事件中断

11.4.6 TIM1_SR 状态寄存器

地址偏移: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留														CC5IF	
														rw0c	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
								r_w0c							

位	字段	描述
31: 17	保留	保留，必须保持复位值。
16	CC5IF	比较 5 中断标志 参考 CC1IF 的描述。
15: 8	保留	保留，必须保持复位值。
7	BIF	刹车中断标志 当刹车输入有效时，该位由硬件置位；若刹车输入无效，则由软件将该位置 0 0: 未发生刹车事件 1: 在刹车输入上检测到有效电平

位	字段	描述
6	TIF	触发中断标志 发生触发事件时（从模式计数器处于门控模式以外的任何模式时，在 TRGI 输入端检测到有效边沿；或在门控模式下检测到任意边沿），该位由硬件置位，由软件清除。 0：未发生触发事件 1：触发中断挂起
5	COMIF	COM 中断标志 发生 COM 事件时（比较控制位 CCxE、CCxNE、OCxM 被更新），该位由硬件置位，由软件清除。 0：未发生 COM 事件 1：COM 中断挂起
4	CC4IF	比较 4 中断标志 参考 CC1IF 的描述
3	CC3IF	比较 3 中断标志 参考 CC1IF 的描述
2	CC2IF	比较 2 中断标志 参考 CC1IF 的描述。
1	CC1IF	比较 1 中断标志 当计数器值与比较值匹配时，该位由硬件置位（中央对齐模式除外，中央对齐模式下该位按 TIM1_CR1.CMS[1:0] 置位），由软件清除。 0：未匹配 1：TIM1_CNT 的值与 TIM1_CCR1 的值匹配
0	UIF	更新中断标志 发生更新事件时，该位由硬件置位，由软件清除。 0：未发生更新中断 1：更新中断挂起 当寄存器被更新时，该位由硬件置位： - 当 TIM1_CR1 寄存器 UDIS=0 且 REP_CNT=0 时，计数器产生溢出/下溢。 - 当 TIM1_CR1 寄存器 UDIS=0、URS=0 时，TIM1_EGR 寄存器 UG =1。 - 当 TIM1_CR1 寄存器 UDIS=0、URS=0 时，由从模式控制器产生更新。

11.4.7 TIM1_EGR 事件产生寄存器

地址偏移：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															CC5G
															w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG
								w	w	w	w	w	w	w	w

位	字段	描述
31: 17	保留	保留，必须保持复位值。
16	CC5G	比较 5 产生 参考 CC1G 的描述。
15: 8	保留	保留，必须保持复位值。
7	BG	刹车产生 0：无动作 1：产生一个刹车事件。MOE =0，BIF =1；若使能了对应的中断和 DMA，则产生对应的中断和 DMA。该位由硬件清除。

位	字段	描述
6	TG	触发产生 0: 无动作 1: 产生一个触发事件。TIM1_SR 寄存器 TIF =1。若使能了对应的中断和 DMA，则产生对应的中断和 DMA。该位由硬件自动清除。
5	COMG	比较控制更新产生 0: 无动作 1: 比较事件控制更新，由硬件自动清除。当 CCPC =1 时，使能更新 CCxE、CCxNE 和 OCxM 位。 注：该位仅对互补输出通道有效。
4	CC4G	比较 4 产生 参考 CC1G 的描述。
3	CC3G	比较 3 产生 参考 CC1G 的描述。
2	CC2G	比较 2 产生 参考 CC1G 的描述。
1	CC1G	比较 1 产生 参考 CC1G 的描述。 该位由软件置位，产生一个比较事件，并由硬件自动清除。 0: 无动作 1: 在通道 CC1 上产生一个比较事件： CC1IF 置 1。若使能了对应的中断和 DMA，则产生对应的中断和 DMA。
0	UG	更新事件产生 0: 无动作 1: 初始化计数器并产生一个更新事件，该位由硬件自动清除。选择中央对齐或递增计数模式时，计数器被清除；否则（递减计数模式）装载计数器的自动预装载值。同时预分频计数器也被清除。

11.4.8 TIM1_CCMR1 比较模式寄存器 1

地址偏移：0x18

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2CE	OC2M			OC2PE	OC2FE	保留		OC1CE	OC1M			OC1PE	OC1FE	保留	
rw	rw			rw	rw			rw	rw			rw	rw		

位	字段	描述
15	OC2CE	通道 2 输出比较清除使能 参考 OC1CE 的描述。
14: 12	OC2M	通道 2 输出比较模式 参考 OC1M 的描述。
11	OC2PE	通道 2 输出比较预装载使能 参考 OC1PE 的描述。
10	OC2FE	通道 2 输出比较快速使能 参考 OC1FE 的描述。
9: 8	保留	保留，必须保持复位值。
7	OC1CE	通道 1 比较清除使能 0: OC1REF 不受 ETR 影响 1: 检测到 ETR 为有效电平时，清除 OC1REF

位	字段	描述
6: 4	OC1M	通道 1 输出比较模式 该位定义了输出参考信号 OC1REF 的动作。OC1REF 决定了 OC1 和 OC1N 的值。OC1REF 为高电平有效。OC1、OC1N 的有效电平取决于 CC1P 和 CC1NP 位。 000: 冻结。TIM1_CCR1 与 TIM1_CNT 的比较结果对 OC1REF 无影响。 001: 匹配时设为高。当 TIM1_CNT 的值与 TIM1_CCR1 的值相同时, 强制 OC1REF 为高电平 010: 匹配时设为低。当 TIM1_CNT 的值与 TIM1_CCR1 的值相同时, 强制 OC1REF 为低电平 011: 匹配时翻转。当 TIM1_CCR1=TIM1_CNT 时, OC1REF 翻转。 100: 强制为低。强制 OC1REF 为低电平 101: 强制为高。强制 OC1REF 为高电平 110: PWM 模式 1。递增计数时, 当 TIM1_CNT<TIM1_CCR1, 强制 OC1REF 为高电平, 否则为低电平; 递减计数时, 当 TIM1_CNT > TIM1_CCR1, 强制 OC1REF 为低电平, 否则为高电平。 111: PWM 模式 2。递增计数时, 当 TIM1_CNT<TIM1_CCR1, 通道 1 强制 OC1REF 为低电平, 否则为高电平; 递减计数时, 当 TIM1_CNT > TIM1_CCR1, 强制 OC1REF 为高电平, 否则为低电平。 注 1: 当 LOCK 级别为 3 (TIM1_BDTR 寄存器 LOCK 位) 时, 该位不能被更改。 注 2: 在 PWM 模式 1 或 PWM 模式 2 下, 只有当比较结果发生变化, 或在比较输出模式下由冻结模式切换到 PWM 模式时, OC1REF 的电平才可能改变。
3	OC1PE	通道 1 输出比较预装载使能 0: 禁止 TIM1_CCR1 寄存器的预装载功能, 写入 TIM1_CCR1 寄存器的值立即生效 1: 使能 TIM1_CCR1 寄存器的预装载功能, 读写只作用于预装载寄存器, TIM1_CCR1 的预装载值在更新事件时生效 注 1: 当 LOCK 级别为 3 (TIM1_BDTR 寄存器 LOCK 位) 时, 该位不能被更改。 注 2: 只有在单脉冲模式下 (TIM1_CR1 寄存器 OPM=1), 是否设置预装载寄存器都没有影响; 其他情况下必须设置预装载寄存器, 否则后续动作不确定。
2	OC1FE	通道 1 输出比较快速使能 当该位置 1 且通道配置为 PWM 模式时, 可加快比较输出对触发时刻的响应速度。输出通道将触发输入信号的有效边沿视为一次比较匹配, 因此 OC 被置为比较电平, 而与比较结果无关。 0: 通道 1 输出比较快速使能。 1: 通道 1 输出比较快速禁止。
1: 0	保留	保留, 必须保持复位值。

11.4.9 TIM1_CCMR2 比较模式寄存器 2

地址偏移: 0x1C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4CE	OC4M			OC4PE	OC4FE	保留		OC3CE	OC3M			OC3PE	OC3FE	保留	
rw	rw			rw	rw			rw	rw			rw	rw		

位	字段	描述
15	OC4CE	通道 4 输出比较清除使能 参考 OC3CE 的描述
14: 12	OC4M	通道 4 输出比较模式 参考 OC3M 的描述
11	OC4PE	通道 4 输出比较预装载使能 参考 OC3PE 的描述
10	OC4FE	通道 4 输出比较快速使能 参考 OC3FE 的描述
9: 8	保留	保留, 必须保持复位值。

位	字段	描述
7	OC3CE	通道 3 输出比较清除使能 0: OC3REF 不受 ETR 输入影响 1: 检测到 ETR 输入为有效电平时, 清除 OC3REF
6: 4	OC3M	通道 3 输出比较模式 该位定义了输出参考信号 OC3REF 的动作。OC3REF 决定了 OC3 和 OC3N 的值。OC3REF 为高电平有效。OC3、OC3N 的有效电平取决于 CC3P 和 CC3NP 位。 000: 冻结。TIM1_CCR3 与 TIM1_CNT 的比较结果对 OC3REF 无影响。 001: 匹配时设为高。当 TIM1_CNT 的值与 TIM1_CCR3 的值相同时, 强制 OC3REF 为高电平 010: 匹配时设为低。当 TIM1_CNT 的值与 TIM1_CCR3 的值相同时, 强制 OC3REF 为低电平 011: 匹配时翻转。当 TIM1_CCR3=TIM1_CNT 时, OC3REF 翻转。 100: 强制为低。强制 OC3REF 为低电平 101: 强制为高。强制 OC3REF 为高电平 110: PWM 模式 1。递增计数时, 当 TIM1_CNT<TIM1_CCR3, 强制 OC3REF 为高电平, 否则为低电平; 递减计数时, 当 TIM1_CNT > TIM1_CCR3, 强制 OC3REF 为低电平, 否则为高电平。 111: PWM 模式 2。递增计数时, 当 TIM1_CNT<TIM1_CCR3, 强制 OC3REF 为低电平, 否则为高电平; 递减计数时, 当 TIM1_CNT > TIM1_CCR3, 强制 OC3REF 为高电平, 否则为低电平。 注 1: 当 LOCK 级别为 3 (TIM1_BDTR 寄存器 LOCK 位) 时, 该位不能被更改。 注 2: 在 PWM 模式 1 或 PWM 模式 2 下, 只有当比较结果发生变化, 或在比较输出模式下由冻结模式切换到 PWM 模式时, OC3REF 的电平才可能改变。
3	OC3PE	通道 3 输出比较预装载使能 0: 禁止 TIM1_CCR3 寄存器的预装载功能, 写入 TIM1_CCR3 寄存器的值立即生效 1: 使能 TIM1_CCR3 寄存器的预装载功能, 读写只作用于预装载寄存器, TIM1_CCR3 的预装载值在更新事件到来时生效 注 1: 当 LOCK 级别设为 3 (TIM1_BDTR 寄存器 LOCK 位) 时, 该位不能被更改。 注 2: 只有在单脉冲模式下 (TIM1_CR1 寄存器 OPM=1), 不需要设置预装载寄存器; 其他情况下必须设置预装载寄存器, 否则后续动作不确定。
2	OC3FE	通道 3 输出比较快速使能 当该位为 1 且通道配置为 PWM 模式时, 可加快比较输出对触发时刻的响应速度。输出通道将触发输入信号的有效边沿视为一次比较匹配, 因此 OC 被置为比较电平, 而与比较结果无关。 0: 通道 3 输出比较快速禁止。 1: 通道 3 输出比较快速使能。
1: 0	保留	保留, 必须保持复位值。

11.4.10 TIM1_CCER 比较使能寄存器

地址偏移: 0x20

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res	Res	CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
rw															

位	字段	描述
15: 14	保留	保留, 必须保持复位值。
13	CC4P	通道 4 比较输出极性 参考 CC1P 的描述。
12	CC4E	通道 4 比较使能 参考 CC1E 的描述
11	CC3NP	通道 3 互补输出极性 参考 CC1NP 的描述

位	字段	描述
10	CC3NE	通道 3 互补输出使能 参考 CC1NE 的描述
9	CC3P	通道 3 输出极性 参考 CC1P 的描述
8	CC3E	通道 3 输出使能 参考 CC1E 的描述
7	CC2NP	通道 2 互补输出极性 参考 CC1NP 的描述
6	CC2NE	通道 2 互补输出使能 参考 CC1NE 的描述
5	CC2P	通道 2 输出极性 参考 CC1P 的描述
4	CC2E	通道 2 输出使能 参考 CC1E 的描述
3	CC1NP	通道 1 互补输出极性 该位定义了输入信号的极性： 0: OC1N 高电平有效 1: OC1N 低电平有效 注：当 LOCK 级别（TIM1_BDTR 寄存器 LCCK 位）设为 3 或 2 时，该位不能被更改。
2	CC1NE	通道 1 互补输出使能 0: 关闭通道 1 互补输出，禁止 OC1N 输出。 1: OC1N 信号输出到对应的输出引脚。输出电平取决于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 的值。
1	CC1P	通道 1 输出极性 该位定义了输出信号的极性： 0: OC1 高电平有效 1: OC1 低电平有效 注：当 LOCK 级别（TIM1_BDTR 寄存器 LCCK）设为 3 或 2 时，该位不能被更改。
0	CC1E	通道 1 输出使能 0: 关闭，禁止 OC1 输出 1: 使能。输出电平取决于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 的值。

11.4.11 TIM1_CNT 计数器

地址偏移：0x24

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw															

位	字段	描述
15: 0	CNT	计数器的值

11.4.12 TIM1_PSC 预分频器

地址偏移：0x28

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC															
rw															

位	字段	描述
15: 0	PSC	预分频器的值 计数器的时钟频率 (ck_cnt) = f _{CK_PSC} / (PSC+1) 当发生更新事件时, PSC 的值装入当前预分频寄存器。

11.4.13 TIM1_ARR 自动预装载寄存器

地址偏移: 0x2C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR															
rw															

位	字段	描述
15: 0	ARR	自动预装载值 这些位定义了计数器的自动预装载值。当自动预装载的值为 0 时, 计数器不工作。

11.4.14 TIM1_RCR 重复计数寄存器

地址偏移: 0x30

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REP_CNT								REP							
rw								rw							

位	字段	描述
15: 8	REP_CNT	重复计数器写入的实时值 在重复计数模式下, 用于实时改变更新中断标志位 (UIF) 检测点的相位移动 注: 请在更新事件之后写这些位。在更新事件之前写 REP_CNT 会使该位的移动无效。
7: 0	REP	重复计数器的值 重复计数器的值定义了更新事件的产生速度。当重复计数器的值减到 0 时, 产生更新事件。如果使能了更新中断, 还会同时影响更新中断的产生速度。 写入的 REP 值在下次更新事件时生效。在 PWM 模式下, (REP+1) 对应于: 边沿对齐模式下的 PWM 周期数 中央对齐模式下的 PWM 半周期数

11.4.15 TIM1_CCR1 比较寄存器 1

地址偏移: 0x34

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1															
rw															

位	字段	描述
15: 0	CCR1	通道 1 的比较值 若未在 TIM1_CCMR1 寄存器中选择预装载功能 (OC1PE 位), 写入的值立即传送到当前的比较影子寄存器; 否则写入的值只在发生更新事件时装载到比较寄存器。当前的比较影子寄存器参与与计数器 TIM1_CNT 的比较, 比较结果反映到 OC1 端口的输出信号上。

11.4.16 TIM1_CCR2 比较寄存器 2

地址偏移: 0x38

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2															
rw															
位		字段				描述									
15: 0		CCR2				通道 2 的比较值 参考 CCR1 的描述。									

11.4.17 TIM1_CCR3 比较寄存器 3

地址偏移: 0x3C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3															
rw															
位		字段				描述									
15: 0		CCR3				通道 3 的比较值 参考 CCR1 的描述。									

11.4.18 TIM1_CCR4 比较寄存器 4

地址偏移: 0x40

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4															
rw															
位		字段				描述									
15: 0		CCR4				通道 4 的比较值 参考 CCR1 的描述。									

11.4.19 TIM1_BDTR 刹车和死区寄存器

地址偏移: 0x44

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															DOE
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSS R	OSSI	LOCK		DTG							
rw	rw	rw	rw	rw	rw	rw		rw							

注: 根据锁定设置, DOE、AOE、BKP、BKE、OSSI、OSSR 和 DTG 位可能被写保护; 必须在首次写入 TIM1_BDTR 寄存器时完成配置。详情见互补输出与死区插入章节。

位	字段	描述
31: 17	保留	保留, 必须保持复位值。

位	字段	描述
16	DOE	直接输出使能 当刹车有效时，MOE 被置 0 生效。 0：刹车输出后，等待一个死区时间再输出空闲状态（输出禁止）。 1：立即输出空闲状态（输出禁止）。 注：设置 LOCK 级别 1（TIM1_BDTR 寄存器 LOCK 位）后，该位不能被更改。
15	MOE	主输出使能 当通道 x 配置为输出时，根据 AOE 位的设定值，该位可由软件清除或自动置位。当刹车输入有效时，该位由硬件清除。 0：禁止 OCx 和 OCxN 输出，或强制为空闲状态（输出禁止）。 1：当设置了对应的使能位（TIM1_CCER 寄存器 CCxE、CCxNE）时，使能 OCx 和 OCxN 输出
14	AOE	自动输出使能 0：MOE 不能由硬件置位 1：MOE 可由软件置位，或在刹车无效时由硬件在下次更新事件自动置位 注：设置 LOCK 级别 1（TIM1_BDTR 寄存器 LOCK 位）后，该位不能被更改。
13	BKP	刹车输入极性 0：刹车输入低电平有效 1：刹车输入高电平有效 注：设置 LOCK 级别 1（TIM1_BDTR 寄存器 LOCK 位）后，该位不能被更改。
12	BKE	刹车功能使能 0：禁止刹车输入 1：使能刹车输入 注 1：设置 LOCK 级别 1（TIM1_BDTR 寄存器 LOCK 位）后，该位不能被更改。 注 2：刹车输入包括引脚输入和比较器比较结果输入。使能刹车功能之前，先配置 TIM1_BKINF 寄存器中的 BKIN_SEL 位选择刹车源。
11	OSSR	运行模式下的关断状态选择 该位仅在 MOE =1 且通道为互补输出时适用。 0：定时器无效时，禁止 OC/OCN 输出 1：定时器无效时，若 CCxE = 1 或 CCxNE = 1，先使能 OC/OCN 并输出无效电平，然后置位 OC/OCN 使能输出信号 注：设置 LOCK 级别 2（TIM1_BDTR 寄存器 LOCK 位）后，该位不能被更改。
10	OSSI	空闲模式下的关断状态选择 该位仅在 MOE =0 且通道为输出时适用。 0：定时器无效时，禁止 OC/OCN 输出 1：定时器无效时，若 CCxE = 1 或 CCxNE = 1，OC/OCN 先输出无效电平，然后置位 OC/OCN 使能输出信号。 注：设置 LOCK 级别 2（TIM1_BDTR 寄存器 LOCK 位）后，该位不能被更改。
9: 8	LOCK	锁定配置 该位定义了寄存器的写保护功能。 00：写保护功能关闭，寄存器无写保护 01：锁定级别 1，不能写 TIM1_BDTR 寄存器的 DOE、DTG、BKE、BKP 和 AOE 位以及 TIM1_CR2 寄存器的 OISx/OISxN 位 10：锁定级别 2，不能写锁定级别 1 的各位，也不能写 CC 极性以及 OSSR/OSSI 位 11：锁定级别 3，不能写锁定级别 2 的各位，也不能写 CC 控制位 注：LOCK 位在复位后只能写一次。一旦写入 TIM1_BDTR 寄存器，其内容将被冻结直到下次复位。
7: 0	DTG	死区发生器设置调整 这些位定义了互补输出的死区时长。 注：当 LOCK 级别（TIM1_BDTR 寄存器 LOCK 位）设为 1、2 或 3 时，该位不能被更改。

11.4.20 TIM1_CCMR3 比较模式寄存器 3

地址偏移: 0x54
复位值: 0x0000
该通道仅适用于比较输出模式

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留												OC5 PE	保留		
												rw			
位			字段			描述									
15: 4			保留			保留，必须保持复位值。									
3			OC5PE			比较输出 5 预装载使能 0：禁止 TIM1_CCR5 寄存器的预装载功能，写入 TIM1_CCR5 寄存器的值立即生效。 1：使能 TIM1_CCR5 寄存器的预装载功能，读写只作用于预装载寄存器，TIM1_CCR5 的预装载值在更新事件时生效 注 1：设置 LOCK 级别 3（TIM1_BDTR 寄存器 LOCK 级别）后，该位不能被更改。									
2: 0			保留			保留，必须保持复位值。									

11.4.21 TIM1_CCR5 比较寄存器 5

地址偏移: 0x58
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR5															
rw															
位			字段			描述									
15: 0			CCR5			比较 5 的值 CC5 通道只能配置为输出: 若未在 TIM1_CCMR3 寄存器中选择预装载功能 (OC5PE 位), 写入的值将立即传送到相应的比较影子寄存器; 否则只有在发生更新事件时, 预装载值才会传送到相应的比较影子寄存器。比较影子寄存器参与与计数器 TIM1_CNT 的比较。由于 CC5 通道是内部通道, 不能传送到引脚, 因此比较结果用于内部触发事件。									

11.4.22 TIM1_PDER PWM 移相使能寄存器

地址偏移: 0x5C
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		CCR 5FA LLR S	CCR 4FA LLR S	CCR 3FA LLR S	CCR 2FA LLR S	CCR 1FA LLR S	CNT FOR CEC L	保留		CCR 5_S HIFT _EN	CCR 4_S HIFT _EN	CCR 3_S HIFT _EN	CCR 2_S HIFT _EN	CCR 1_S HIFT _EN	CCD REP E
		rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw

位	字段	描述
15: 14	保留	保留，必须保持复位值。
13	CCR5FALLRS	当通道 5 使能 PWM 移相输出时，允许在递增计数阶段基于 CCR5FALL 触发。 0：禁止在递增计数阶段由 CCR5FALL 触发。 1：使能在递增计数阶段由 CCR5FALL 触发。 详情请参考 CCRxFALL 寄存器中关于移相操作的描述。

位	字段	描述
12	CCR4FALLRS	当通道 4 使能 PWM 移相输出时，允许在递增计数阶段基于 CCR4FALL 触发。 0: 禁止在递增计数阶段由 CCR4FALL 触发。 1: 使能在递增计数阶段由 CCR4FALL 触发。 详情请参考 CCRxFALL 寄存器中关于移相操作的描述。
11	CCR3FALLRS	当通道 3 使能 PWM 移相输出时，允许在递增计数阶段基于 CCR3FALL 触发。 0: 禁止在递增计数阶段由 CCR3FALL 触发。 1: 使能在递增计数阶段由 CCR3FALL 触发。 详情请参考 CCRxFALL 寄存器中关于移相操作的描述。
10	CCR2FALLRS	当通道 2 使能 PWM 移相输出时，允许在递增计数阶段基于 CCR2FALL 触发。 0: 禁止在递增计数阶段由 CCR2FALL 触发。 1: 使能在递增计数阶段由 CCR2FALL 触发。 详情请参考 CCRxFALL 寄存器中关于移相操作的描述。
9	CCR1FALLRS	当通道 1 使能 PWM 移相输出时，允许在递增计数阶段基于 CCR1FALL 触发。 0: 禁止在递增计数阶段由 CCR1FALL 触发。 1: 使能在递增计数阶段由 CCR1FALL 触发。 详情请参考 CCRxFALL 寄存器中关于移相操作的描述。
8	CNTFORCECL	当通道 x 使能 PWM 移相时，计数器在溢出时被强制清零。 0: 禁止溢出时复位计数器。 1: 使能溢出时复位计数器。
7: 6	保留	保留，必须保持复位值。
5	CCR5_SHIFT_EN	通道 5 输出 PWM 移相使能位 0: 禁止通道 5 输出 PWM 移相 1: 使能通道 5 输出 PWM 移相 详情见 CCRxFALL 寄存器的移相操作描述
4	CCR4_SHIFT_EN	通道 4 输出 PWM 移相使能位 0: 禁止通道 4 输出 PWM 移相 1: 使能通道 4 输出 PWM 移相 详情见 CCRxFALL 寄存器的移相操作描述
3	CCR3_SHIFT_EN	通道 3 输出 PWM 移相使能位 0: 禁止通道 3 输出 PWM 移相 1: 使能通道 3 输出 PWM 移相 详情见 CCRxFALL 寄存器的移相操作描述
2	CCR2_SHIFT_EN	通道 2 输出 PWM 移相使能位 0: 禁止通道 2 输出 PWM 移相 1: 使能通道 2 输出 PWM 移相 详情见 CCRxFALL 寄存器的移相操作描述
1	CCR1_SHIFT_EN	通道 1 输出 PWM 移相使能位 0: 禁止通道 1 输出 PWM 移相 1: 使能通道 1 输出 PWM 移相 详情见 CCRxFALL 寄存器的移相操作描述
0	CCDREPE	使能在每次下溢或溢出时由 DMA 产生更新请求 0: 按重复计数寄存器的值产生 DMA 更新请求。 1: 使能在每次下溢或溢出时由 DMA 产生更新请求

11.4.23 TIM1_CCRxFALL PWM 移相递减计数比较寄存器

地址偏移: 0x60 ~ 0x70

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCRxFALL															
rw															

位	字段	描述
15: 0	CCRxFALL	PWM 中央对齐模式下递减计数时通道 x 的比较值 PWM 移相功能：使能 PDER 寄存器的 PWM 移相功能。根据所需的相移量配置 CCRxFALL 和 CCRx，PWM 即可输出可编程移相的波形，并可左移或右移。 注：x=1~5

11.4.24 TIM1_BKINF 刹车输入滤波寄存器

地址偏移：0x74

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	COMPBKIN_SEL	保留						IOBKIN_SEL	Res.	BKINF			BKINFE	
		rw							rw		rw			rw	

位	字段	描述
31: 14	保留	保留，必须保持复位值。
13	COMPBKIN_SEL	COMP 刹车输入通道选择 COMPBKIN_SEL[0]: 0: 禁止 COMP1_OUT 刹车输入 1: 使能 COMP1_OUT 刹车输入
12: 7	保留	保留，必须保持复位值。
6	IOBKIN_SEL	IO 刹车输入通道选择 IOBKIN_SEL[0]: 0: 禁止 TIM1_BKIN1 刹车输入 1: 使能 TIM1_BKIN1 刹车输入
5	保留	保留，必须保持复位值。
4: 1	BKINF	刹车输入滤波 0000: 2 个周期 0001: 4 个周期 0010: 8 个周期 0011: 16 个周期 0100: 32 个周期 0101: 64 个周期 0110: 128 个周期 0111: 256 个周期 1000: 384 个周期 1001: 512 个周期 1010: 640 个周期 1011: 768 个周期 1100: 896 个周期 1101: 1024 个周期 1110: 1152 个周期 1111: 1280 个周期 注：更改刹车数字滤波器的采样频率之前，请先关闭刹车滤波功能。
0	BKINFE	刹车输入滤波使能 1: 使能刹车输入滤波 0: 禁止刹车输入滤波 注：请在配置好刹车条件之后再使能滤波器。 刹车滤波器用于电平有效的信号。

11.4.25 TIM1_DOCR 调试模式输出控制寄存器

地址偏移：0x80

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														DOS	
														rw	

位	字段	描述
15: 2	保留	保留, 必须保持复位值。
1: 0	DOS	调试暂停输出选择 00: 调试暂停有效时, OCx/OCxN 保持进入调试模式之前的输出值。(对原有输出无影响。) 01: 调试暂停有效时, OCx/OCxN 输出低电平。 10: 调试暂停有效时, OCx 输出高电平, OCxN 输出低电平。 11: 调试暂停有效并触发刹车事件时, OCx/OCxN 输出由刹车功能设置所定义的电平。

11.4.26 TIM1_SOER 软件输出总使能寄存器

地址偏移: 0x84

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															SOEN
															rw

位	字段	描述
15: 1	保留	保留, 必须保持复位值。
0	SOEN	软件输出总使能 0: 禁止 CH1~CH4 的软件配置输出功能。 1: 使能 CH1~CH4 的软件配置输出功能。

11.4.27 TIM1_SOCR 软件输出配置寄存器

地址偏移: 0x88

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BSFTEN								BSFTV							
rw								rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SFTEN								SFTV							
rw								rw							

位	字段	描述
31: 24	BSFTEN	CH1~CH4 刹车软件输出使能 0: 禁止 OCx/OCxN 软件输出配置。 1: 使能 OCx/OCxN 软件输出配置。 X=1~4, BSFTEN[6:0] 分别对应 OC4、OC3N、OC3、OC2N、OC2、OC1N 和 OC1。
23: 16	BSFTV	CH1~CH4 刹车软件输出值 0: OCx/OCxN 软件输出设置为 0。 1: OCx/OCxN 软件输出设置为 1。 X=1~4, BSFTV[6:0] 分别对应 OC4、OC3N、OC3、OC2N、OC2、OC1N 和 OC1。
15: 8	SFTEN	CH1~CH4 软件输出使能 0: 禁止 OCx/OCxN 软件输出配置。 1: 使能 OCx/OCxN 软件输出配置。 X=1~4, SFTEN[6:0] 分别对应 OC4、OC3N、OC3、OC2N、OC2、OC1N 和 OC1。

位	字段	描述
7: 0	SFTV	CH1~CH4 刹车软件输出值 0: OCx/OCxN 软件输出设置为 0。 1: OCx/OCxN 软件输出设置为 1。 X=1~4, SFTV[6:0] 分别对应 OC4、OC3N、OC3、OC2N、OC2、OC1N 和 OC1。

11.4.28 TIM1_BKSR 刹车状态寄存器

地址偏移: 0x8C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留													BCPTF0	BIOF	Res.
													r_w0c	r_w0c	

位	字段	描述
15: 3	保留	保留, 必须保持复位值。
2	BCPTF0	CMP0 刹车输入状态标志 0: 无 CMP0 刹车输入。 1: 发生 CMP0 刹车输入。 收到刹车输入信号时, 该位由硬件置 1, 由软件清除。
1	BIOF	IO 刹车输入状态标志 0: 无 IO 刹车输入。 1: 发生 IO 刹车输入。 收到刹车输入信号时, 该位由硬件置 1, 由软件清除。
0	保留	保留, 必须保持复位值。

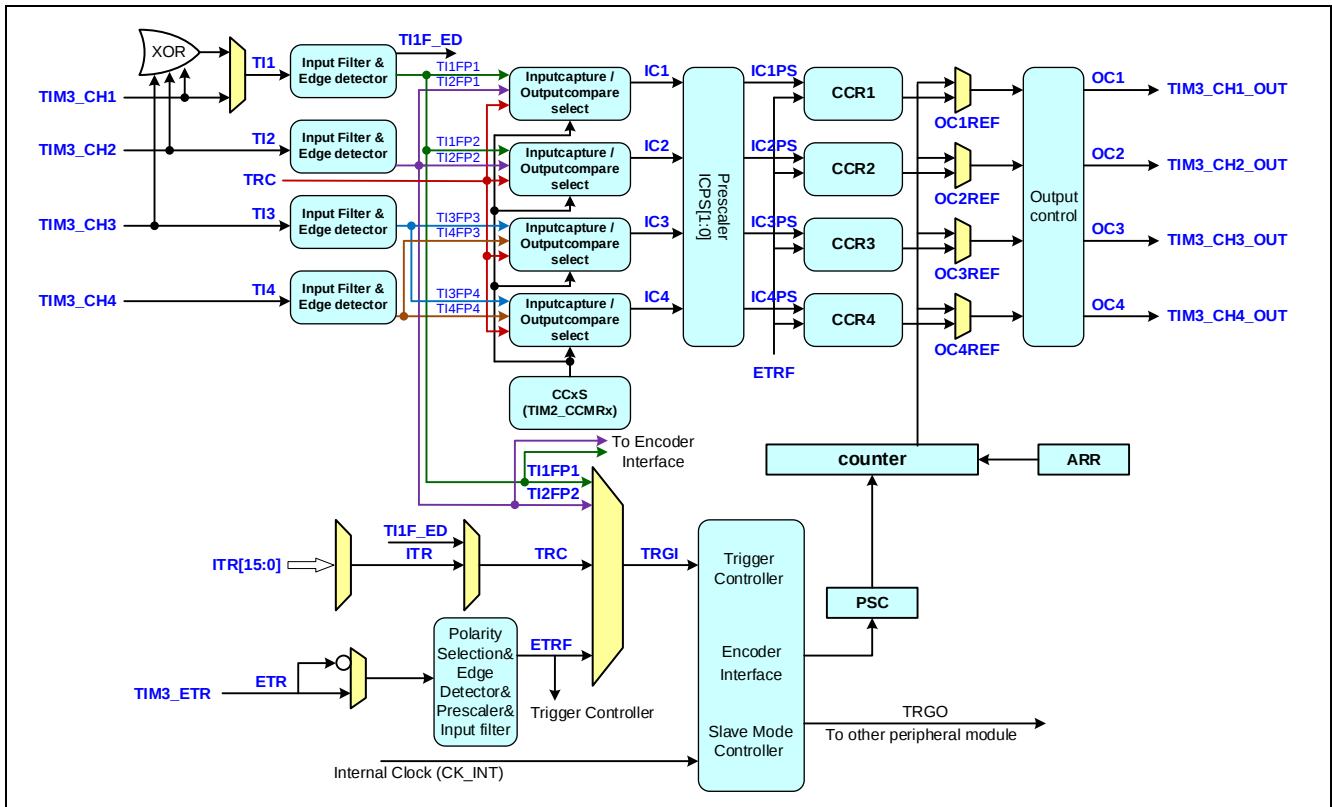
12 TIM3 16 位通用定时器

12.1 简介

TIM3 由一个 16 位实时可编程预分频器和一个计数方向可编程的 16 位自动预装载计数器组成，可以方便地提供计数和定时功能。计数器由可编程预分频器驱动。通用定时器可用于多种用途，例如输入捕获功能（测量输入信号脉宽或频率、PWM 输入等）、比较输出功能（PWM 输出、单脉冲模式等）。

12.2 功能框图

图 12-1 TIM3 框图



TIM3 结构框图主要由输入捕获单元、比较输出单元和计数器单元组成。

12.3 主要特性

- 16 位实时可编程预分频器，分频系数：1-65536。
- 时钟源：内部时钟源、外部时钟输入（TIx、ETRx）、内部触发输入（ITRx）。
- 16 位自动预装载计数器（计数方向：递增、递减、递增/递减）。
- 同步电路，可用外部信号控制定时器，并将多个定时器互连。
- 输入捕获：测量输入信号的脉宽或周期。
- 触发输入可用作外部时钟或逐周期管理。
- 支持编码器和霍尔传感器等接口。
- 4 个输出通道
- 比较输出（控制输出波形或指示计数器已完成定时）。
- PWM 输出（边沿对齐或中央对齐模式）
- 单脉冲模式。
- 中断请求事件：更新事件、触发事件、输入捕获、比较输出。

12.4 功能描述

12.4.1 时钟

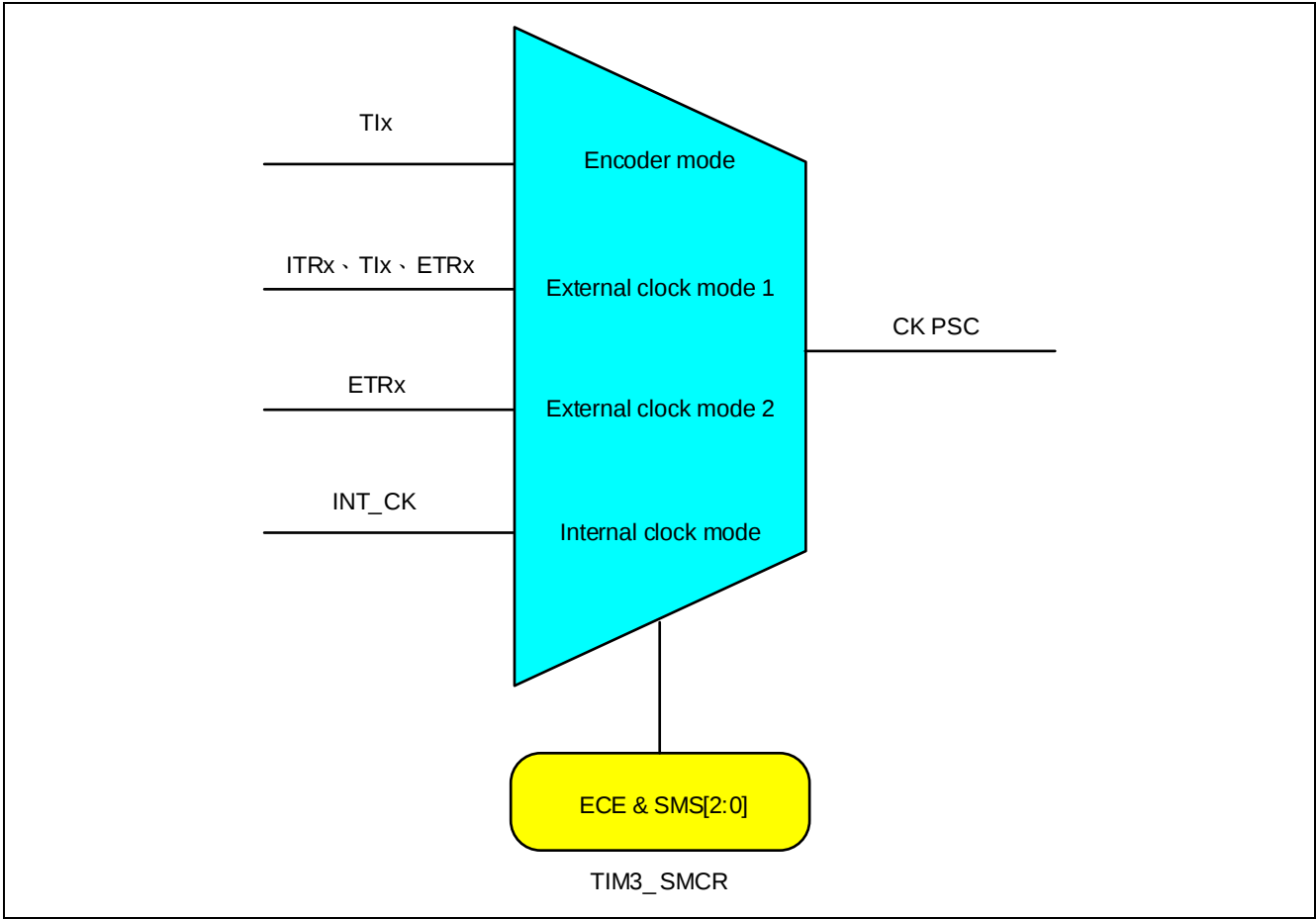
12.4.1.1 时钟选择

计数器有下列几种时钟源：

- 内部时钟（INT_CK）
- 外部时钟模式 1：外部触发输入 TRGI（包括 Tl_x、ITR_x、ETR_x）
- 外部时钟模式 2：外部触发输入 ETR（包括 ETR_x）
- 编码器模式

上述几种时钟选择的示意图：

图 12-2 时钟选择



12.4.1.1.1 内部时钟源（INT_CK）

当 TIM3_SMCR 寄存器的 SMS =000 时，禁止从模式。使能计数器后，预分频器时钟由内部时钟驱动。

12.4.1.1.2 外部时钟模式 1（外部触发输入 TRGI，包括 Tl_x、ITR_x、ETR_x）

当 TIM3_SMCR 寄存器的 SMS = 111 时，选择外部时钟模式 1（TRGI）。计数器由所选输入信号的上升沿或下降沿驱动。

例如：在 TI1 输入的上升沿递增计数。具体配置：

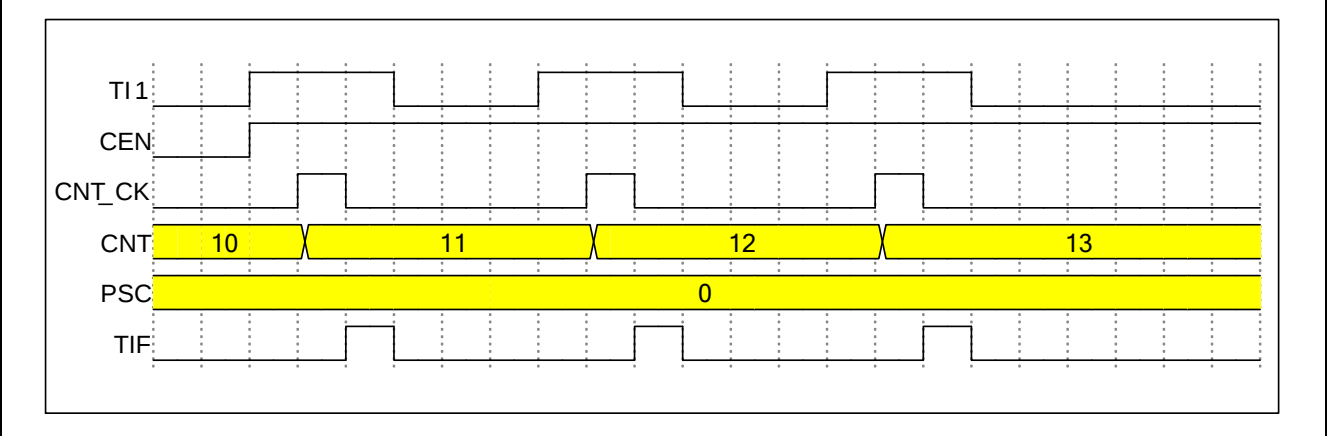
1. 配置 TIM3_CCMR1 寄存器 CC1S=01，将 CC1 通道配置为输入，IC1 映射到 TI1；配置 TIM3_CCMR1 寄存器 IC1F[3: 0]，设置输入滤波带宽；配置 TIM3_CCER 寄存器 CC1P=0，选择上升沿为有效边沿。

2. 配置 TIM3_SMCR 寄存器 TS=101，选择 TI1 作为触发输入源；配置 TIM3_SMCR 寄存器 SMS=111，选择外部时钟模式 1。

3. 配置 TIM3_CR1 寄存器 DIR=0，选择递增计数模式；配置 TIM3_CR1 寄存器 CEN=1，启动计数器。

TI1 输入有效边沿时，递增计数一次，TIF 标志位由硬件置位。TI1 有效边沿与计数器实际时钟之间的延时取决于 TI1 输入引脚的同步电路。

图 12-3 外部时钟模式 1 下的控制电路



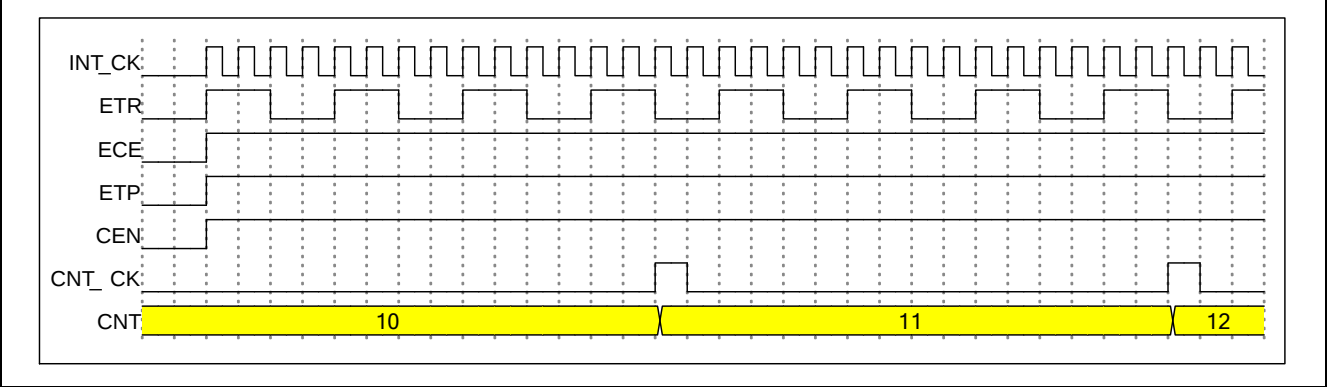
12.4.1.1.3 外部时钟模式 2（外部触发输入 ETR，包括 ETRx）

当 TIM3_SMCR 寄存器的 ECE=1 时，使能外部时钟模式 2，计数器由 ETR 信号的有效边沿驱动。

例如：ETR 上每 4 个下降沿递增计数一次。具体配置：

1. 配置 TIM3_SMCR 寄存器 ETF[3:0]=0010，ETR 上每 4 个有效边沿递增计数一次；配置 TIM3_SMCR 寄存器 ETP=1，选择下降沿为有效边沿；配置 TIM3_SMCR 寄存器 ECE=1，选择外部时钟模式 2。
2. 配置 TIM3_CR1 寄存器 DIR=0，选择递增计数模式；配置 TIM3_CR1 寄存器 CEN=1，启动计数器。ETR 下降沿与计数器实际时钟之间的延时取决于 ETR 信号端的同步电路。

图 12-4 外部时钟模式 2 下的控制电路



12.4.1.1.4 编码器模式

详情请参考从模式—编码器接口章节。

12.4.1.2 时基单元

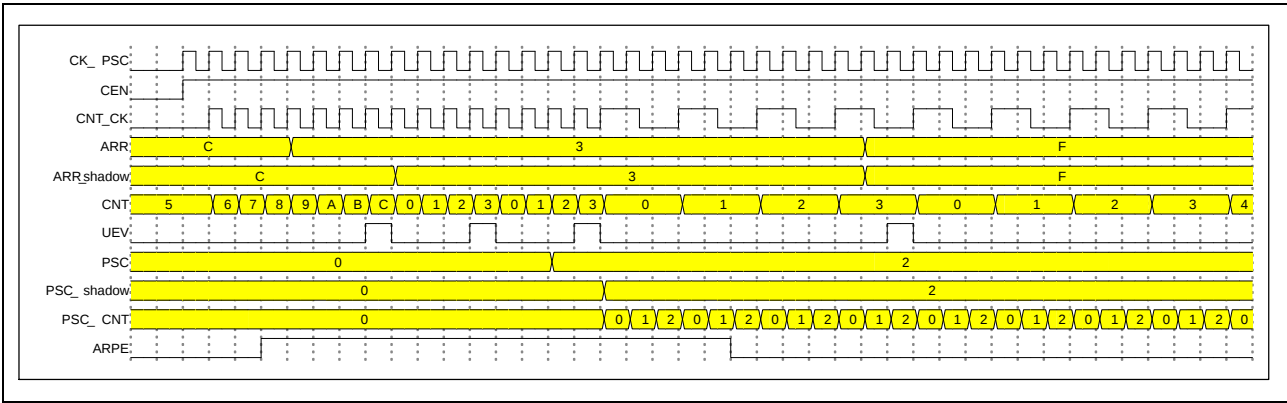
TIM3 时基单元主要包括：计数器寄存器（TIM3_CNT）、预分频器寄存器（TIM3_PSC）、自动预装载寄存器（TIM3_ARR）。

计数器单元由一个 16 位计数器及其相关的自动预装载寄存器组成，计数器可以递增计数、递减计数或递增/递减计数。

计数器时钟由预分频器提供。预分频器由预分频计数器及其相关寄存器组成，分频系数为 1-65536。它可以随时写入，并在下一次更新时生效。

自动预装载寄存器带有一个具有预装载功能的 16 位影子寄存器。设置 TIM3_CR1 寄存器的 ARPE 位，可以选择 ARR 寄存器的内容是持续传送到影子寄存器，还是在每次更新事件时传送。

图 12-5 自动预装载



12.4.1.3 计数器模式

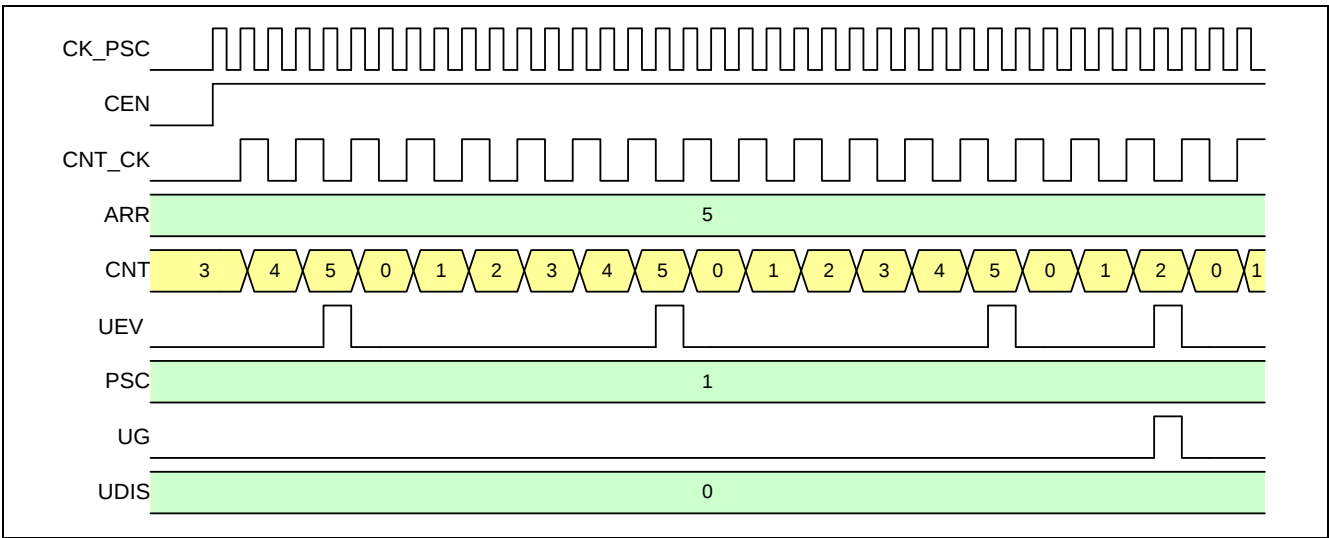
配置 TIM3_CR1 寄存器的 DIR 位和 CMS 位来选择计数模式。共有三种计数模式：递增计数模式、递减计数模式和中央对齐模式（递增/递减计数模式）。下面分别对各计数模式进行详细描述。

12.4.1.3.1 递增计数模式

配置 TIM3_CR1 寄存器 CMS=0、DIR=0，选择递增计数模式。

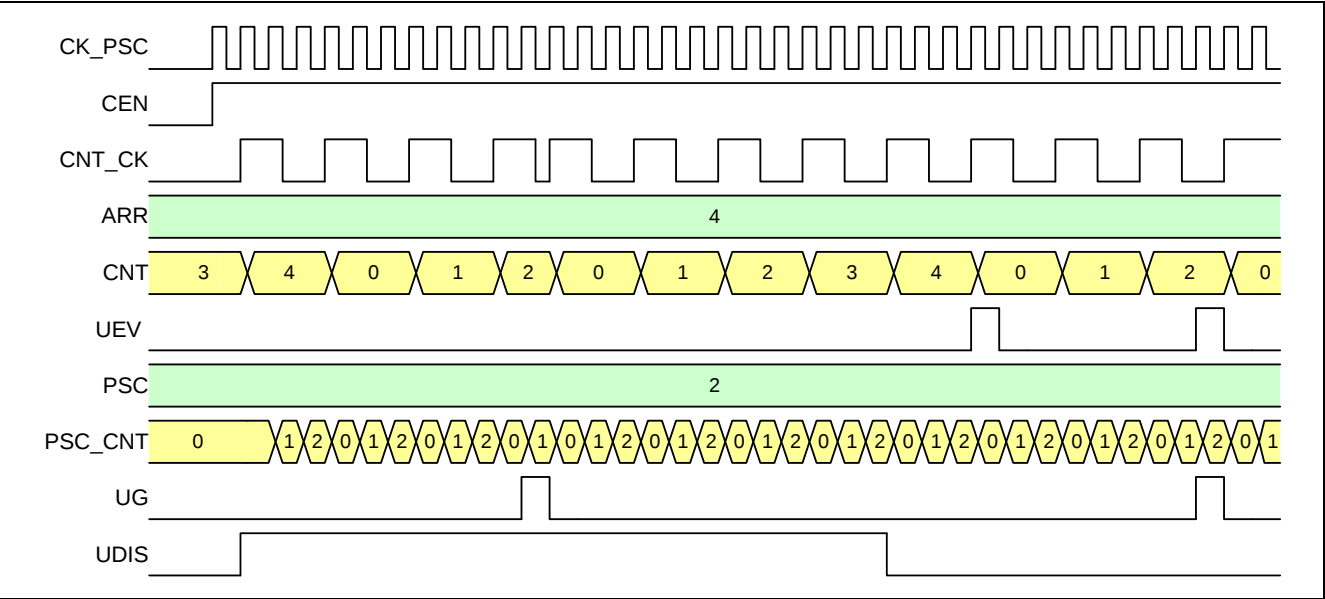
在递增计数模式下，使能 TIM3_CR1 寄存器的 CEN，计数器从 0 开始递增计数到 TIM3_ARR 的值，并产生一个计数器溢出事件（更新），然后计数器再次从 0 开始递增计数。将 TIM3_EGR 寄存器的 UG 置 1，同样会产生更新事件。

图 12-6 递增计数模式 (UDIS=0)



配置 TIM3_CR1 寄存器 UDIS=1，禁止更新事件。发生计数器溢出事件时不产生更新事件；配置 UG=1 也不产生更新事件，但计数器和预分频计数器会初始化，并从 0 开始递增计数。

图 12-7 递增计数模式（UDIS=1 禁止更新事件）



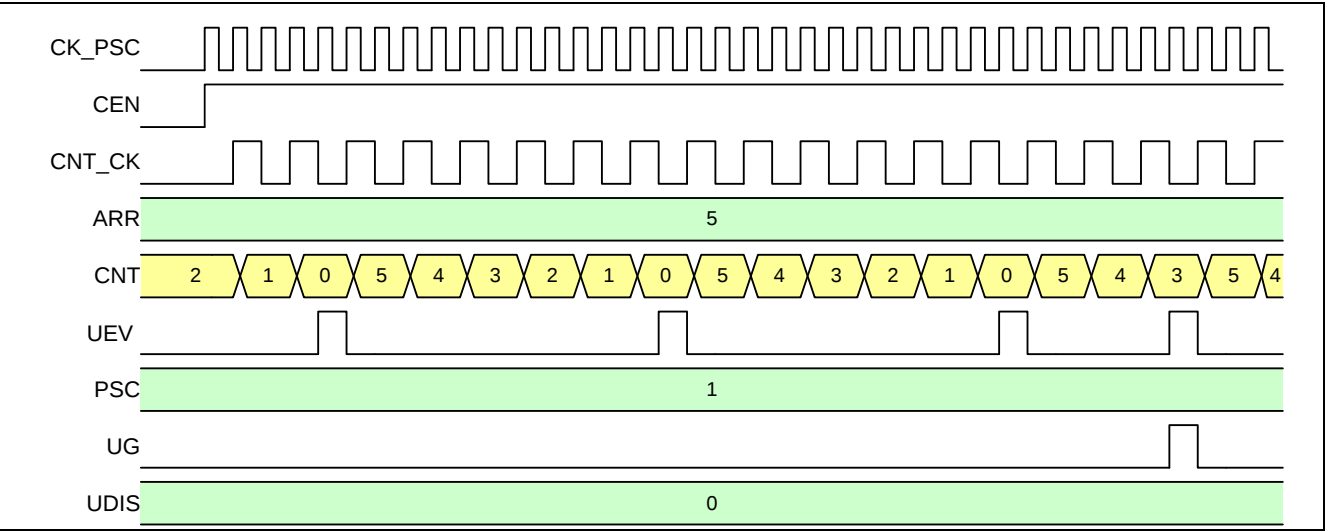
注：发生更新事件时：

- ARR 寄存器的值装载到 ARR 影子寄存器。
- 预分频器的预装载值生效。

12.4.1.3.2 递减计数模式

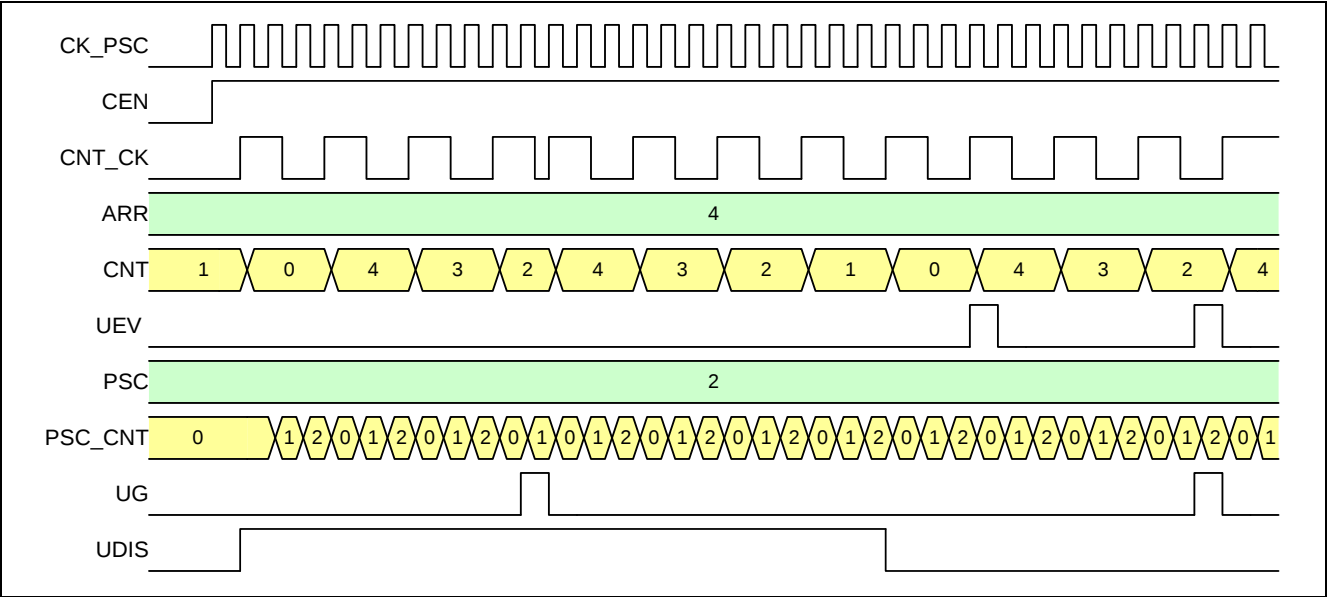
配置 TIM3_CR1 寄存器 CMS=0、DIR=1，选择递减计数模式。在递减计数模式下，计数器从自动预装载值 TIM3_ARR 开始递减计数，计数到 0 时产生下溢事件（更新事件）。将 TIM3_EGR 寄存器的 UG 置 1，同样会产生更新事件。更新事件之后，从自动装载值 TIM3_ARR 开始递减计数（TIM3_CR1 寄存器 UDIS=0）。

图 12-8 递减计数模式（UDIS=0）



配置 TIM3_CR1 寄存器 UDIS=1，禁止更新事件。计数器产生下溢事件时不产生更新事件；配置 UG=1 也不产生更新事件，但计数器和预分频计数器会初始化，并从 TIM3_ARR 开始计数。

图 12-9 递减计数模式（UDIS=1 禁止更新事件）



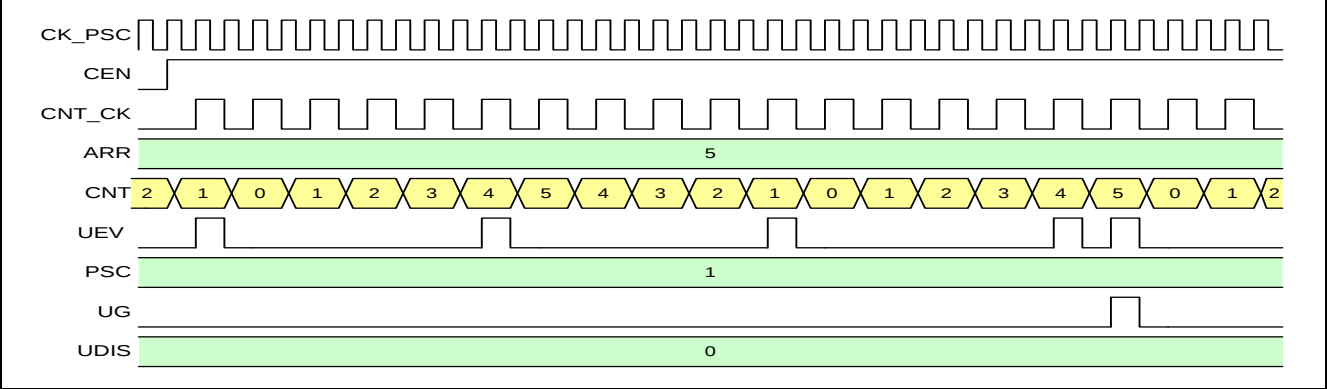
12.4.1.3.3 中央对齐计数模式（递增/递减计数模式）

配置 TIM3_CR1 寄存器 CMS ≠ 0（此时写 DIR 无效），选择中央对齐计数模式。

中央对齐计数模式下，递增计数和递减计数交替进行。递增计数到 ARR-1 时产生溢出事件；从 ARR 开始递减计数到 1 时产生下溢事件，然后从 0 开始递增计数。

将 TIM3_EGR 寄存器的 UG 置 1 同样会产生更新事件。更新事件之后，计数器再次从 0 开始递增计数（TIM3_CR1 寄存器 UDIS=0）。

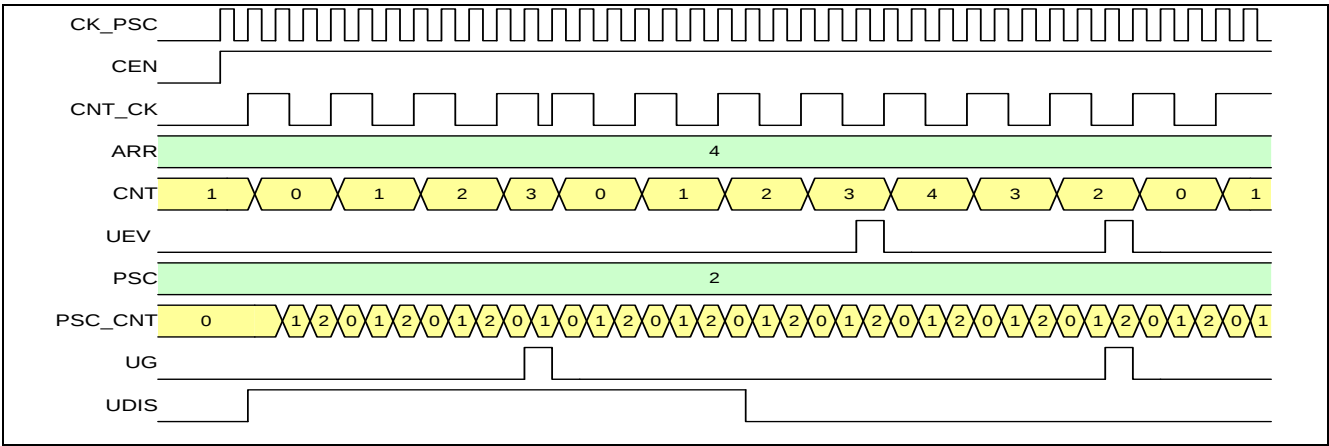
图 12-10 中央对齐计数模式（UDIS=0）



配置 TIM3_CR1 寄存器 UDIS=1 时，禁止更新事件。计数器产生溢出或下溢事件时不产生更新事件；配置 UG=1 也不产生更新事件，但计数器和预分频计数器会初始化，并从 0 开始计数。

图 12-11 中央对齐计数模式（UDIS=1 禁止更新事件）



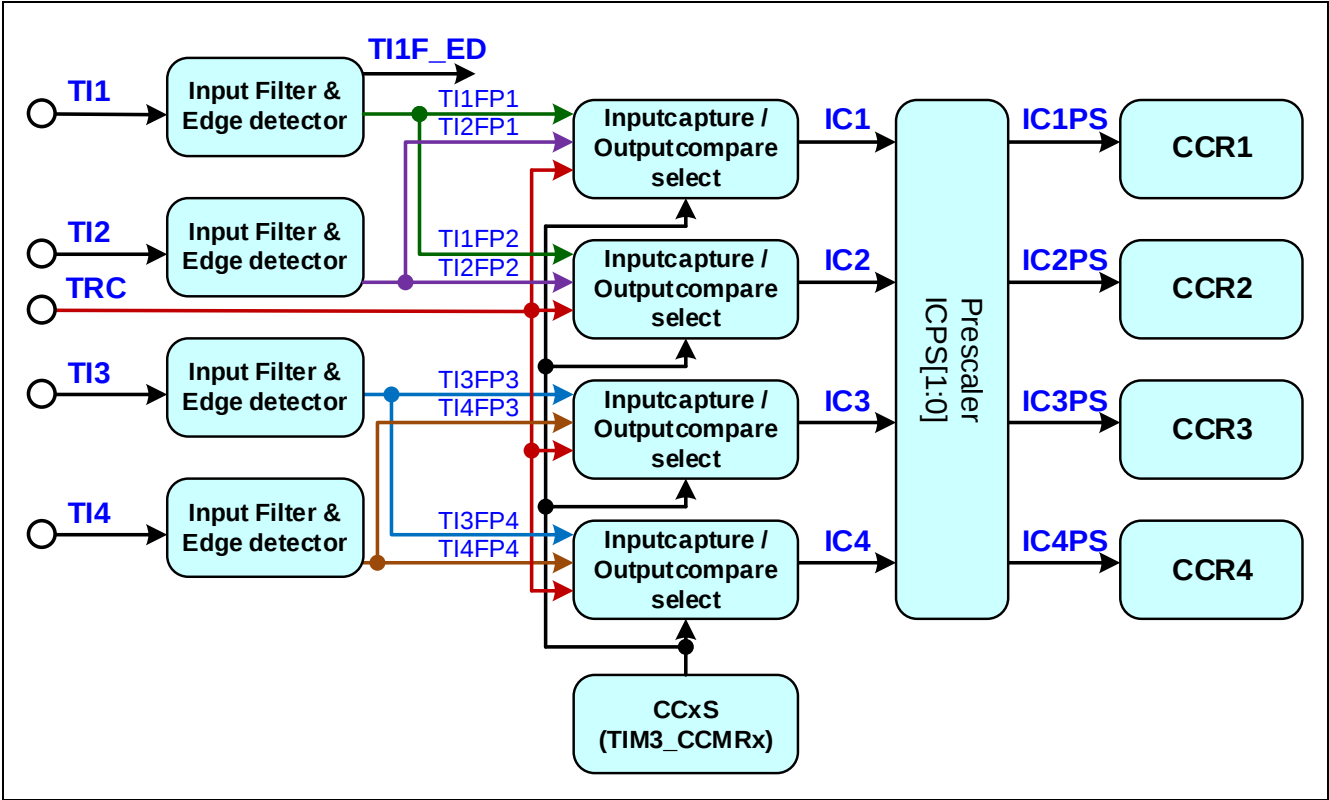


12.4.2 输入捕获

12.4.2.1 输入捕获

输入捕获由数字滤波器、多路选择器、预分频器等组成，其框图如下：

图 12-12 TIM3 输入捕获框图



配置 TIM3_CCMRx 寄存器的 ICxF，设置数字滤波器的滤波宽度（滤波采样频率与数字滤波器宽度见下表）。当输入信号宽度大于滤波宽度时，输入信号有效。数字滤波器对输入引脚 TIx 的输入信号采样后，产生滤波后的信号 TIxF；再经过极性可选的边沿检测器，产生有效信号 TIxFPx，该信号可作为从模式计数器的触发输入信号。该信号经预分频器产生 ICxPS，用于触发输入捕获事件。

表 12-1 数字滤波器宽度与 ICxF 的对应关系

IC1F[3: 0]	采样频率与滤波长度	IC1F[3: 0]	采样频率与滤波长度
0000	不滤波，按 f_{DTS} 采样	1000	采样频率 $f_{sampling}=f_{DTS}/8$, $N=6$
0001	采样频率 $f_{sampling}=f_{INT_CK}$, $N=2$	1001	采样频率 $f_{sampling}=f_{DTS}/8$, $N=8$
0010	采样频率 $f_{sampling}=f_{INT_CK}$, $N=4$	1010	采样频率 $f_{sampling}=f_{DTS}/16$, $N=5$
0011	采样频率 $f_{sampling}=f_{INT_CK}$, $N=8$	1011	采样频率 $f_{sampling}=f_{DTS}/16$, $N=6$

IC1F[3: 0]	采样频率与滤波长度	IC1F[3: 0]	采样频率与滤波长度
0100	采样频率 $f_{\text{sampling}}=f_{\text{DTS}}/2$, N=6	1100	采样频率 $f_{\text{sampling}}=f_{\text{DTS}}/16$, N=8
0101	采样频率 $f_{\text{sampling}}=f_{\text{DTS}}/2$, N=8	1101	采样频率 $f_{\text{sampling}}=f_{\text{DTS}}/32$, N=5
0110	采样频率 $f_{\text{sampling}}=f_{\text{DTS}}/4$, N=6	1110	采样频率 $f_{\text{sampling}}=f_{\text{DTS}}/32$, N=6
0111	采样频率 $f_{\text{sampling}}=f_{\text{DTS}}/4$, N=8	1111	采样频率 $f_{\text{sampling}}=f_{\text{DTS}}/32$, N=8

在输入捕获模式下，当检测到信号 ICx 的有效边沿时，计数器的当前值被锁存到相应的影子寄存器中，然后装载到相应的捕获/比较寄存器。若使能了中断或 DMA，产生捕获事件时将产生相应的中断或 DMA 请求。发生捕获事件时，状态寄存器（TIM3_SR）的捕获标志位 CCxIF 将被置位。配置 CCxIF=0 或读取 TIM3_CCRx 数据可清除 CCxIF 标志位。若 CCxIF 未被清除时又产生了下一次输入捕获事件，则重复捕获标志 CCxOF 将被置位。配置 CCxOF=0 可清除 CCxOF 标志位。

例如，采样 TI1 输入信号的有效边沿：在 TI1 上升沿捕获当前计数器值并锁存到 TIM3_CCR1 寄存器中，操作步骤如下：

1. 配置 TIM3_CCMR1 寄存器 CC1S=01，将 CC1 通道配置为输入，IC1 映射到 TI1。
2. 配置 TIM3_CCMR1 寄存器 IC1F [3:0]，配置数字滤波器的滤波宽度（按需配置）。
3. 配置 TIM3_CCER 寄存器 CC1P=0，选择在 TI1 信号的上升沿发生捕获。
4. 配置 TIM3_CCMR1 寄存器 IC1PSC [1:0]，选择预分频系数。
5. 配置 TIM3_CCER 寄存器 CC1E = 1，使能通道 1 捕获。
6. 配置 TIM3_DIER 寄存器 CC1IE=1，使能通道 1 中断请求；若芯片内置 DMA，配置 TIMx_DIER 寄存器的 CC1DE=1，允许捕获/比较通道 1 的 DMA 请求。

- 注：
- 当通道配置为输入模式时，TIM3_CCRx 寄存器变为只读。
 - 当发生两次以上连续捕获且 CCxIF 标志未被清除时，重复捕获标志 CCxOF 会被置位。为避免丢失在重复捕获标志 CCxOF 置位之前可能产生的捕获信息，建议先读取数据再读取重复捕获标志。
 - 置位 TIM3_EGR 寄存器对应的 CCxG 位，可通过软件产生输入捕获中断或 DMA 请求。

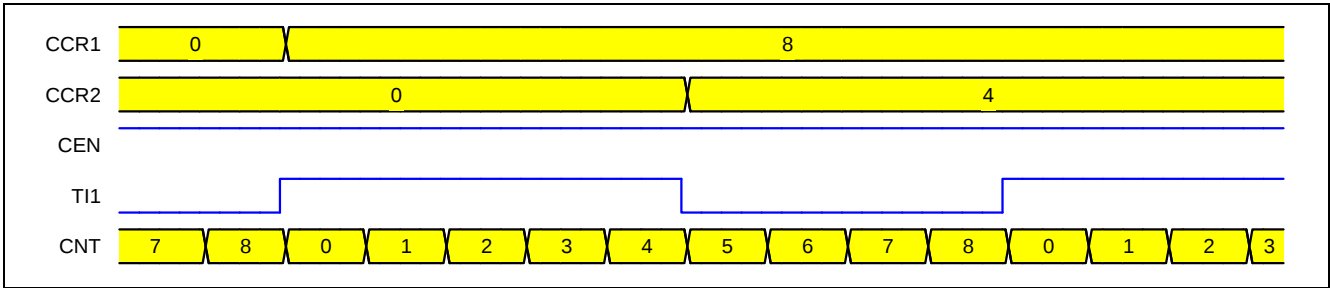
12.4.2.2 PWM 捕获

- PWM 输入模式的配置与普通输入捕获的区别：
- 两个 ICx 信号在极性相反的边沿有效，并映射到同一个 Tix 输入。
 - 将从模式计数器配置为复位模式，将其中一个 TixFP 设为触发输入信号。

例如：测量 TI1 上 PWM 信号的周期（TIM3_CCR1 寄存器）和占空比（TIM3_CCR2 寄存器），测量值取决于内部时钟 INT_Ck 的频率和预分频值。具体步骤：

1. 配置 TIM3_CR1 寄存器 DIR =0，选择计数器为递增计数模式。
2. 配置 TIM3_CCMR1 寄存器 CC1S = 01，将 IC1 映射到 TI1，并选择 TIM3_CCR1 的有效输入。
3. 配置 TIM3_CCER 寄存器 CC1P =0，选择 TI1FP1 的有效极性（上升沿有效）（将计数器值捕获到 TIM3_CCR1，并清除计数器）。
4. 配置 TIM3_CCMR1 寄存器 CC2S =10，将 IC2 映射到 TI1，选择 TIM3_CCR2 的有效输入。
5. 配置 TIM3_CCER 寄存器 CC2P =1，选择 TI2FP2 的有效极性（下降沿有效）（将计数器值捕获到 TIM3_CCR2）。
6. 配置 TIM3_SMCR 寄存器 TS = 101，选择 TI1FP1 作为有效的触发输入信号。
7. 配置 TIM3_SMCR 的 SMS = 100，将从模式计数器设置为复位模式。
8. 配置 TIM3_CCER 寄存器 CC1E=1 和 CC2E = 1，使能 CC1 通道和 CC2 通道的捕获。

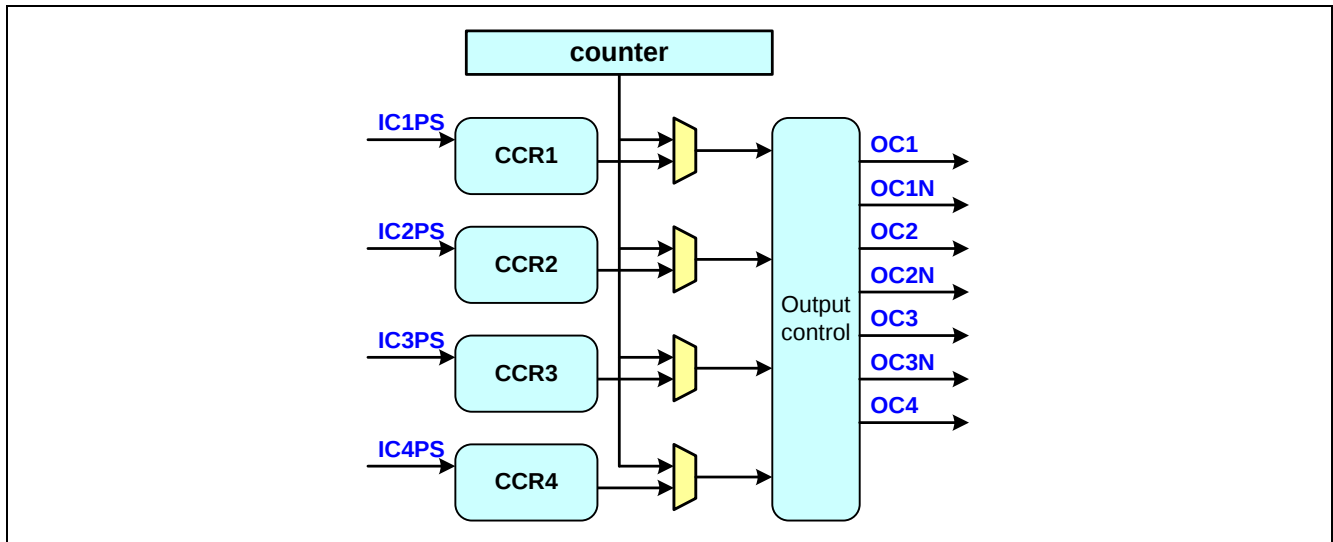
图 12-13 PWM 输入模式时序



12.4.3 比较输出

捕获/比较通道的比较输出由比较器、输出控制电路和捕获/比较寄存器组成，其结构如下：

图 12-14 比较输出框图



在比较输出模式下，捕获/比较寄存器的内容被装载到影子寄存器中，然后将影子寄存器的内容与计数器当前值进行比较。捕获/比较模块包括一个捕获/比较寄存器（预装载寄存器）和一个影子寄存器，读写过程仅操作捕获/比较寄存器。

12.4.3.1 强制输出

配置 TIM3_CCMRx 寄存器 CCxS = 00，将通道 CCx 设置为输出模式。通过配置 TIM3_CCMRx 寄存器的 OCxM 位，可以直接将比较输出信号强制为有效或无效电平，不依赖于比较结果。配置 TIM3_CCMRx 寄存器 OCxM = 100，强制比较输出信号为无效电平，此时 OCxREF 被强制为低电平。配置 TIM3_CCMRx 寄存器 OCxM = 101，强制比较输出信号为有效电平，此时 OCxREF 被强制为高电平（OCxREF 始终为高电平有效）。

注：强制输出模式下，TIM3_CCRx 影子寄存器与计数器之间的比较输出仍在进行，比较结果的相应标志位也会被修改；如果开启了对应的中断和 DMA 请求，仍会产生对应的中断和 DMA 请求。

12.4.3.2 比较输出

在比较输出模式下，当计数器与捕获比较寄存器的值匹配时，可以根据 TIM3_CCMRx 寄存器的 OCxM 位输出不同的波形。

例如，当计数器与捕获/比较寄存器的值匹配时，比较输出模式下的功能如下：

1. 比较匹配时，OCxM 的值不同，输出通道 x 信号 OCx 的动作不同：
 - OCxM = 000: OCx 信号保持其电平。
 - OCxM = 001: OCx 信号被设置为有效电平。
 - OCxM = 010: OCx 信号被设置为无效电平。
 - OCxM = 011: OCx 信号翻转。
2. 匹配时，状态寄存器中的标志位置 1（TIM3_SR 寄存器中的 CCxIF 位）。
3. 配置 TIM3_DIER 寄存器 CCxIE = 1，匹配时产生一个中断。
4. 配置 TIM3_DIER 寄存器 CCxDE = 1，匹配时产生一个 DMA 请求（仅适用于内置 DMA 的产品）。

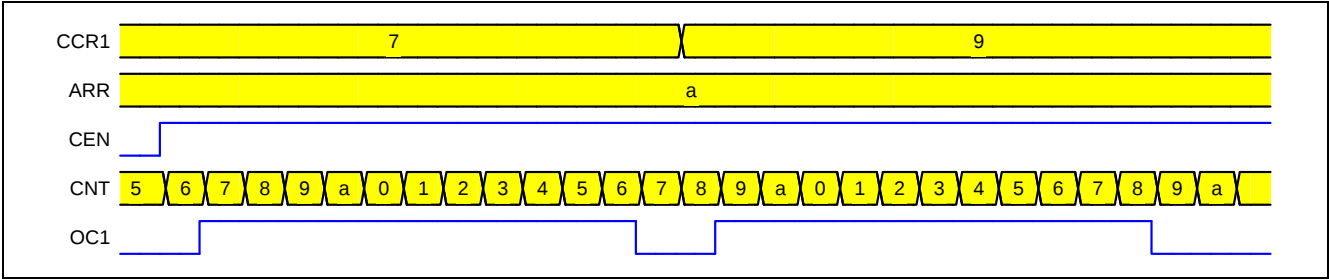
比较输出模式也可以用来输出单脉冲（单脉冲模式）。

通道 1 比较输出模式的配置步骤：

1. 配置计数器时钟（选择时钟源，配置预分频系数）。
2. 配置 TIM3_ARR 和 TIM3_CCR1 寄存器。
3. 配置 TIM3_DIER 寄存器 CC1IE = 1，使能捕获/比较 1 中断。
4. 配置输出模式：
 - 配置 TIM3_CCMR1 寄存器 OC1M = 011，OC1 比较匹配时翻转。
 - 配置 TIM3_CCMR1 寄存器 OC1PE = 0，禁止 TIMx_CCR1 寄存器的预装载功能。
 - 配置 TIM3_CCMR1 寄存器 CC1P = 1，OC1 为低电平有效极性。
 - 配置 TIM3_CCER 寄存器 CC1E = 1，使能通道 1 输出，OC1 信号被输出到对应的输出引脚。
5. 配置 TIM3_CR1 寄存器 CEN = 1，使能计数器。

配置 TIM3_CCMRx 寄存器 OCxPE = 0，禁止 TIM3_CCRx 寄存器的预装载功能，此时可随时写 TIM3_CCRx 寄存器，写入值立即更新。配置 TIM3_CCMRx 寄存器 OCxPE = 1，使能 TIM3_CCRx 寄存器的预装载功能，仅在下次更新事件时更新。下图为示例。

图 12-15 比较输出模式，匹配时 OC1 信号翻转



注：在比较输出模式下，更新事件对输出结果没有影响。在强制输出模式下，TIM3_CCRx 影子寄存器与计数器之间的比较输出仍在进行，比较结果的相应标志位也会被修改；如果开启了对应的中断和 DMA 请求，仍会产生对应的中断和 DMA 请求。

12.4.3.3 PWM 输出

在 PWM 模式下,根据 TIM3_ARR 寄存器和 TIM3_CCRx 寄存器的值,产生频率和占空比可控的 PWM 波形。

配置通道 x 对应的 TIM3_CCMRx 寄存器 OCxM=110 或 OCxM=111,将通道 x 选择为 PWM 模式 1 或 PWM 模式 2。在 PWM 模式下,计数器始终与 CCRx 比较,根据配置和比较结果,通道 x 输出不同的信号。因此,TIM3 可以产生 4 路同频率、占空比独立的 PWM 输出信号。在 PWM 模式下,需使能 TIM3_CCRx 和 TIM3_ARR 的预装载功能,写入 TIM3_CCRx 预装载寄存器和 TIM3_ARR 预装载寄存器的值将在下一次更新事件时生效,并装载到相应的影子寄存器。因此在 PWM 模式下,使能计数器之前,必须设置 TIM3_EGR 的 UG=1,产生更新事件以初始化所有寄存器。

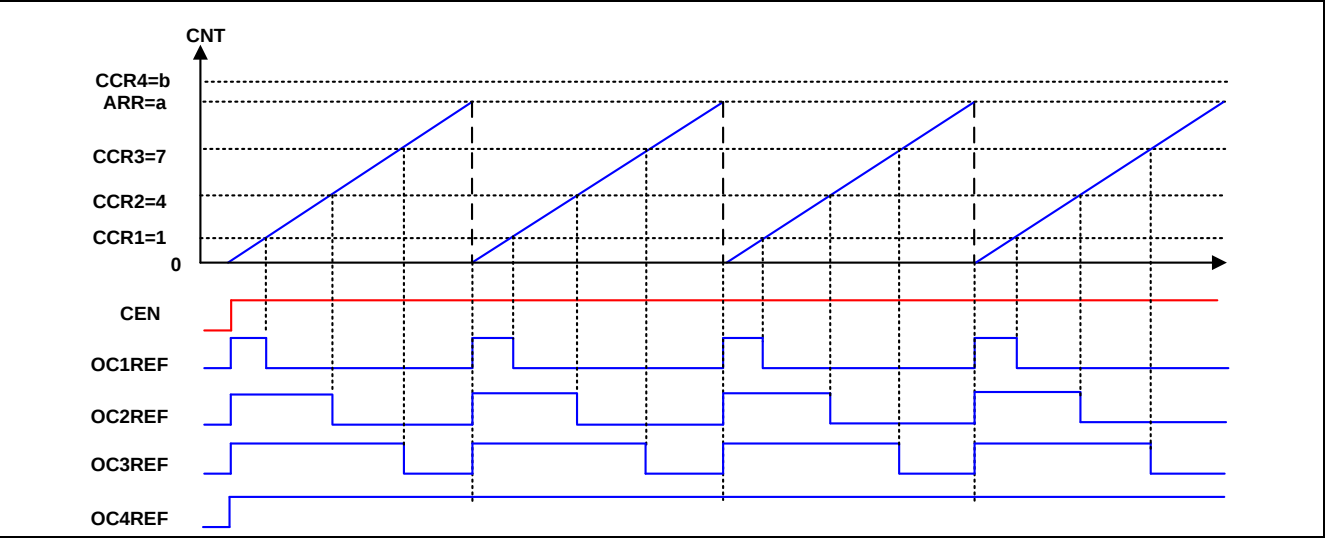
配置 TIM3_CCER 寄存器的 CCxP,选择 OCx 的有效极性。配置 TIM3_CCER 寄存器的 CCxE 位,控制 OCx 的输出使能。配置 TIM3_CR1 寄存器的 CMS 位,选择边沿对齐或中央对齐 PWM 信号。

- CMS=00,边沿对齐模式,配置 DIR 选择计数模式(递增或递减)。
- CMS=01,中央对齐模式 1。
- CMS=10,中央对齐模式 2。
- CMS=11,中央对齐模式 3。

12.4.3.3.1 PWM 边沿对齐模式 - 递增计数模式

在递增计数模式配置的基础上,配置 TIM3_CCMRx 寄存器 CCxS=00,选择输出模式,OCxM=110,选择 PWM 模式 1。当 TIM3_CNT <TIM3_CCRx 时,通道 x (OCxREF) 为有效电平,否则为无效电平。如果 TIM3_CCRx 的比较值大于自动预装载值(TIM3_ARR),OCxREF 保持有效电平;当比较值为 0 时,OCxREF 为无效电平。下图为 CCR1=1、CCR2=4、CCR3=7、CCR4=b 和 ARR=a 时,边沿对齐递增计数下 PWM 模式 1 的波形示例。

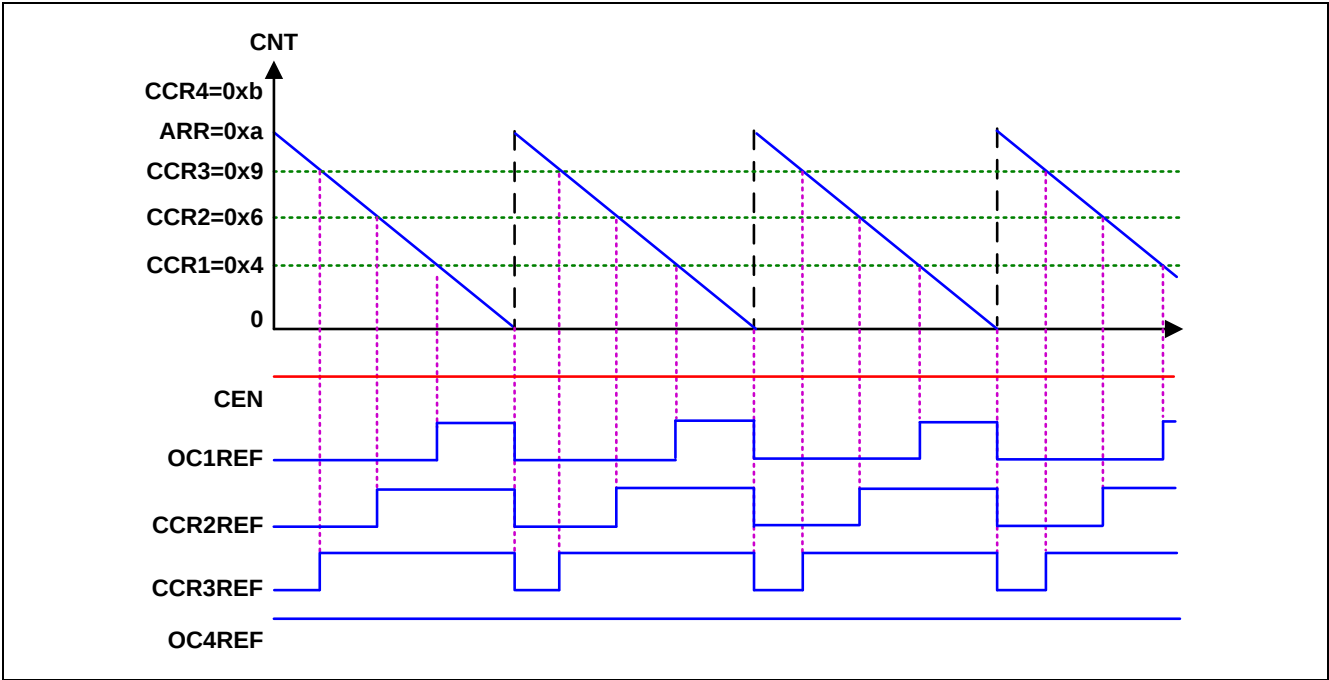
图 12-16 边沿对齐递增计数下 PWM 模式 1 的波形



12.4.3.3.2 PWM 边沿对齐模式 - 递减计数模式

在递减计数模式配置的基础上，配置 TIM3_CCMRx 寄存器 CCxS=00，选择输出模式，OCxM=110，选择 PWM 模式 1。当 TIM3_CNT > TIM3_CCRx 时，通道 x (OCxREF) 为无效电平，否则为有效电平。下图为 CCR1=4、CCR2=6、CCR3=9、CCR4=b 和 ARR=a 时，边沿对齐递减计数下 PWM 模式 1 的波形示例。

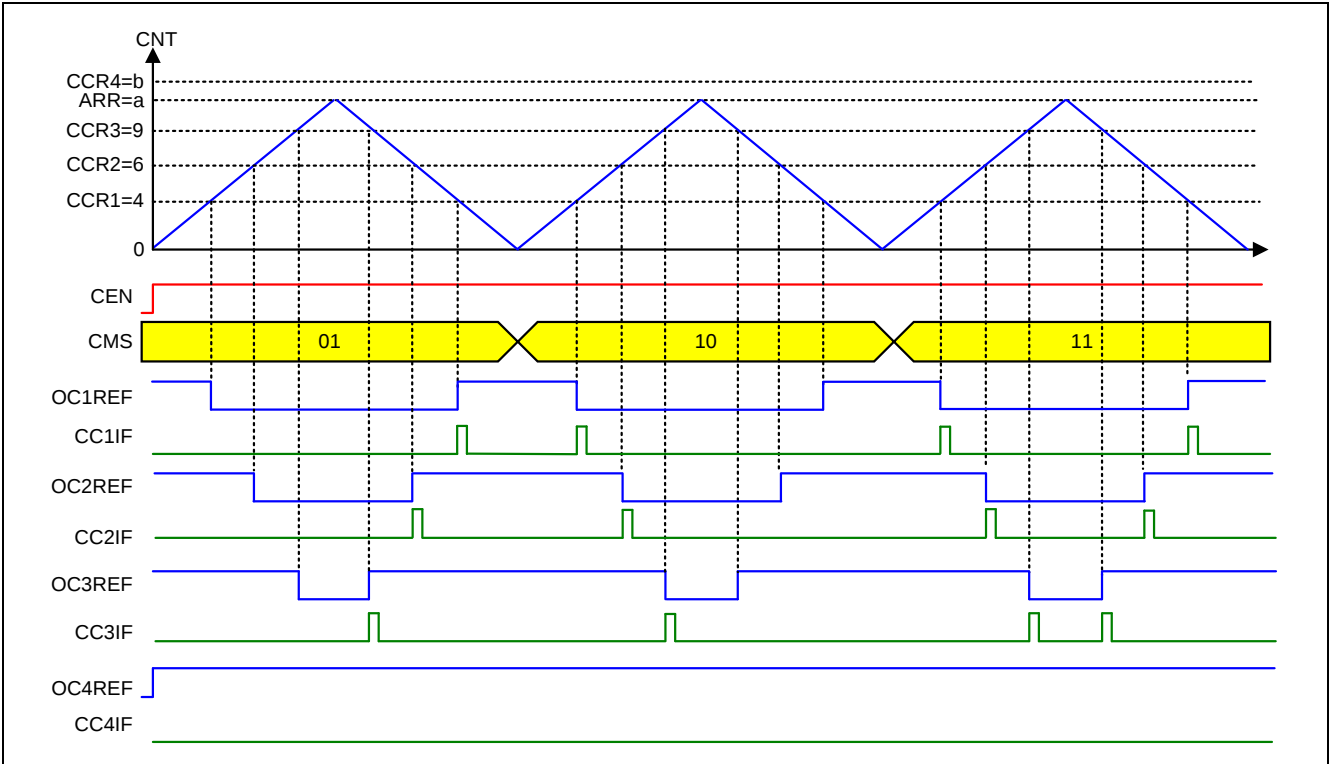
图 12-17 边沿对齐递减计数下 PWM 模式 1 的波形



12.4.3.3.3 PWM 中央对齐模式

将 TIM3 计数器配置为中央对齐计数模式。配置 TIM3_CCMRx 寄存器 CCxS=00，选择输出模式。根据 CMS 的不同配置，比较输出中断标志位在递增计数时置位 (CMS =01)、在递减计数时置位 (CMS =10)，或在递增和递减计数时都置位 (CMS =11)。下图为 CCR1=4、CCR2=6、CCR3=9、CCR4=b、ARR=a 时，中央对齐 PWM 模式 1 (CMS =1) 的波形示例。

图 12-18 中央对齐 PWM 模式 1 的波形



注:

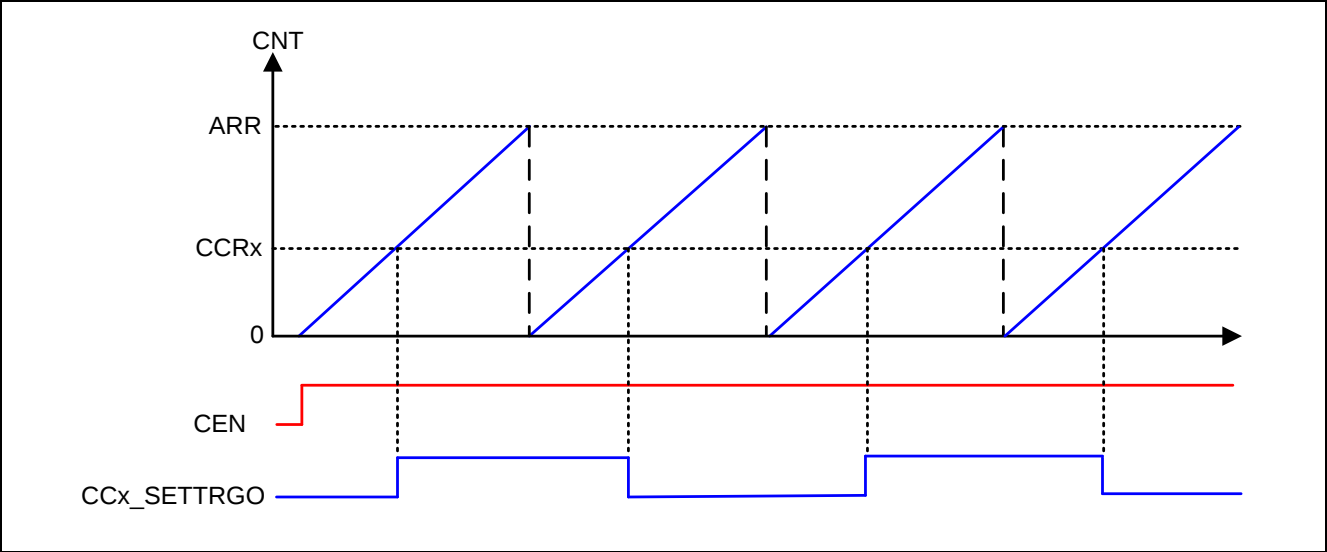
- 进入中央对齐模式时，使用当前的递增/递减计数配置，计数方向取决于 DIR 的当前值。
- 在中央对齐模式下，最好避免修改计数器的值，否则可能导致不可预知的结果。当计数器处于递增计数时，若向其写入大于 TIM3_ARR 的值，计数器将继续递增；直接写入 0 或 ARR 会立即更新计数方向，但不会产生更新事件。
- 使用中央对齐模式时，建议在启动计数器之前将 TIM3_EGR 寄存器的 UG 位置 1，产生一次软件更新以初始化所有寄存器；计数器启动后不要修改计数器的值。

12.4.3.3.4 触发源输出

在 PWM 模式下，CCx_SETTRGO 信号可用于触发 ADC 等模块。本章仅介绍 SETTRGO 信号的触发逻辑，详细的触发源选择、触发边沿选择等信息请参考 ADC 章节。

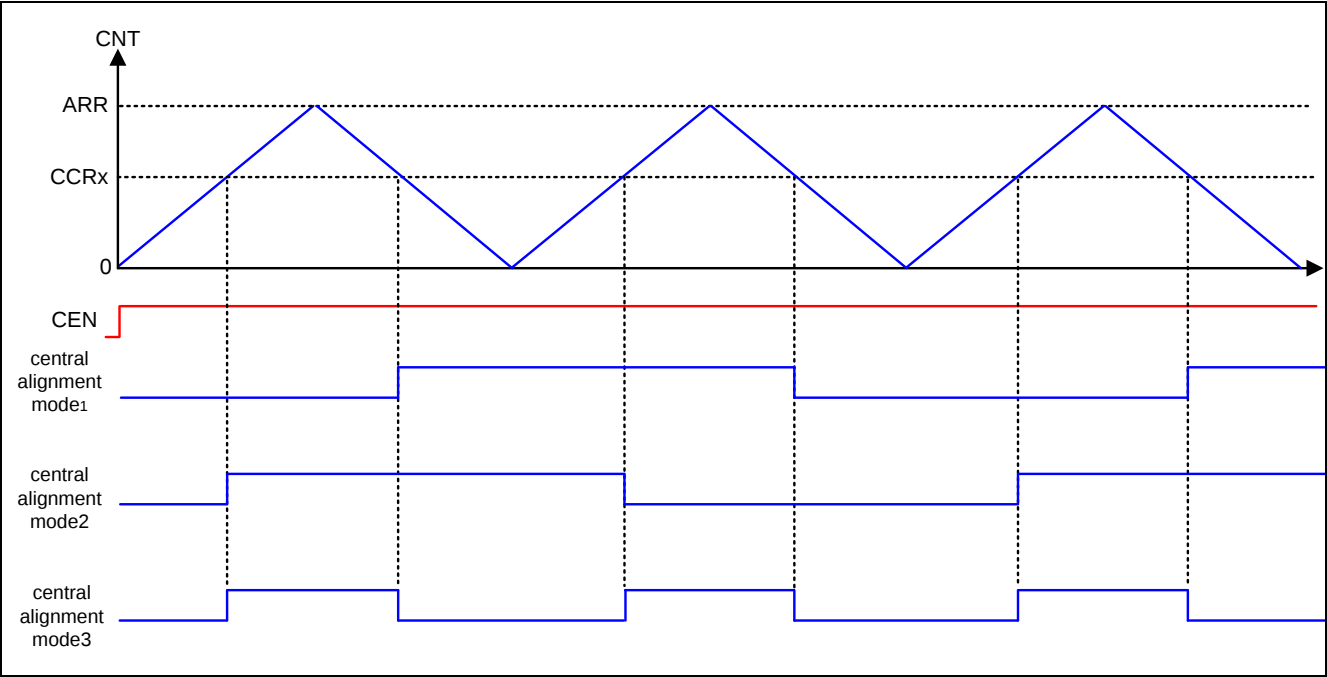
在边沿对齐模式下，每次比较匹配 (TIM3_CNT 的当前计数值等于 TIM3_CCRx) 时，CCx_SETTRGO 都会翻转一次。下图为边沿对齐递增计数模式下 CCx_SETTRGO 的输出示例。

图 12-19 边沿对齐递增计数模式下 CCx_SETTRGO 输出示例



在中央对齐模式 1 下，递减计数周期比较匹配时，CCx_SETTRGO 翻转；在中央对齐模式 2 下，递增计数周期比较匹配时，CCx_SETTRGO 翻转；在中央对齐模式 3 下，递增或递减计数周期匹配时均发生翻转。下图为中央对齐模式下 CCx_SETTRGO 的输出示例。

图 12-20 中央对齐模式下 CCx_SETTRGO 输出示例



12.4.3.4 外部事件清除 OCxREF

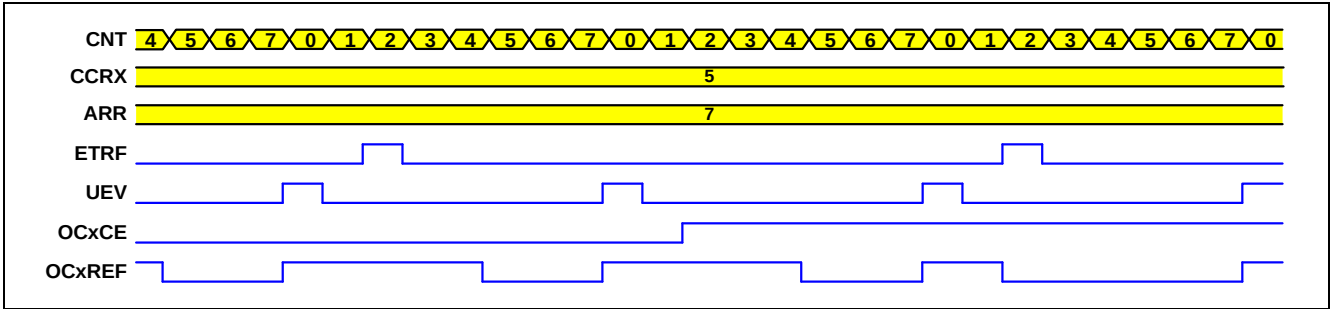
配置 TIM3_CCMR 寄存器 OCxCE=1 时，OCxREF 可被 ETRF 输入端的有效电平拉低，直到下一次更新事件（UEV）。该功能只能用于输出模式和 PWM 模式，在强制输出模式下无效。

例如，当 OCxREF 信号连接到外部输入时，ETR 的配置：

- 1. 配置 TIM3_SMCR 寄存器 ETPS [1:0] =00，关闭外部触发预分频器。
- 2. 配置 TIM3_SMCR 寄存器 ECE=0，禁止外部时钟模式 2。
- 3. 配置 TIM3_SMCR 寄存器 ETF [3:0] 和 ETP，配置 ETR 信号的触发极性和滤波宽度。

下图中，当 ETRF 输入变化触发 ETRF 为高电平时，对应不同的 OCxCE 值，OCxREF 信号的动作（PWM 模式）。

图 12-21 外部事件清除 OCxREF



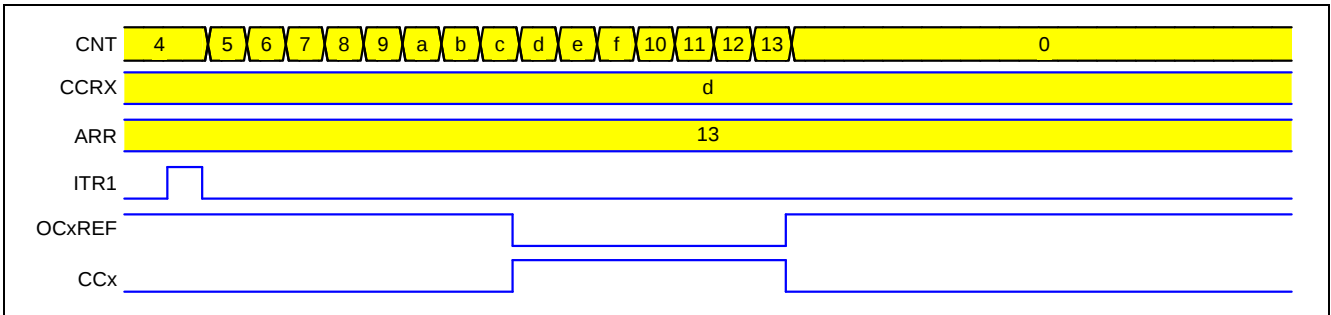
12.4.3.5 单脉冲输出

在单脉冲模式（OPM）下，计数器响应一个激励并产生一个宽度可编程的脉冲。配置 TIM3_CR1 寄存器 OPM =1，选择单脉冲模式，触发信号的有效边沿或配置 CEN=1 都可以使能计数器。CEN=1 一直保持到下一次更新事件，或配置 CEN =0。

产生脉冲的必要条件是比较值与计数器初始值之间存在差值。使能计数器之前的必要配置：

- 递增计数模式：计数器 $CNT < CCRx \leq ARR$ 。
- 递减计数模式：计数器 $CNT > CCRx$ 。

图 12-22 单脉冲模式



例如，当 TI2 检测到上升沿后，经过延时 t_{DELAY} ，OC2 产生一个长度为 t_{PULSE} 的正脉冲。

配置 TI2FP2 作为触发源：

- 1. 配置 TIM3_CCMR1 寄存器 CC2S = 01，将 TI2FP2 映射到 TI2。
- 2. 配置 TIM3_CCER 寄存器 CC2P = 0，检测 TI2FP2 的上升沿。
- 3. 配置 TIM3_SMCR 寄存器 TS = 110，将 TI2FP2 作为从模式计数器的触发（TRGI）。
- 4. 配置 TIM3_SMCR 寄存器 SMS = 110，选择触发模式，由 TI2FP2 使能计数器。

OPM 波形由 TIM3_ARR 和 TIM3_CCR1 决定（需考虑时钟频率和计数器预分频）： t_{DELAY} 由 TIM3_CCR1 寄存器的值和 CNT 初始值决定；TIM3_ARR – TIM3_CCR1 的值为 t_{PULSE} 。

下一个示例是产生一个负脉冲：比较匹配时产生一个从 1 到 0 的波形，计数器达到预装载值时产生一个从 0 到 1 的波形：

- 1. 配置 TIM3_CCMR1 寄存器 OC1M = 111，选择 PWM 模式 2。
- 2. 配置 TIM3_CCER 寄存器 CC1P = 1，输出低电平有效。
- 3. 配置 TIM3_CCMR1 的 OC1PE = 1 和 TIMx_CR1 寄存器的 ARPE，使能预装载寄存器。

- 4. 配置 TIM3_CCR1 寄存器和 TIMx_ARR 寄存器。
- 5. 配置 TIM3_EGR 寄存器 UG=1，产生一次更新事件。
- 6.等待 TI2 上的外部触发事件。

此时，TIM3_CR1 寄存器 DIR=0、CMS=0、OPM= 1，在下一次更新事件时停止计数（当计数器从自动装载值翻转到 0 时）。

12.4.3.5.1 OCx 快速使能

OCx 快速使能是单脉冲模式的一种特殊情形。在单脉冲模式下，设置 TIM3_CCMR 寄存器 OCxFE=1，强制 OCxREF 直接响应激励，而不依赖计数器与比较值的比较结果。输出波形与比较匹配时的波形相同，因此可以省去比较时间，快速输出比较结果。OCx 快速输出使能仅在 PWM 模式下生效。

12.4.4 从模式

12.4.4.1 编码器接口

编码器接口模式是指计数器在 TI1 和 TI2 正交信号的共同作用下计数。当输入源变化时，计数方向由硬件自动修改。配置 TIMx_SMCR 寄存器的 SMS 位选择输入源。根据输入源的不同，编码器接口分为 3 种模式：SMS=001，编码器接口模式 1；SMS=010，编码器接口模式 2；SMS=011，编码器接口模式 3；三种模式下的具体计数方式如下所述。两个输入 TI1 和 TI2 用作正交编码器的接口。

在编码器模式下，使能计数器之前应先配置 ARR 寄存器。编码器接口模式类似于使用带方向选择的外部时钟，计数器在 0 与 TIM3_ARR 寄存器的自动装载值之间连续计数（递增计数和递减计数由外部时钟控制）。

注：编码器模式不支持外部时钟模式 2。

在编码器接口模式下，计数器根据增量编码器的速度和方向自动变化，因此计数器的内容始终指向编码器的位置。计数方向与所连接传感器的方向相对应。下表列出了所有可能的组合，前提是 TI1 和 TI2 不会同时跳变。

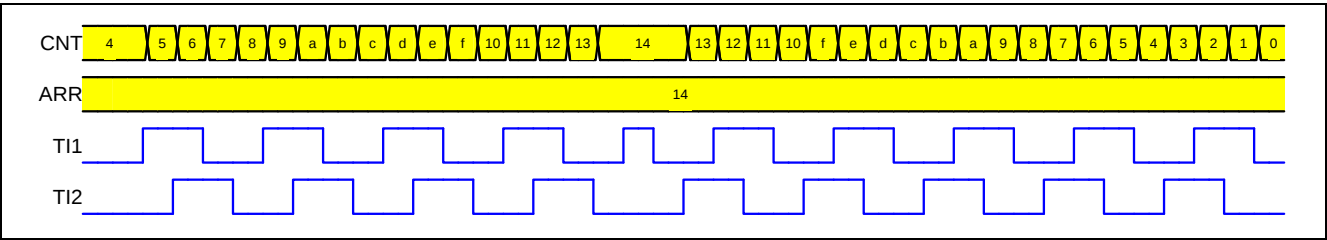
表 12-2 计数方向与编码器信号的关系

计数模式	相对电平（TI1FP1 相对于 TI2，TI2FP2 相对于 TI1）	TI1FP1 信号		TI2FP2 信号	
		上升	下降	上升	下降
编码器接口模式 1（仅在 TI2 上计数）	高电平	-	-	递增计数	递减计数
编码器接口模式 1（仅在 TI2 上计数）	低电平	-	-	递减计数	递增计数
编码器接口模式 2（仅在 TI1 上计数）	高电平	递减计数	递增计数	-	-
编码器接口模式 2（仅在 TI1 上计数）	低电平	递增计数	递减计数	-	-
编码器接口模式 3（在 TI1 和 TI2 上都计数）	高电平	递减计数	递增计数	递增计数	递减计数
编码器接口模式 3（在 TI1 和 TI2 上都计数）	低电平	递增计数	递减计数	递减计数	递增计数

编码器接口模式下计数器的配置和时序图如下，图中可以看到计数信号的产生和方向控制。具体配置：

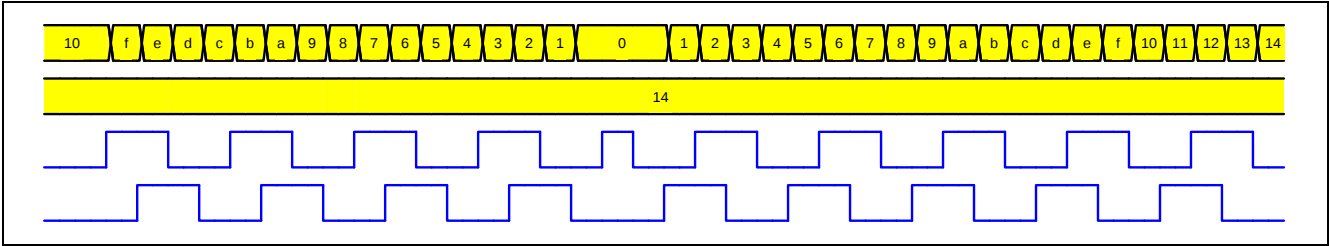
- 1. 配置 TIM3_CCMR 寄存器 CC1S=01，将 IC1FP1 映射到 TI1。
- 2. 配置 TIM3_CCMR 寄存器 CC2S=01，将 IC2FP2 映射到 TI2。
- 3. 配置 TIM3_CCER 寄存器 CC1P=0，IC1 不反相，IC1=TI1。
- 4. 配置 TIM3_CCER 寄存器 CC2P=0，IC2 不反相，IC1=TI2。
- 5. 配置 TIM3_SMCR 寄存器 SMS=011，选择编码器模式 3。根据另一个信号的输入电平，计数器在 TI1FP1 和 TI2FP2 的边沿计数。
- 6. 配置 TIM3_CR1 寄存器 CEN=1，使能计数器。

图 12-23 编码器模式下的计数器时序



IC1FP1 极性反相时的计数器时序（CC1P = 1，其他配置不变）。

图 12-24 编码器接口模式下 IC1FP1 极性反相的时序



在编码器接口模式下，计数器可以提供传感器的当前位置信息。使用另一个工作在捕获模式的定时器测量两个编码器事件之间的间隔周期，即可获得动态信息（速度、加速度、减速度）。按照两个编码器事件的间隔周期定期读取计数器，将计数器值锁存到第三个输入捕获寄存器中（采集信号应是周期性的，由另一个定时器产生）。当芯片内置 DMA 时，可在 DMA 请求时读取该值。

12.4.4.2 复位模式

配置 TIM3_SMCR 寄存器 SMS=100，选择从模式的复位模式。在该模式下，TRGI 输入事件将清除并重启计数器。

例如，由 TI2 输入端的下降沿触发计数器重启：

1. 配置 TIM3_CCMR1 的 CC2S=01，将 CC2 通道配置为输入模式，IC2 映射到 TI2。配置 TIM3_CCER 寄存器 CC2P=1，检测下降沿。

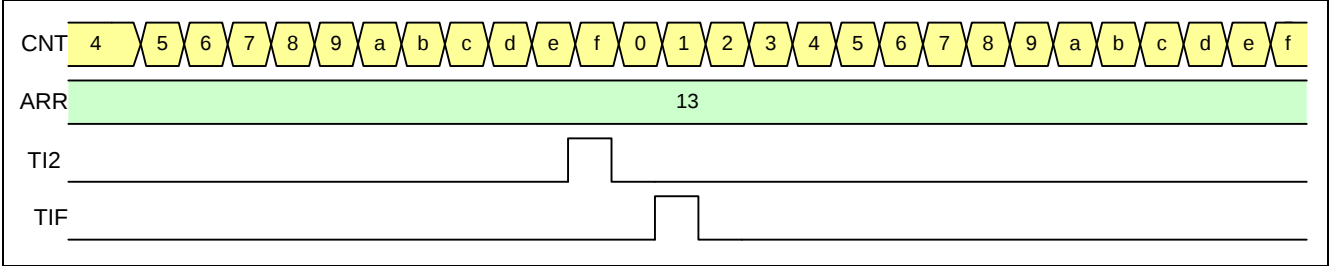
2. 配置 TIM3_SMCR 寄存器 SMS = 100，选择从模式为复位模式。配置 TIM3_SMCR 寄存器 TS =110，选择滤波后的定时器输入 2（TI2FP2）作为同步定时器的触发输入。

3. 配置 TIM3_CR1 寄存器 DIR=0，选择计数方向为递增计数；配置 PSC=0，不分频；配置 CEN=1，使能计数器。

计数器时钟源由内部时钟提供。当检测到 TI2 下降沿时，清除并重启计数器，触发中断标志由硬件置位。

复位模式下 TIM3_ARR = 0x13 的时序。

图 12-25 复位模式的控制时序



12.4.4.3 门控模式

配置 TIM3_SMCR 寄存器 SMS=101，选择从模式的门控模式。在该模式下，根据 TIM3_CCER 寄存器 CCxP 的值选择有效电平（0：高电平有效，1：低电平有效）。当 TRGI 输入为有效电平时，计数器始终启动；否则计数器停止（但不执行复位操作），计数器的启动和停止都是可控的。

例如，仅当 TI1 为高电平时计数器计数：

1. 配置 TIM3_CCMR1 寄存器的 CC1S=01，将 CC1 通道配置为输入模式，IC1 映射到 TI1。配置 TIM3_CCER 寄存器 CC1P=0，检测 TI1 的高电平。

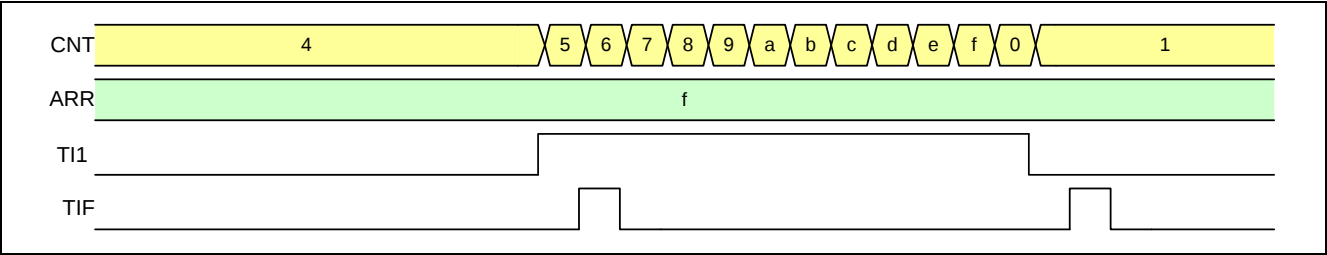
2. 配置 TIM3_SMCR 寄存器 SMS=101，选择从模式的门控模式；配置 TIM3_SMCR 寄存器 TS=101，选择滤波后的定时器输入 1（TI1FP1）作为同步计数器的触发输入。

3. 配置 TIM3_CR1 寄存器 DIR=0，选择计数方向为递增计数；配置 PSC=0，不分频；配置 CEN=1，使能计数器。

计数器时钟源由内部时钟提供。当检测到 TI1 为高电平时，计数器开始计数；当 TI1 为低电平时，计数器停止。计数器启动或停止时，TIF 置 1。

门控模式下 TIM3_ARR=0xf 的时序。

图 12-26 门控模式的控制时序



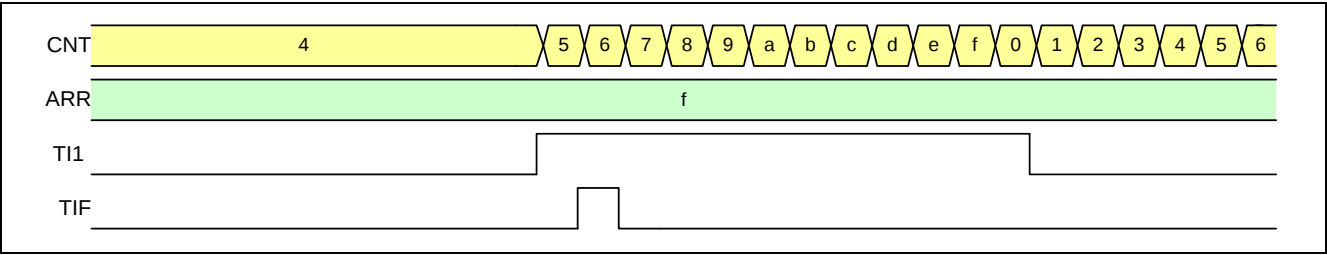
12.4.4.4 触发模式

配置 TIM3_SMCR 寄存器 SMS=110, 选择从模式的触发模式。根据 TIM3_CCER 寄存器 CCxP 的值选择有效边沿 (0: 上升沿有效, 1: 下降沿有效)。当 TRGI 输入为有效边沿时, 计数器开始计数。定时器的启动是可控的, 停止不可控。

例如, 在 TI1 输入的上升沿开始计数:

1. 配置 TIM3_CCMR1 寄存器的 CC1S=01, 将 CC1 通道配置为输入模式, IC1 映射到 TI1。配置 TIM3_CCER 寄存器 CC1P=0, 检测上升沿。
2. 配置 TIM3_SMCR 寄存器 SMS = 110, 选择从模式的触发模式; 配置 TIM3_SMCR 寄存器 TS=101, 选择滤波后的定时器输入 1 (TI1FP1) 作为计数器的触发输入。
3. 配置 TIM3_CR1 寄存器 DIR = 0, 选择计数方向为递增计数; 配置 PSC=0, 不分频。计数器时钟源由内部时钟提供。当检测到 TI1 上升沿时, 计数器开始计数。触发模式下 TIMx_ARR = 0xf 的时序。

图 12-27 触发模式的控制时序



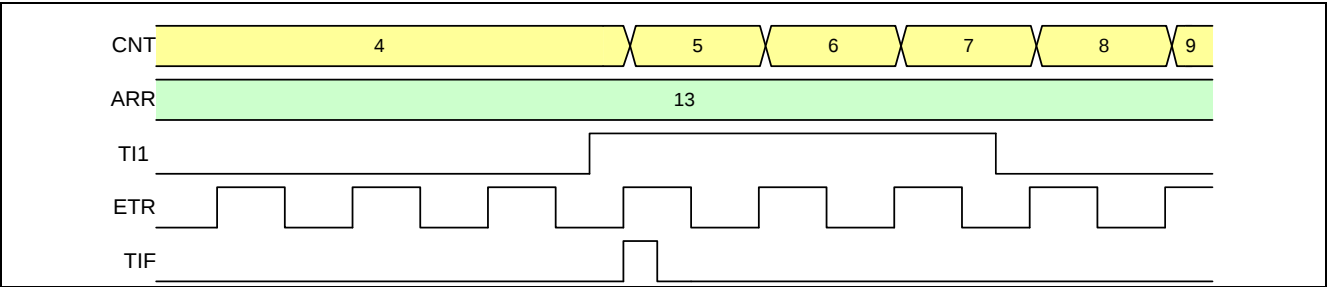
12.4.4.5 外部时钟模式 2+从模式

当时钟源选择外部时钟模式 2 且以 ETR 信号作为外部时钟输入时, 可以与其他从模式配合使用。在这种模式下, 从模式只支持复位模式、门控模式和触发模式, 不支持外部时钟模式 1 和编码器模式。

例如, 在触发模式下, 计数器在 ETR 的每个上升沿计数一次:

1. 配置 TIM3_SMCR 寄存器 ETF = 0000, 不使用数字滤波器; 配置 TIM3_SMCR 寄存器 ETPS = 00, 关闭预分频器; 配置 TIM3_SMCR 寄存器 ETP = 0, 检测 ETR 上升沿; 配置 TIM3_SMCR 寄存器 ECE = 1, 使能外部时钟模式 2。
 2. 配置 TIM3_CCMR1 寄存器 CC1S=01, 将 CC1 通道配置为输入, IC1 映射到 TI1 作为输入捕获源; 配置 TIM3_CCER 寄存器 CC1P=0, 选择上升沿有效。
 3. 配置 TIM3_SMCR 寄存器 SMS = 110, 选择从模式的触发模式。配置 TIM3_SMCR 寄存器 TS = 101, 选择 TI1 作为输入源。
 4. 配置 TIM3_CR1 寄存器 DIR=0, 选择计数方向为递增计数。配置 PSC=0, 不分频。
- 计数器在 TI1 上升沿开始计数, 并置位 TIF。ETR 信号上升沿与计数器实际复位时刻之间的延时取决于 ETR 输入端的同步电路。
- 外部时钟模式 2 + 从模式 (触发模式) 下 TIM3_ARR=13 的时序。

图 12-28 外部时钟模式 2+从模式 (触发模式) 的控制时序



12.4.5 定时器同步

不同的定时器在内部互连，可实现定时器级联或同步。
详细描述见 TIM1 的相关章节。

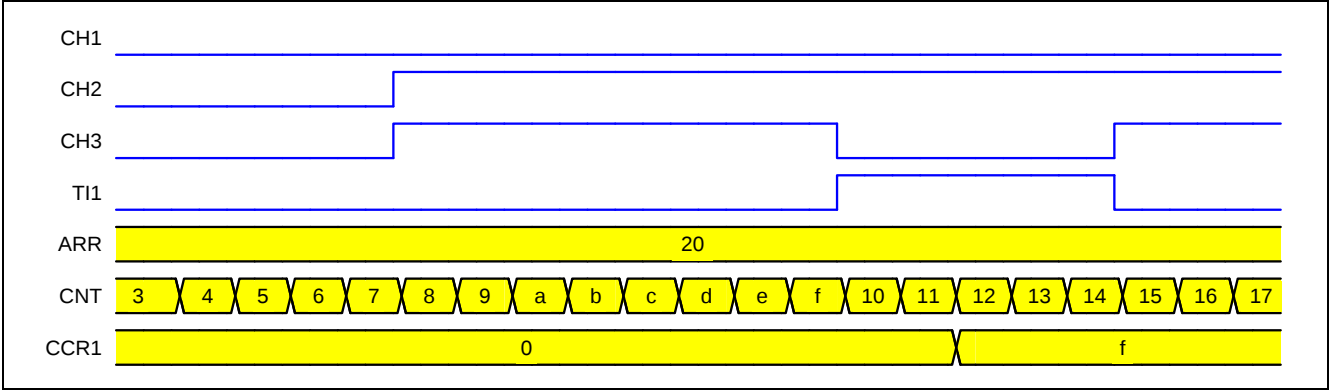
12.4.6 定时器 XOR 功能

配置 TIM3_CR2 寄存器 TI1S=1，可将 TIM3_CH1、TIM3_CH2 和 TIM3_CH3 引脚经异或后连接到 TI1 输入端，适用于定时器的所有输入模式。

例如，TIM3_CH1、TIM3_CH2 和 TIM3_CH3 引脚经异或后连接到 TI1 输入端，采样 TI1 输入信号的有效边沿。当 TI1 上升沿有效时，捕获当前计数器值并锁存到 TIM3_CCR1 寄存器中。具体配置：

- 1. 配置 TIM3_CR2 寄存器 TI1S=1，将定时器的三个输入经异或后连接到 TI1 输入通道。
- 2. 配置 TIM3_CCMR1 寄存器 CC1S=01，将 CC1 通道配置为输入，IC1 映射到 TI1。
- 3. 配置 TIM3_CCMR1 寄存器 IC1F [3:0]，配置数字滤波器宽度（按需配置）。
- 4. 配置 TIM3_CCER 寄存器 CC1P=0，选择在 TI1 信号的上升沿捕获。
- 5. 配置 TIM3_CCMR1 寄存器 IC1PS，选择预分频系数。
- 6. 配置 TIM3_CCER 寄存器 CC1E = 1，使能输入捕获通道 1 的捕获。
- 7. 配置 TIM3_CR1 寄存器 CEN=1，使能计数器。

图 12-29（TI1 XOR 输入）输入捕获波形



霍尔接口电路
详细描述见 TIM1 的相关章节。

12.4.7 调试模式

在调试模式下，配置 DBG_CR 寄存器 DBG_TIM3_STOP=1，TIM3 计数器停止计数。（详见调试章节）

12.4.8 中断

TIM3 中断包括：捕获/比较 1 中断、捕获/比较 2 中断、捕获/比较 3 中断、捕获/比较 4 中断、更新中断、触发中断。当对应的中断使能位被置位时，产生相应的事件和中断。

表 12-3 中断事件列表

中断事件	标志位	使能位
捕获/比较 1 中断	CC1IF	CC1IE
捕获/比较 2 中断	CC2IF	CC2IE
捕获/比较 3 中断	CC3IF	CC3IE
捕获/比较 4 中断	CC4IF	CC4IE
更新中断	UIF	UIE
触发中断	TIF	TIE

12.5 寄存器

12.5.1 寄存器概览

表 12-4 TIM3 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	TIM3_CR1	控制寄存器 1	0x0000
0x04	TIM3_CR2	控制寄存器 2	0x0000
0x08	TIM3_SMCR	从模式控制寄存器	0x0000 0000
0x0C	TIM3_DIER	中断使能寄存器	0x0000
0x10	TIM3_SR	状态寄存器	0x0000
0x14	TIM3_EGR	事件产生寄存器	0x0000
0x18	TIM3_CCMR1	捕获/比较模式寄存器 1	0x0000
0x1C	TIM3_CCMR2	捕获/比较模式寄存器 2	0x0000
0x20	TIM3_CCER	捕获/比较使能寄存器	0x0000
0x24	TIM3_CNT	计数器	0x0000
0x28	TIM3_PSC	预分频器	0x0000
0x2C	TIM3_ARR	自动预装载寄存器	0x0000
0x34	TIM3_CCR1	捕获/比较寄存器 1	0x0000
0x38	TIM3_CCR2	捕获/比较寄存器 2	0x0000
0x3C	TIM3_CCR3	捕获/比较寄存器 3	0x0000
0x40	TIM3_CCR4	捕获/比较寄存器 4	0x0000
0x50	TIM3_OR	输入选项寄存器	0x0000

12.5.2 TIM3_CR1 控制寄存器 1

地址偏移：0x00

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						CKD		ARPE	CMS		DIR	OPM	URS	UDIS	CEN
						rw		rw	rw		rw	rw	rw	rw	rw

位	字段	描述
15: 10	保留	保留，必须保持复位值。
9: 8	CKD	时钟分频 定时器时钟（CK_INT）频率与死区发生器和数字滤波器（ETR、Tix）所用的死区及采样时钟之间的分频比。 00: $t_{DTS} = t_{INT_CK}$ 01: $t_{DTS} = 2 \times t_{INT_CK}$ 10: $t_{DTS} = 4 \times t_{INT_CK}$ 11: 保留，不要编程为该值
7	ARPE	自动预装载使能 0: 禁止 TIM3_ARR 寄存器的影子寄存器 1: 使能 TIM3_ARR 寄存器的影子寄存器

位	字段	描述
6: 5	CMS	中央对齐模式选择 00: 边沿对齐模式。计数方向取决于 DIR 位 01: 中央对齐模式 1。计数器交替进行递增和递减计数。通道处于输出模式时，仅在递减计数时置位比较中断标志位 10: 中央对齐模式 2。计数器交替进行递增和递减计数。通道处于输出模式时，仅在递增计数时置位比较中断标志位 11: 中央对齐模式 3。计数器交替进行递增和递减计数。通道处于输出模式时，在递增和递减计数时都置位比较中断标志位 注：计数过程中禁止更改对齐模式。
4	DIR	计数方向 0: 递增计数 1: 递减计数 注：当计数器配置为中央对齐模式或编码器模式时，该位为只读。
3	OPM	单脉冲模式 0: 禁止单脉冲模式。发生更新事件时，计数器继续计数 1: 使能单脉冲模式。在下次更新事件时（清除 CEN 位），计数器停止计数
2	URS	更新请求源 该位由软件置位和清除，用于选择更新事件源。 0: 下列事件均可产生更新中断请求： - 计数器溢出/下溢 - 置位 UG 位 - 由从模式控制器产生的更新 1: 仅在计数器溢出/下溢时产生更新中断请求
1	UDIS	禁止更新 该位用于使能或禁止更新事件 0: 使能更新事件（UEV）。 1: 禁止更新事件。不产生更新事件，影子寄存器保持其值（ARR、PSC、CCR _x ）。但如果置位 EGR.UG 位，或从模式控制器收到硬件复位，计数器和预分频器会被重新初始化。
0	CEN	计数器使能 0: 禁止计数器 1: 使能计数器 注：外部时钟、门控模式和编码器模式只有在软件事先置位 CEN 位后才能工作，而触发模式可由硬件自动置位 CEN 位。

12.5.3 TIM3_CR2 控制寄存器 2

地址偏移：0x04

复位值：0x0000

地址位: 0x0000															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								TI1S	MMS			保留			
								rw	rw						

位	字段	描述
15: 8	保留	保留，必须保持复位值。
7	TI1S	TI1 选择 0: TIM3_CH1 引脚连接到 TI1 输入 1: TIM3_CH1、TIM3_CH2 和 TIM3_CH3 引脚经异或后连接到 TI1 输入

位	字段	描述
6: 4	MMS	主模式选择 这些位控制 TRGO 信号的选择，用于选择主模式下发送给从定时器的同步信息： 000: 复位 TIM3_EGR 寄存器的 UG 位产生一个脉冲触发输出（TRGO）。 001: 使能 计数器使能信号 CNT_EN 用作触发输出（TRGO）。这可用于同时启动多个定时器，或控制使能从定时器的时间窗。计数器使能信号由 CEN 控制位与门控模式下的触发输入相“或”产生。当计数器使能信号由触发输入控制时，TRGO 上会有延时，除非选择了主/从模式。 010: 更新 选择更新事件作为 TRGO。 011: 捕获/比较 发生捕获或比较匹配时，发送一个正脉冲作为 TRGO。 100: 比较 OC1REF 信号用作触发输出（TRGO） 101: 比较 OC2REF 信号用作触发输出（TRGO） 110: 比较 OC3REF 信号用作触发输出（TRGO） 111: 比较 OC4REF 信号用作触发输出（TRGO）
3: 0	保留	保留，必须保持复位值。

12.5.4 TIM3_SMCR 从模式控制寄存器

地址偏移: 0x08

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留										TS[4:3]		保留			
										rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS		ETF				MSM	TS			OCC S.	SMS		
rw	rw	rw		rw				rw	rw			rw	rw		

位	字段	描述
31: 22	保留	保留，必须保持复位值。
21: 20	TS[4:3]	触发选择 触发输入源选择。 参考 TS[2:0] 位的描述。
19: 16	保留	保留，必须保持复位值。
15	ETP	外部触发极性 该位选择 ETR 信号的极性。 0: 高电平或上升沿有效 1: 低电平或下降沿有效 注: 仅适用于支持外部触发的产品。
14	ECE	外部时钟使能 该位用于使能外部时钟模式 2。 0: 禁止外部时钟模式 2 1: 使能外部时钟模式 2，计数器由 ETRF 信号上的任意有效边沿驱动。 注 1: 仅适用于支持外部触发的产品。 注 2: 配置 ECE =1 与配置 SMS =111 且 TS =111 的效果相同。 注 3: 当 TS ≠111 时，复位模式、门控模式和触发模式可以与外部时钟模式 2 配合使用。 注 4: 若同时使能外部时钟模式 1 和外部时钟模式 2，则外部时钟输入为 ETRF。

位	字段	描述
13: 12	ETPS	外部触发预分频器 外部触发信号 ETRP 的频率必须低于 TIM3 PCLK 频率的 1/4。当输入更快的外部时钟时，使用预分频器降低 ETRP 的频率。 00: 预分频器关闭 01: ETRP 频率 2 分频 10: ETRP 频率 4 分频 11: ETRP 频率 8 分频 注：仅适用于支持外部触发的产品
11: 8	ETF	外部触发滤波 这些位定义了 ETRP 信号的采样频率和 ETRP 数字滤波器的带宽。实际上，数字滤波器是一个事件计数器，在 N 个事件后产生一次输出跳变。 0000: 不滤波，按 f_{DTS} 采样 001: 采样频率 $f_{sampling} = f_{INT_CK}$, $N = 2$ 0010: 采样频率 $f_{sampling} = f_{INT_CK}$, $N = 4$ 0011: 采样频率 $f_{sampling} = f_{INT_CK}$, $N = 8$ 0100: 采样频率 $f_{sampling} = f_{DTS}/2$, $N = 6$ 0101: 采样频率 $f_{sampling} = f_{DTS}/2$, $N = 8$ 0110: 采样频率 $f_{sampling} = f_{DTS}/4$, $N = 6$ 0101: 采样频率 $f_{sampling} = f_{DTS}/2$, $N = 8$ 0110: 采样频率 $f_{sampling} = f_{DTS}/4$, $N = 6$ 0111: 采样频率 $f_{sampling} = f_{DTS}/4$, $N = 8$ 1000: 采样频率 $f_{sampling} = f_{DTS}/8$, $N = 6$ 1001: 采样频率 $f_{sampling} = f_{DTS}/8$, $N = 8$ 1010: 采样频率 $f_{sampling} = f_{DTS}/16$, $N = 5$ 1011: 采样频率 $f_{sampling} = f_{DTS}/16$, $N = 6$ 1100: 采样频率 $f_{sampling} = f_{DTS}/16$, $N = 8$ 1101: 采样频率 $f_{sampling} = f_{DTS}/32$, $N = 5$ 1110: 采样频率 $f_{sampling} = f_{DTS}/32$, $N = 6$ 1111: 采样频率 $f_{sampling} = f_{DTS}/32$, $N = 8$ 注：仅适用于支持外部触发的产品
7	MSM	主/从模式 0: 无动作 1: 触发输入 (TRGI) 上事件的作用被延迟，使当前定时器与其从定时器 (通过 TRGO) 之间实现完美同步。当需要将多个定时器同步到单个外部事件时，该功能非常有用。

位	字段	描述
6: 4	TS[2:0]	触发选择 00000: 内部触发 0 (ITR0) 00001: 内部触发 1 (ITR1) 00010: 内部触发 2 (ITR2) 00011: 内部触发 3 (ITR3) 00100: TI1 边沿检测器 (TI1F_ED) 00101: 滤波后的定时器输入 1 (TI1FP1) 00110: 滤波后的定时器输入 2 (TI2FP2) 00111: 外部触发输入 (ETR) 01000: 内部触发 4 (ITR4) 01001: 保留 01010: 保留 01011: 保留 01100: 保留 01101: 保留 01110: 保留 01111: 保留 10000: 内部触发 12 (ITR12) 10001: 内部触发 13 (ITR13) 10010: 内部触发 14 (ITR14) 10011: 内部触发 15 (ITR15) 10100: 滤波后的定时器输入 3 (TI3FP3) 10101: 滤波后的定时器输入 4 (TI4FP4) 其他: 保留 关于 ITRx 的更多细节参考下表。 注: 从模式使能后, 这些位不能被更改
3	OCCS	定时器比较输出信号 (OCxREF) 清除选择 在 PWM 模式下, 清除比较输出信号 (OCxREF) 0: 外部触发信号作为清除信号 1: 比较器输出 (COMP) 作为清除信号 注: 仅适用于支持外部触发或内置比较器 (COMP) 的产品。
2: 0	SMS	从模式选择 当选择外部信号时, 触发信号 (TRGI) 的有效边沿与在外部输入上所选的极性相关联。 000: 关闭从模式 —— 当 CEN =1 时, 预分频器由内部时钟直接驱动。 001: 编码器模式 1 —— 根据 TI1FP1 的电平, 计数器在 TI2FP2 的边沿进行递增/递减计数。 010: 编码器模式 2 —— 根据 TI2FP2 的电平, 计数器在 TI1FP1 的边沿进行递增/递减计数。 011: 编码器模式 3 —— 根据另一路输入的电平, 计数器在 TI1FP1 和 TI2FP2 的边沿进行递增/递减计数。 100: 复位模式 —— 所选触发输入 (TRGI) 的上升沿重新初始化计数器并产生更新寄存器信号。 101: 门控模式 —— 当触发输入 (TRGI) 为高电平时, 计数器开始计数; 当触发输入变为低电平时, 计数器停止计数 (但不复位)。计数器的启动和停止都是可控的。 110: 触发模式 —— 计数器在触发输入 TRGI 的上升沿启动 (但不复位)。仅计数器的启动是可控的。 111: 外部时钟模式 1 —— 所选触发输入 (TRGI) 的上升沿驱动计数器。 注: 若选择 TI1F_EN 作为触发输入 (TS =100), 不要使用门控模式。因为 EI1F_ED 在每次 TI1F 变化时输出一个脉冲, 而门控模式下需要检查触发输入的电平。

注: 内部触发的互连关系请参考芯片特定配置章节中 TIM 之间的互连表。

12.5.5 TIM3_DIER 中断使能寄存器

地址偏移: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									TIE	Res.	CC4IE	CC3IE	CC2IE	CC1IE	UIE
									rW		rW	rW	rW	rW	rW

位	字段	描述
15: 7	保留	保留，必须保持复位值。
6	TIE	触发中断使能 0: 禁止刹车中断 1: 使能刹车中断
5	保留	保留，必须保持复位值。
4	CC4IE	使能捕获/比较 4 中断 0: 禁止捕获/比较 4 中断 1: 使能捕获/比较 4 中断
3	CC3IE	使能捕获/比较 3 中断 0: 禁止捕获/比较 3 中断 1: 使能捕获/比较 3 中断
2	CC2IE	使能捕获/比较 2 中断 0: 禁止捕获/比较 2 中断 1: 使能捕获/比较 2 中断
1	CC1IE	使能捕获/比较 1 中断 0: 禁止捕获/比较 1 中断 1: 使能捕获/比较 1 中断
0	UIE	使能更新中断 0: 禁止更新事件中断 1: 使能更新事件中断

12.5.6 TIM3_SR 状态寄存器

地址偏移: 0x10
复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留			CC4OF	CC3OF	CC2OF	CC1OF	保留		TIF	Res.	CC4IF	CC3IF	CC2IF	CC1IF	UIF
			r_w0c						r_w0c		r_w0c				

位	字段	描述
15: 13	保留	保留，必须保持复位值。
12	CC4OF	捕获/比较 4 重复捕获标志 参考 CC1OF 的描述。
11	CC3OF	捕获/比较 3 重复捕获标志 参考 CC1OF 的描述。
10	CC2OF	捕获/比较 2 重复捕获标志 参考 CC1OF 的描述。
9	CC1OF	捕获/比较 1 重复捕获标志 只有当通道 1 配置为输入捕获模式且 CC1F 已置 1 时，再次发生捕获事件，该标志才由硬件置位。写 0 可清除该位。 0: 无重复捕获 1: 发生重复捕获
8: 7	保留	保留，必须保持复位值。
6	TIF	触发中断标志 发生触发事件时（从模式计数器处于门控模式以外的任何模式时，在 TRGI 输入端检测到有效边沿；或在门控模式下检测到任意边沿），该位由硬件置位，由软件清除。 0: 未发生触发事件 1: 触发中断挂起
5	保留	保留，必须保持复位值。
4	CC4IF	捕获/比较 4 中断标志 参考 CC1IF 的描述

位	字段	描述
3	CC3IF	捕获/比较 3 中断标志 参考 CC1IF 的描述
2	CC2IF	捕获/比较 2 中断标志 参考 CC1IF 的描述。
1	CC1IF	捕获/比较 1 中断标志 通道 1 处于输出模式时： 当计数器值与比较值匹配时，该位由硬件置位（中央对齐模式除外，中央对齐模式下该位按 TIM3_CR1.CMS [1:0] 置位），由软件清除。 0：未匹配 1：TIM3_CNT 的值与 TIM3_CCR1 的值匹配 通道 1 处于输入模式时： 发生捕获事件时，该位由硬件置位，由软件清除或读取 TIM3_CCR1 寄存器清除 0：未发生输入捕获 1：计数器值已被捕获到 TIM3_CCR1
0	UIF	更新中断标志 发生更新事件时，该位由硬件置位，由软件清除。 0：未发生更新中断 1：更新中断挂起 当寄存器被更新时，该位由硬件置位： - 当 TIM3_CR1 寄存器 UDIS=0 且 REP_CNT=0 时，计数器产生溢出/下溢。 - 当 TIM3_CR1 寄存器 UDIS=0、URS=0 时，TIMx_EGR 寄存器 UG =1。 - 当 TIM3_CR1 寄存器 UDIS=0、URS=0 时，由从模式控制器产生更新。

12.5.7 TIM3_EGR 事件产生寄存器

地址偏移：0x14

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									TG	Res.	CC4G	CC3G	CC2G	CC1G	UG
									W		W	W	W	W	W

位	字段	描述
15: 7	保留	保留，必须保持复位值。
6	TG	触发产生 0：无动作 1：产生一个触发事件。TIM3_SR 寄存器 TIF =1。若使能了对应的中断，则产生对应的中断。该位由硬件自动清除。
5	保留	保留，必须保持复位值。
4	CC4G	捕获/比较 4 产生 参考 CC1G 的描述。
3	CC3G	捕获/比较 3 产生 参考 CC1G 的描述。
2	CC2G	捕获/比较 2 产生 参考 CC1G 的描述。
1	CC1G	捕获/比较 1 产生 该位由软件置位，产生一个捕获/比较事件，并由硬件自动清除。 0：无动作 1：在通道 CC1 上产生一个捕获/比较事件： 当通道 CC1 配置为输出时：CC1IF 置 1。若使能了对应的中断，则产生对应的中断。 当通道 CC1 配置为输入时：计数器的当前值被捕获到 TIMx_CCR1 寄存器，CC1IF 置 1。若使能了对应的中断，则产生对应的中断。若 CC1IF 已置位，则 CC1OF 置 1。

位	字段	描述
0	UG	更新事件产生 0：无动作 1：初始化计数器并产生一个更新事件，该位由硬件自动清除。选择中央对齐或递增计数模式时，计数器被清除；否则（递减计数模式）装载计数器的自动预装载值。同时预分频计数器也被清除。

12.5.8 TIM3_CCMR1 捕获/比较模式寄存器 1

地址偏移：0x18

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2CE.	OC2M			OC2PE	OC2FE	CC2S		OC1CE.	OC1M			OC1PE	OC1FE	CC1S	
IC2F				IC2PSC		CC2S		IC1F				IC1PSC		CC1S	
rw	rw			rw	rw	rw		rw	rw			rw	rw	rw	

该通道可用于输入（捕获模式）或输出（比较模式）。通道方向由对应的 CCxS 定义。除 CCxS 之外，该寄存器的其他位在输入模式和输出模式下功能不同。OCxx 描述通道在输出模式下的功能，ICxx 描述通道在输入模式下的功能。

比较输出模式：

位	字段	描述
15	OC2CE	比较输出 2 清除使能 参考 OC1CE 的描述
14: 12	OC2M	通道 2 输出比较模式 参考 OC1M 的描述。
11	OC2PE	通道 2 输出比较预装载使能 参考 OC1PE 的描述。
10	OC2FE	通道 2 输出比较快速使能 参考 OC1FE 的描述。
9: 8	CC2S	通道 2 捕获/比较 2 选择 该位定义了通道方向和输入信号选择。只有在通道关闭时，这些位才能被写入： 00：通道 2 配置为输出 01：通道 2 配置为输入，IC2 映射到 TI2 10：通道 2 配置为输入，IC2 映射到 TI1 11：通道 2 配置为输入，IC2 映射到 TRC。 该模式仅在选择了内部触发输入时有效（由 TIM3_SMCR 寄存器的 TS 位选择）
7	OC1CE	比较输出 1 清除使能 0：OC1REF 不受 ETR 输入影响。 1：检测到 ETR 为有效电平时，清除 OC1REF。

位	字段	描述
6: 4	OC1M	通道 1 输出比较模式 该位定义了输出参考信号 OC1REF 的动作。OC1REF 决定了 OC1 和 OC1N 的值。OC1REF 为高电平有效。OC1、OC1N 的有效电平取决于 CC1P 和 CC1NP 位。 000: 冻结。TIM3_CCR1 与 TIM3_CNT 的比较结果对 OC1REF 无影响。 001: 匹配时设为高。当 TIM3_CNT 的值与 TIM3_CCR1 的值相同时, 强制 OC1REF 为高电平 010: 匹配时设为低。当 TIM3_CNT 的值与 TIM3_CCR1 的值相同时, 强制 OC1REF 为低电平 011: 匹配时翻转。当 TIM3_CCR1=TIM3_CNT 时, OC1REF 翻转。 100: 强制为低。强制 OC1REF 为低电平 101: 强制为高。强制 OC1REF 为高电平 110: PWM 模式 1。递增计数时, 当 TIM3_CNT<TIM3_CCR1, 强制 OC1REF 为高电平, 否则为低电平; 递减计数时, 当 TIM3_CNT > TIM3_CCR1, 强制 OC1REF 为低电平, 否则为高电平。 111: PWM 模式 2。递增计数时, 当 TIM3_CNT<TIM3_CCR1, 通道 1 强制 OC1REF 为低电平, 否则为高电平; 递减计数时, 当 TIM3_CNT > TIM3_CCR1, 强制 OC1REF 为高电平, 否则为低电平。 注 1: 当 LOCK 级别为 3 (TIM3_BDTR 寄存器 LOCK 位) 且 CC1S = 00 (通道配置为输出) 时, 该位不能被更改。 注 2: 在 PWM 模式 1 或 PWM 模式 2 下, 只有当比较结果发生变化, 或在比较输出模式下由冻结模式切换到 PWM 模式时, OC1REF 的电平才可能改变。
3	OC1PE	通道 1 输出比较预装载使能 0: 禁止 TIM3_CCR1 寄存器的预装载功能, 写入 TIM3_CCR1 寄存器的值立即生效 1: 使能 TIM3_CCR1 寄存器的预装载功能, 读写只作用于预装载寄存器, TIM3_CCR1 的预装载值在更新事件时生效 注 1: 当 LOCK 级别为 3 (TIM3_BDTR 寄存器 LOCK 位) 且 CC1S = 00 (通道配置为输出) 时, 该位不能被更改。 注 2: 只有在单脉冲模式下 (TIM3_CR1 寄存器 OPM=1), 是否设置预装载寄存器都没有影响; 其他情况下必须设置预装载寄存器, 否则后续动作不确定。
2	OC1FE	通道 1 输出比较快速使能 当该位置 1 且通道配置为 PWM 模式时, 可加快捕获/比较输出对触发时刻的响应速度。输出通道将触发输入信号的有效边沿视为一次比较匹配, 因此 OC 被置为比较电平, 而与比较结果无关。 0: 通道 1 输出比较快速使能。 1: 通道 1 输出比较快速禁止。
1: 0	CC1S	通道 1 捕获/比较选择 该位定义了通道方向和输入信号选择。只有在通道关闭时, 这些位才能被写入: 00: 通道 1 配置为输出 01: 通道 1 配置为输入, IC1 映射到 TI1 10: 通道 1 配置为输入, IC1 映射到 TI2 11: 通道 1 配置为输入, IC1 映射到 TRC。 该模式仅在选择了内部触发输入时有效 (由 TIM3_SMCR 寄存器的 TS 位选择)

输入捕获模式:

位	字段	描述
15: 12	IC2F	输入捕获 2 滤波 参考 IC1F 的描述
11: 10	IC2PSC	输入捕获 2 预分频器 参考 IC1PSC 的描述

位	字段	描述
9: 8	CC2S	通道 2 捕获/比较选择 该位定义了通道方向和输入信号选择。只有在通道关闭时，这些位才能被写入： 00：通道 2 配置为输出 01：通道 1 配置为输入，IC2 映射到 TI2 10：通道 2 配置为输入，IC2 映射到 TI1 11：通道 2 配置为输入，IC2 映射到 TRC。 该模式仅在选择了内部触发输入时有效（由 TIM3_SMCR 寄存器的 TS 位选择）
7: 4	IC1F	通道 1 输入捕获滤波 数字滤波器由一个事件计数器组成，在 N 个输入事件后记录一次输出跳变。这些位定义了 IC1 输入信号的采样频率和数字滤波器长度。 0000：不滤波，按 f_{DTS} 采样 001：采样频率 $f_{sampling} = f_{INT_CK}$，N = 2 0010：采样频率 $f_{sampling} = f_{INT_CK}$，N = 4 0011：采样频率 $f_{sampling} = f_{INT_CK}$，N = 8 0100：采样频率 $f_{sampling} = f_{DTS}/2$，N = 6 0101：采样频率 $f_{sampling} = f_{DTS}/2$，N = 8 0110：采样频率 $f_{sampling} = f_{DTS}/4$，N = 6 0111：采样频率 $f_{sampling} = f_{DTS}/4$，N = 8 1000：采样频率 $f_{sampling} = f_{DTS}/8$，N = 6 1001：采样频率 $f_{sampling} = f_{DTS}/8$，N = 8 1010：采样频率 $f_{sampling} = f_{DTS}/16$，N = 5 1011：采样频率 $f_{sampling} = f_{DTS}/16$，N = 6 1100：采样频率 $f_{sampling} = f_{DTS}/16$，N = 8 1101：采样频率 $f_{sampling} = f_{DTS}/32$，N = 5 1110：采样频率 $f_{sampling} = f_{DTS}/32$，N = 6 1111：采样频率 $f_{sampling} = f_{DTS}/32$，N = 8
3: 2	IC1PSC	通道 1 输入捕获预分频器 该位定义了作用于 IC1 的预分频比。一旦 CC1E=0（TIM3_CCER 寄存器），预分频器即被复位。 00：不分频，捕获输入检测到每个边沿触发一次捕获 01：每 2 个事件触发一次捕获 10：每 4 个事件触发一次捕获 11：每 8 个事件触发一次捕获
1: 0	CC1S	通道 1 捕获/比较选择 该位定义了通道方向和输入信号选择。只有在通道关闭时，这些位才能被写入： 00：通道 1 配置为输出 01：通道 1 配置为输入，IC1 映射到 TI1 10：通道 1 配置为输入，IC1 映射到 TI2 11：通道 1 配置为输入，IC1 映射到 TRC。 该模式仅在选择了内部触发输入时有效（由 TIM3_SMCR 寄存器的 TS 位选择）

12.5.9 TIM3_CCMR2 捕获/比较模式寄存器 2

地址偏移：0x1C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4CE	OC4M			OC4PE	OC4FE	CC4S		OC3CE	OC3M			OC3PE	OC3FE	CC3S	
IC4F				IC4PSC		CC4S		IC3F				IC3PSC		CC3S	
rw	rw			rw	rw	rw		rw	rw			rw	rw	rw	

比较输出模式：

位	字段	描述
15	OC4CE	通道 4 输出比较清除使能 参考 OC3CE 的描述
14: 12	OC4M	通道 4 输出比较模式 参考 OC3M 的描述
11	OC4PE	通道 4 输出比较预装载使能 参考 OC3PE 的描述
10	OC4FE	通道 4 输出比较快速使能 参考 OC3FE 的描述
9: 8	CC4S	通道 4 捕获/比较选择 该位定义了通道方向和输入信号选择。只有在通道关闭时，这些位才能被写入： 00: 通道 4 配置为输出 01: 通道 4 配置为输入，IC4 映射到 TI4 10: 通道 4 配置为输入，IC4 映射到 TI3 11: 通道 4 配置为输入，IC4 映射到 TRC。 该模式仅在选择了内部触发输入时有效（由 TIM3_SMCR 寄存器的 TS 位选择）
7	OC3CE	通道 3 输出比较清除使能 0: OC3REF 不受 ETR 输入影响 1: 检测到 ETR 输入为有效电平时，清除 OC3REF
6: 4	OC3M	通道 3 输出比较模式 该位定义了输出参考信号 OC3REF 的动作。OC3REF 决定了 OC3 和 OC3N 的值。OC3REF 为高电平有效。OC3、OC3N 的有效电平取决于 CC3P 和 CC3NP 位。 000: 冻结。TIM3_CCR3 与 TIM3_CNT 的比较结果对 OC3REF 无影响。 001: 匹配时设为高。当 TIM3_CNT 的值与 TIM3_CCR3 的值相同时，强制 OC3REF 为高电平 010: 匹配时设为低。当 TIM3_CNT 的值与 TIM3_CCR3 的值相同时，强制 OC3REF 为低电平 011: 匹配时翻转。当 TIM3_CCR3=TIM3_CNT 时，OC3REF 翻转。 100: 强制为低。强制 OC3REF 为低电平 101: 强制为高。强制 OC3REF 为高电平 110: PWM 模式 1。递增计数时，当 TIM3_CNT<TIM3_CCR3，强制 OC3REF 为高电平，否则为低电平；递减计数时，当 TIM3_CNT > TIM3_CCR3，强制 OC3REF 为低电平，否则为高电平。 111: PWM 模式 2。递增计数时，当 TIM3_CNT<TIM3_CCR3，强制 OC3REF 为低电平，否则为高电平；递减计数时，当 TIM3_CNT > TIM3_CCR3，强制 OC3REF 为高电平，否则为低电平。 注 1: 当 LOCK 级别为 3（TIM3_BDTR 寄存器 LOCK 位）且 CC3S = 00（通道配置为输出）时，该位不能被更改。 注 2: 在 PWM 模式 1 或 PWM 模式 2 下，只有当比较结果发生变化，或在比较输出模式下由冻结模式切换到 PWM 模式时，OC3REF 的电平才可能改变。
3	OC3PE	通道 3 输出比较预装载使能 0: 禁止 TIM3_CCR3 寄存器的预装载功能，写入 TIM3_CCR3 寄存器的值立即生效 1: 使能 TIM3_CCR3 寄存器的预装载功能，读写只作用于预装载寄存器，TIM3_CCR3 的预装载值在更新事件到来时生效 注 1: 当 LOCK 级别为 3（TIM3_BDTR 寄存器 LOCK 位）且 CC3S = 0（通道配置为输出）时，该位不能被更改。 注 2: 只有在单脉冲模式下（TIM3_CR1 寄存器 OPM=1），不需要设置预装载寄存器；其他情况下必须设置预装载寄存器，否则后续动作不确定。
2	OC3FE	通道 3 输出比较快速使能 当该位为 1 且通道配置为 PWM 模式时，可加快捕获/比较输出对触发时刻的响应速度。输出通道将触发输入信号的有效边沿视为一次比较匹配，因此 OC 被置为比较电平，而与比较结果无关。 0: 通道 3 输出比较快速禁止。 1: 通道 3 输出比较快速使能。

位	字段	描述
1: 0	CC3S	通道 3 捕获/比较选择 该位定义了通道方向和输入信号选择。只有在通道关闭时，这些位才能被写入： 00: 通道 3 配置为输入 01: 通道 3 配置为输入，IC3 映射到 TI3 10: 通道 3 配置为输入，IC3 映射到 TI4 11: 通道 3 配置为输入，IC3 映射到 TRC。 该模式仅在选择了内部触发输入时有效（由 TIM3_SMCR 寄存器的 TS 位选择）

输入捕获模式：

位	字段	描述
15: 12	IC4F	输入捕获 4 滤波 参考 IC3F 的描述
11: 10	IC4PSC	输入捕获 4 预分频器 参考 IC3PSC 的描述
9: 8	CC4S	通道 4 捕获/比较选择 该位定义了通道方向和输入信号选择。只有在通道关闭时，这些位才能被写入： 00: 通道 4 配置为输出 01: 通道 4 配置为输入，IC4 映射到 TI4 10: 通道 4 配置为输入，IC2 映射到 TI3 11: 通道 4 配置为输入，IC4 映射到 TRC。 该模式仅在选择了内部触发输入时有效（由 TIM3_SMCR 寄存器的 TS 位选择）
7: 4	IC3F	通道 3 输入捕获滤波 数字滤波器由一个事件计数器组成，在 N 个输入事件后记录一次输出跳变。这些位定义了 IC1 输入信号的采样频率和数字滤波器长度。 0000: 不滤波，按 f_{DTS} 采样 001: 采样频率 $f_{sampling} = f_{INT_CK}$, $N = 2$ 0010: 采样频率 $f_{sampling} = f_{INT_CK}$, $N = 4$ 0011: 采样频率 $f_{sampling} = f_{INT_CK}$, $N = 8$ 0100: 采样频率 $f_{sampling} = f_{DTS}/2$, $N = 6$ 0101: 采样频率 $f_{sampling} = f_{DTS}/2$, $N = 8$ 0110: 采样频率 $f_{sampling} = f_{DTS}/4$, $N = 6$ 0111: 采样频率 $f_{sampling} = f_{DTS}/4$, $N = 8$ 1000: 采样频率 $f_{sampling} = f_{DTS}/8$, $N = 6$ 1001: 采样频率 $f_{sampling} = f_{DTS}/8$, $N = 8$ 1010: 采样频率 $f_{sampling} = f_{DTS}/16$, $N = 5$ 1011: 采样频率 $f_{sampling} = f_{DTS}/16$, $N = 6$ 1100: 采样频率 $f_{sampling} = f_{DTS}/16$, $N = 8$ 1101: 采样频率 $f_{sampling} = f_{DTS}/32$, $N = 5$ 1110: 采样频率 $f_{sampling} = f_{DTS}/32$, $N = 6$ 1111: 采样频率 $f_{sampling} = f_{DTS}/32$, $N = 8$
3: 2	IC3PSC	通道 3 输入捕获预分频器 该位定义了作用于 IC3 的预分频比。一旦 CC3E=0（TIM3_CCER 寄存器），预分频器即被复位。 00: 不分频，捕获输入检测到每个边沿触发一次捕获 01: 每 2 个事件触发一次捕获 10: 每 4 个事件触发一次捕获 11: 每 8 个事件触发一次捕获

位	字段	描述
1: 0	CC3S	通道 3 捕获/比较选择 该位定义了通道方向和输入信号选择。只有在通道关闭时，这些位才能被写入： 00: 通道 3 配置为输出 01: 通道 3 配置为输入，IC3 映射到 TI3 10: 通道 3 配置为输入，IC3 映射到 TI4 11: 通道 3 配置为输入，IC3 映射到 TRC。 该模式仅在选择了内部触发输入时有效（由 TIM3_SMCR 寄存器的 TS 位选择）

12.5.10 TIM3_CCER 捕获/比较使能寄存器

地址偏移：0x20

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4NP	Res	CC4P	CC4E	CC3NP	Res	CC3P	CC3E	CC2NP	Res	CC2P	CC2E	CC1NP	Res	CC1P	CC1E
rw	.	rw	rw	rw	.	rw	rw	rw	.	rw	rw	rw	.	rw	rw

位	字段	描述
15	CC4NP	通道 4 输入捕获互补输出极性 参考 CC1NP 的描述
14	保留	保留，必须保持复位值。
13	CC4P	通道 4 捕获/比较输出极性 参考 CC1P 的描述。
12	CC4E	通道 4 捕获/比较使能 参考 CC1E 的描述
11	CC3NP	通道 3 输入捕获互补输出极性 参考 CC1NP 的描述
10	保留	保留，必须保持复位值。
9	CC3P	通道 3 输入捕获输出极性 参考 CC1P 的描述
8	CC3E	通道 3 输入捕获输出使能 参考 CC1E 的描述
7	CC2NP	通道 2 输入捕获互补输出极性 参考 CC1NP 的描述
6	保留	保留，必须保持复位值。
5	CC2P	通道 2 输入捕获输出极性 参考 CC1P 的描述
4	CC2E	通道 2 输入捕获输出使能 参考 CC1E 的描述
3	CC1NP	通道 1 输入捕获极性 当通道 1 配置为输出时，该位无效。 当通道 1 配置为输入时，CC1P 与 CC1NP 组合使用以定义输入信号的极性和电平，详情请参考 ICx 极性/电平选择表。
2	保留	保留，必须保持复位值。
1	CC1P	通道 1 输入捕获输出极性 当通道 1 配置为输出时，该位定义输出信号的极性： 0: OC1 高电平有效 1: OC1 低电平有效 当通道 1 配置为输入时，CC1P 与 CC1NP 组合使用以决定输入信号的极性和电平，详情请参考 ICx 极性/电平选择表。

位	字段	描述
0	CC1E	通道 1 输入捕获输出使能 当通道 1 配置为输出时： 0：关闭，禁止 OC1 输出 1：使能。OC1 信号被输出到对应的输出引脚。 CC1 通道配置为输入时： 该位决定是否使能输入捕获功能。 0：禁止捕获 1：使能捕获

输入模式下，ICx 极性/电平选择见下表：

表 12-51 ICx 极性/电平选择

CCxP	CCxNP	ICx 极性/电平
0	0	上升沿有效/高电平有效
1	0	下降沿有效/低电平有效
1	1	上升沿或下降沿有效/低电平有效
0	1	保留

12.5.11 TIM3_CNT 计数器

地址偏移：0x24

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw															

位	字段	描述
15: 0	CNT	计数器的值

12.5.12 TIM3_PSC 预分频器

地址偏移：0x28

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC															
rw															

位	字段	描述
15: 0	PSC	预分频器的值 计数器的时钟频率 (ck_cnt) = f _{CK_PSC} / (PSC+1) 当发生更新事件时，PSC 的值装入当前预分频寄存器。

12.5.13 TIM3_ARR 自动预装载寄存器

地址偏移：0x2C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR															
rw															

位	字段	描述
15: 0	ARR	自动预装载值 这些位定义了计数器的自动预装载值。当自动预装载的值为 0 时，计数器不工作。

12.5.14 TIM3_CCR1 捕获/比较寄存器 1

地址偏移: 0x34

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1															
rw															

位	字段	描述
15: 0	CCR1	通道 1 的捕获/比较值 当通道 1 配置为输入时: CCR1 的值为上一次捕获事件时的计数器值 (该寄存器只读)。 当通道 1 配置为输出时: 若未在 TIM3_CCMR1 寄存器中选择预装载功能 (OC1PE 位), 写入的值立即传送到当前的捕获/比较影子寄存器; 否则写入的值只在发生更新事件时装载到捕获/比较寄存器。当前的捕获/比较影子寄存器参与与计数器 TIM3_CNT 的比较, 比较结果反映到 OC1 端口的输出信号上。

12.5.15 TIM3_CCR2 捕获/比较寄存器 2

地址偏移: 0x38

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2															
rw															

位	字段	描述
15: 0	CCR2	通道 2 的捕获/比较值 参考 CCR1 的描述。

12.5.16 TIM3_CCR3 捕获/比较寄存器 3

地址偏移: 0x3C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3															
rw															

位	字段	描述
15: 0	CCR3	通道 3 的捕获/比较值 参考 CCR1 的描述。

12.5.17 TIM3_CCR4 捕获/比较寄存器 4

地址偏移: 0x40

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4															
rw															

位	字段	描述
15: 0	CCR4	通道 4 的捕获/比较值 参考 CCR1 的描述。

12.5.18 TIM3_OR 输入选项寄存器

地址偏移：0x50

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								TI4_RMP		保留				ETR_RMP	
								rw						rw	

位	字段	描述
15:8	保留	保留，必须保持复位值。
7:6	TI4_RMP	TI4 复用 00: CH4 GPIO 输入 01: LSI 时钟输入 10: 保留 11: HSE_CLK_DIV_128 时钟输入
1:0	ETR_RMP	ETR 复用 00: 保留 01: LSI 时钟输入 10: 保留 11: HSE_CLK_DIV_128 时钟输入

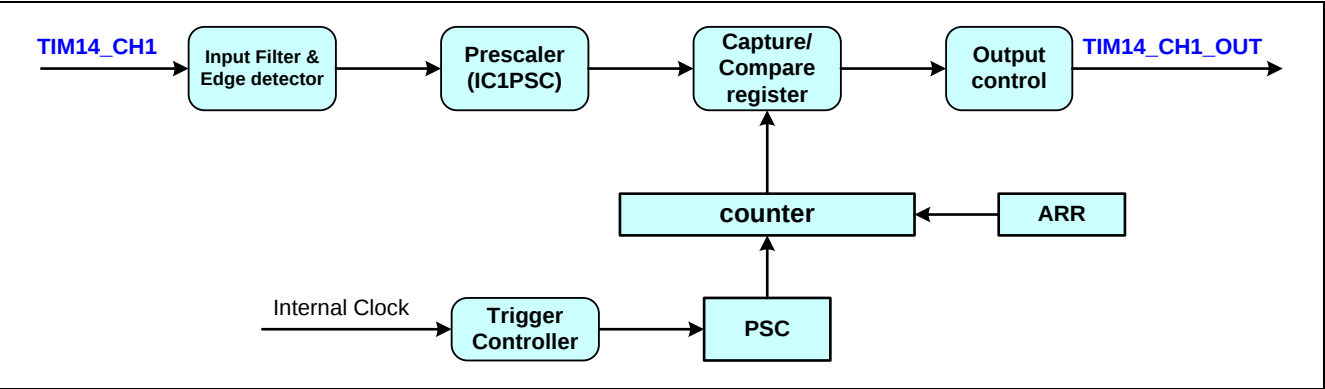
13 TIM14 基本定时器

13.1 简介

TIM14 由一个 16 位实时可编程预分频器和一个 16 位自动预装载计数器组成，可以方便地提供计数和定时功能。计数器由可编程预分频器驱动。基本定时器可用于多种用途，例如输入捕获功能（测量输入信号脉宽或频率等）、比较输出功能（PWM 输出、比较输出等）。

13.2 功能框图

图 13-1 TIM14 框图



TIM14 结构框图主要由输入捕获单元、比较输出单元和计数器单元组成。

13.3 主要特性

- 16 位实时可编程预分频器，分频系数：1-65536。
- 16 位自动预装载计数器（计数方向：递增）。
- 输入捕获：测量输入信号的脉宽或周期。
- 比较输出（控制输出波形或指示计数器已完成定时）。
- 单脉冲模式。
- PWM 输出（边沿对齐模式）
- 中断/DMA 请求事件：更新事件、输入捕获、比较输出。

13.4 功能描述

13.4.1 时钟

13.4.1.1 时钟选择

计数器的时钟由内部时钟（INT_CK）提供。

13.4.1.2 时基单元

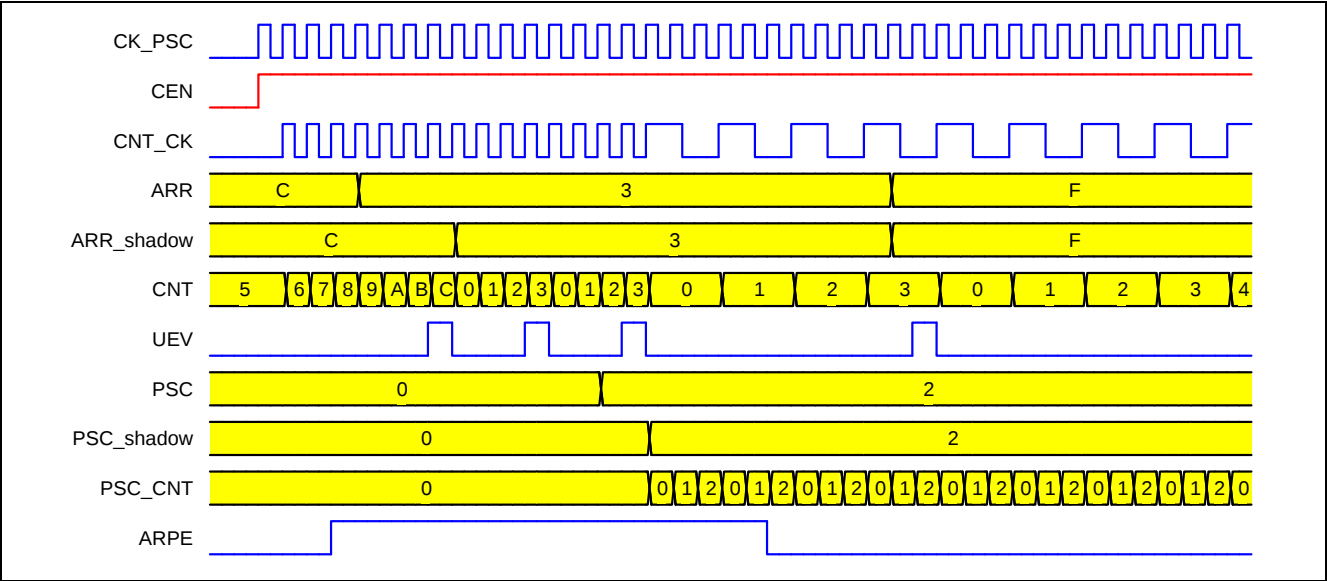
TIM14 时基单元主要包括：计数器寄存器（TIM14_CNT）、预分频器寄存器（TIM14_PSC）、自动预装载寄存器（TIM14_ARR）。

计数器单元由一个 16 位计数器及其相关的自动预装载寄存器组成，计数器只能递增计数。

计数器时钟由预分频器提供。预分频器由预分频计数器及其相关寄存器组成，分频系数为 1-65536。它可以随时写入，并在下一次更新时生效。

自动预装载寄存器带有一个具有预装载功能的 16 位影子寄存器。设置 TIM14_CR1 寄存器的 ARPE 位，可以选择 ARR 寄存器的内容是持续传送到影子寄存器，还是在每次更新事件时传送。

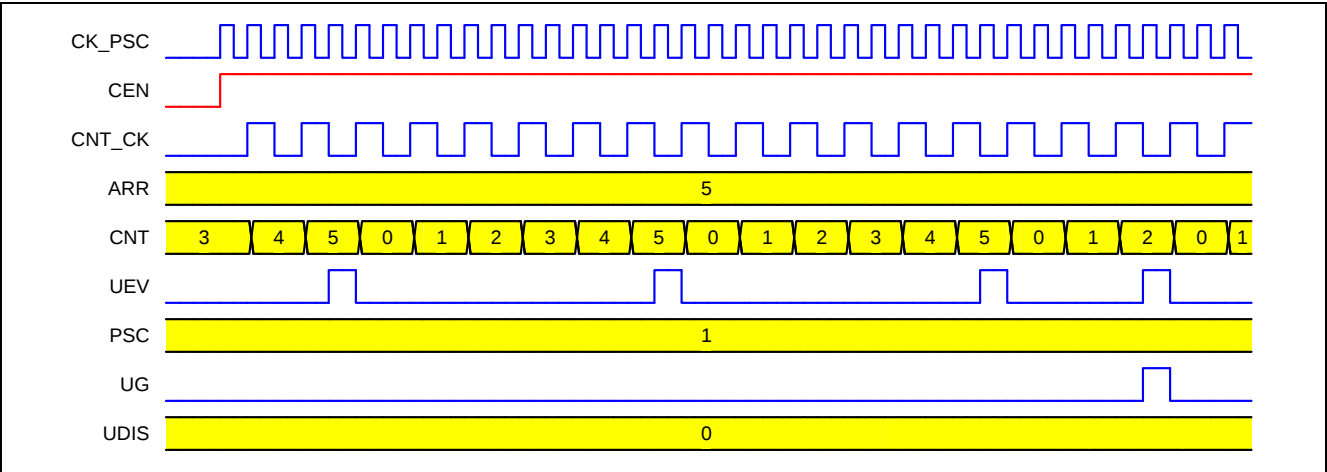
图 13-2 自动预装载



13.4.1.3 计数器模式

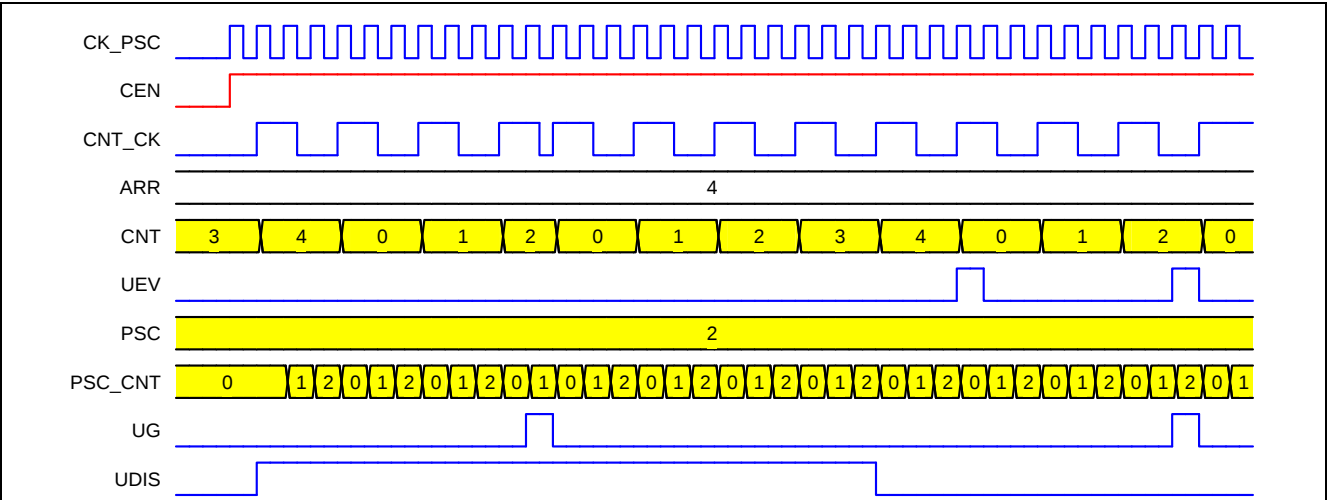
TIM14 仅支持递增计数模式。使能 TIM14_CR1 寄存器的 CEN，计数器从 0 开始递增计数到 TIM14_ARR 的值，并产生一个计数器溢出事件（更新），然后计数器再次从 0 开始递增计数。将 TIM14_EGR 寄存器的 UG 置 1，同样会产生更新事件。

图 13-3 递增计数模式 (UDIS=0)



配置 TIM14_CR1 寄存器 UDIS=1，禁止更新事件。发生计数器溢出事件时不产生更新事件；配置 UG=1 也不产生更新事件，但计数器和预分频计数器会初始化，并从 0 开始递增计数。

图 13-4 递增计数模式 (UDIS=1，禁止更新事件)



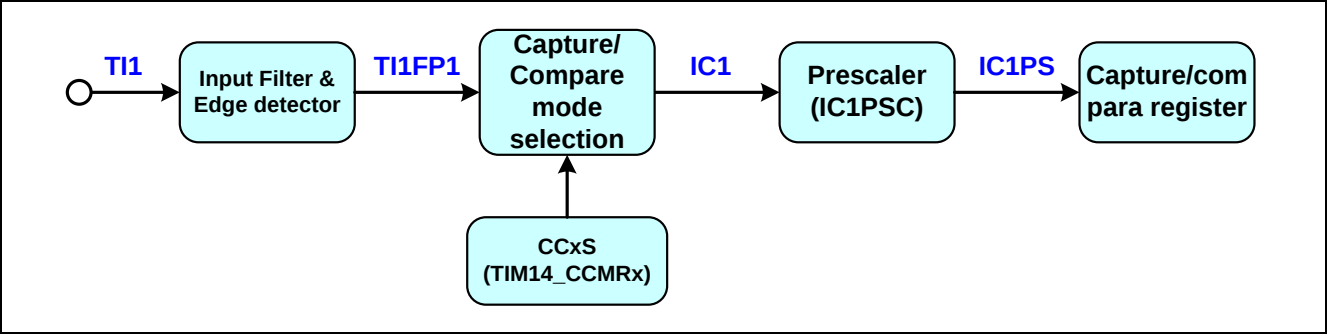
- 注：发生更新事件时：
- ARR 寄存器的值装载到 ARR 影子寄存器。
 - 预分频器的预装载值生效。

13.4.2 输入捕获

13.4.2.1 输入捕获

输入捕获由数字滤波器、边沿检测器、预分频器、捕获比较寄存器等组成，其框图如下：

图 13-5 TIM14 输入捕获框图



配置 TIM14_CCMR1 寄存器的 IC1F, 设置数字滤波器的滤波宽度(滤波采样频率与数字滤波器宽度见下表)。当输入信号宽度大于滤波宽度时, 输入信号有效。数字滤波器对输入引脚 TI1 的输入信号采样后, 产生滤波后的信号 TI1F; 再经过极性可选的边沿检测器, 产生有效信号 IC1。该信号经预分频器产生 IC1PS, 用于触发输入捕获事件。

表 13-1 数字滤波器宽度与 IC1F 的对应关系

IC1F[3: 0]	采样频率与滤波长度	IC1F[3: 0]	采样频率与滤波长度
0000	不滤波, 按 f_{DTS} 采样	1000	采样频率 $f_{sampling}=f_{DTS}/8$, $N=6$
0001	采样频率 $f_{sampling}=f_{INT_CK}$, $N=2$	1001	采样频率 $f_{sampling}=f_{DTS}/8$, $N=8$
0010	采样频率 $f_{sampling}=f_{INT_CK}$, $N=4$	1010	采样频率 $f_{sampling}=f_{DTS}/16$, $N=5$
0011	采样频率 $f_{sampling}=f_{INT_CK}$, $N=8$	1011	采样频率 $f_{sampling}=f_{DTS}/16$, $N=6$
0100	采样频率 $f_{sampling}=f_{DTS}/2$, $N=6$	1100	采样频率 $f_{sampling}=f_{DTS}/16$, $N=8$
0101	采样频率 $f_{sampling}=f_{DTS}/2$, $N=8$	1101	采样频率 $f_{sampling}=f_{DTS}/32$, $N=5$
0110	采样频率 $f_{sampling}=f_{DTS}/4$, $N=6$	1110	采样频率 $f_{sampling}=f_{DTS}/32$, $N=6$
0111	采样频率 $f_{sampling}=f_{DTS}/4$, $N=8$	1111	采样频率 $f_{sampling}=f_{DTS}/32$, $N=8$

在输入捕获模式下, 当检测到信号 IC1 的有效边沿时, 计数器的当前值被锁存到相应的影子寄存器中, 然后装载到相应的捕获/比较寄存器。若使能了中断或 DMA, 产生捕获事件时将产生相应的中断或 DMA 请求。发生捕获事件时, 状态寄存器 (TIM14_SR) 的捕获标志位 CC1IF 将被置位。配置 CC1IF=0 或读取 TIM14_CCR1 数据可清除 CC1IF 标志位。若 CC1IF 未被清除时又产生了下一次输入捕获事件, 则重复捕获标志 CC1OF 将被置位。配置 CC1OF=0 可清除 CC1OF 标志位。

例如, 采样 TI1 输入信号的有效边沿: 在 TI1 上升沿捕获当前计数器值并锁存到 TIM14_CCR1 寄存器中, 操作步骤如下:

1. 配置 TIM14_CCMR1 寄存器 CC1S=01, 将 CC1 通道配置为输入, IC1 映射到 TI1。
2. 配置 TIM14_CCMR1 寄存器 IC1F [3:0], 配置数字滤波器的滤波宽度 (按需配置)。
3. 配置 TIM14_CCER 寄存器 CC1P=0, 选择在 TI1 信号的上升沿发生捕获。
4. 配置 TIM14_CCMR1 寄存器 IC1PSC [1:0], 选择预分频系数。
5. 配置 TIM14_CCER 寄存器 CC1E = 1, 使能通道 1 捕获。
6. 配置 TIM14_DIER 寄存器 CC1IE=1, 使能通道 1 中断请求; 若芯片内置 DMA, 配置 TIM14_DIER 寄存器的 CC1DE=1, 允许捕获/比较通道 1 的 DMA 请求。

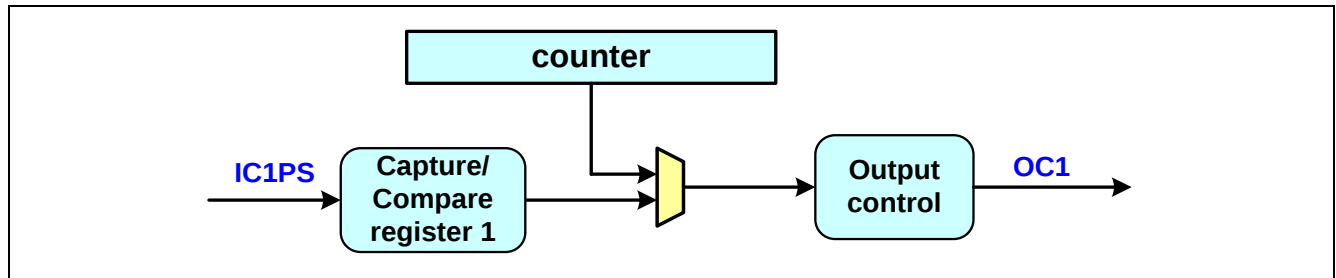
- 注：
- 当通道配置为输入模式时, TIM14_CCR1 寄存器变为只读。
- 当发生两次以上连续捕获且 CC1IF 标志未被清除时, 重复捕获标志
- CC1OF 会被置位。为避免丢失在重复捕获标志 CC1OF 置位之前可能产生的捕获信息, 建议先读取数据再读取重复捕获标志。

- 置位 TIM14_EGR 寄存器对应的 CC1G 位，可通过软件产生输入捕获中断或 DMA 请求。

13.4.3 比较输出

捕获/比较通道的比较输出由比较器、输出控制电路和捕获/比较寄存器组成，其结构如下：

图 13-6 比较输出框图



在比较输出模式下，捕获/比较寄存器的内容被装载到影子寄存器中，然后将影子寄存器的内容与计数器当前值进行比较。捕获/比较模块包括一个捕获/比较寄存器（预装载寄存器）和一个影子寄存器，读写过程仅操作捕获/比较寄存器。

13.4.3.1 强制输出

配置 TIM14_CCMR1 寄存器 CC1S = 00，将通道 CC1 设置为输出模式。通过配置 TIM14_CCMR1 寄存器的 OC1M 位，可以直接将比较输出信号强制为有效或无效电平，不依赖于比较结果。配置 TIM14_CCMR1 寄存器 OC1M = 100，强制比较输出信号为无效电平，此时 OC1REF 被强制为低电平。配置 TIM14_CCMR1 寄存器 OC1M = 101，强制比较输出信号为有效电平，此时 OC1REF 被强制为高电平（OC1REF 始终为高电平有效）。

注：强制输出模式下，TIM14_CCR1 影子寄存器与计数器之间的比较输出仍在进行，比较结果的相应标志位也会被修改；如果开启了对应的中断和 DMA 请求，仍会产生对应的中断和 DMA 请求。

13.4.3.2 比较输出

在比较输出模式下，当计数器与捕获比较寄存器的值匹配时，可以根据 TIM14_CCMR1 寄存器的 OC1M 位输出不同的波形。

例如，当计数器与捕获/比较寄存器的值匹配时，比较输出模式下的功能如下：

1. 比较匹配时，OC1M 的值不同，输出通道 1 信号 OC1 的动作不同：

- OC1M = 000: OC1 信号保持其电平。
- OC1M = 001: OC1 信号被设置为有效电平。
- OC1M = 010: OC1 信号被设置为无效电平。
- OC1M = 011: OC1 信号翻转。

2. 匹配时，状态寄存器中的标志位置 1（TIM14_SR 寄存器中的 CC1IF 位）。

3. 配置 TIM14_DIER 寄存器 CC1IE = 1，匹配时产生一个中断。

4. 配置 TIM14_DIER 寄存器 CC1DE = 1，匹配时产生一个 DMA 请求（仅适用于内置 DMA 的产品）。

比较输出模式也可以用来输出单脉冲（单脉冲模式）。

通道 1 比较输出模式的配置步骤：

1. 配置计数器时钟（选择时钟源，配置预分频系数）。

2. 配置 TIM14_ARR 和 TIM14_CCR1 寄存器。

3. 配置 TIM14_DIER 寄存器 CC1IE = 1，使能捕获/比较 1 中断。

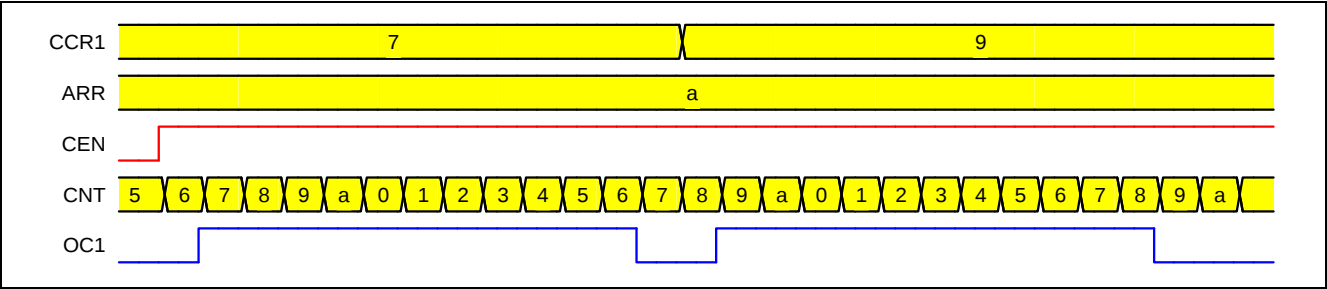
4. 配置输出模式：

- 配置 TIM14_CCMR1 寄存器 OC1M = 011，OC1 比较匹配时翻转。
- 配置 TIM14_CCMR1 寄存器 OC1PE = 0，禁止 TIM14_CCR1 寄存器的预装载功能。
- 配置 TIM14_CCMR1 寄存器 CC1P = 1，OC1 为低电平有效极性。
- 配置 TIM14_CCER 寄存器 CC1E = 1，使能通道 1 输出，OC1 信号被输出到对应的输出引脚。

5. 配置 TIM14_CR1 寄存器 CEN = 1，使能计数器。

配置 TIM14_CCMR1 寄存器 OC1PE = 0，禁止 TIM14_CCR1 寄存器的预装载功能，此时可随时写 TIM14_CCR1 寄存器，写入值立即更新。配置 TIM14_CCMR1 寄存器 OC1PE = 1，使能 TIM14_CCR1 寄存器的预装载功能，仅在下次更新事件时更新。下图为示例。

图 13-7 比较输出模式，匹配时 OC1 信号翻转



注：在比较输出模式下，更新事件对输出结果没有影响。在强制输出模式下，TIM14_CCR1 影子寄存器与计数器之间的比较输出仍在进行，比较结果的相应标志位也会被修改；如果开启了对应的中断和 DMA 请求，仍会产生对应的中断和 DMA 请求。

13.4.3.3 PWM 输出

在 PWM 模式下，根据 TIM14_ARR 寄存器和 TIM14_CCR1 寄存器的值，产生频率和占空比可控的 PWM 波形。

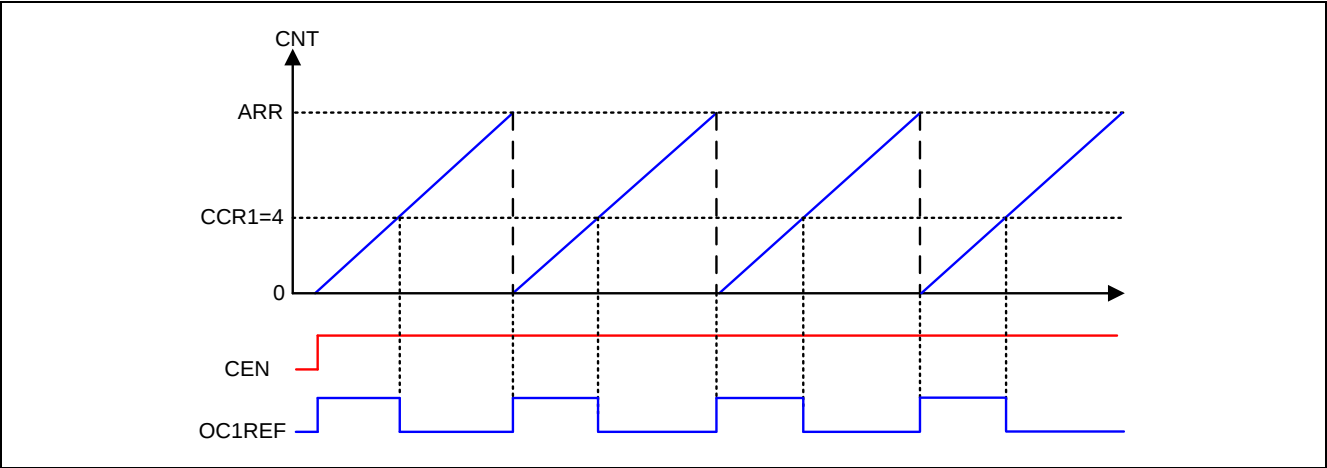
配置通道 1 对应的 TIM14_CCMR1 寄存器 OC1M=110 或 OC1M=111，将通道 1 选择为 PWM 模式 1 或 PWM 模式 2。在 PWM 模式下，计数器始终与 CCR1 比较，根据配置和比较结果，通道 x 输出不同的信号。因此，TIM14 可以产生 1 路占空比独立的 PWM 输出信号。在 PWM 模式下，需使能 TIM14_CCR1 和 TIM14_ARR 的预装载功能，写入 TIM14_CCR1 预装载寄存器和 TIM14_ARR 预装载寄存器的值将在下一次更新事件时生效，并装载到相应的影子寄存器。因此在 PWM 模式下，使能计数器之前，必须设置 TIM14_EGR 的 UG=1，产生更新事件以初始化所有寄存器。

配置 TIM14_CCER 寄存器的 CC1P，选择 OC1 的有效极性。配置 TIM14_CCER 寄存器的 CC1E，控制 OC1 的输出使能。

13.4.3.3.1 PWM 边沿对齐模式 - 递增计数模式

在递增计数模式配置的基础上，配置 TIM14_CCMR1 寄存器 CC1S=00，选择输出模式，OC1M=110，选择 PWM 模式 1。当 TIM14_CNT < TIM14_CCR1 时，通道 1 (OC1REF) 为有效电平，否则为无效电平。如果 TIM14_CCR1 的比较值大于自动预装载值(TIM14_ARR)，OC1REF 保持有效电平；当比较值为 0 时，OC1REF 为无效电平。下图为 CCR1=4、ARR=a 时，边沿对齐递增计数下 PWM 模式 1 的波形示例。

图 13-8 边沿对齐递增计数下 PWM 模式 1 的波形



13.4.3.4 单脉冲输出

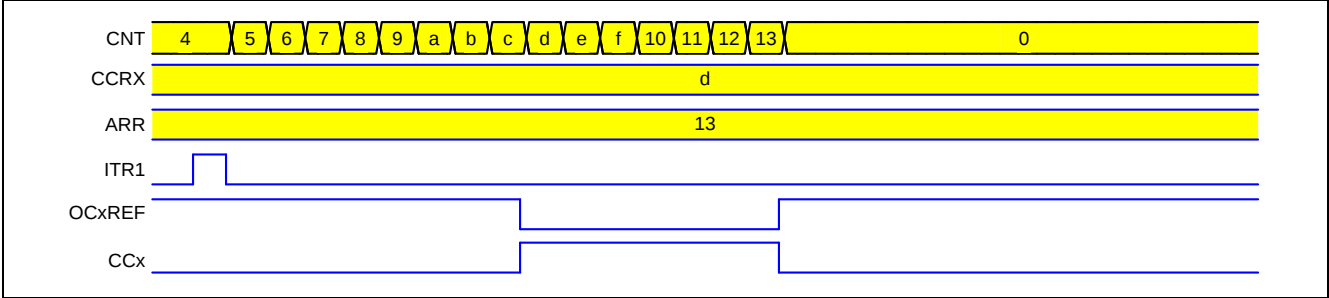
在单脉冲模式 (OPM) 下，计数器响应一个激励并产生一个宽度可编程的脉冲。配置 TIM14_CR1 寄存器 OPM=1，选择单脉冲模式，触发信号的有效边沿或配置 CEN=1 都可以使能计数器。CEN=1 一直保持到下一次更新事件，或配置 CEN=0。

产生脉冲的必要条件是比较值与计数器初始值之间存在差值。使能计数器之前的必要配置：

- 递增计数模式：计数器 $CNT < CCR1 \leq ARR$ 。

下图为单脉冲模式：

图 13-9 单脉冲模式



13.4.4 调试模式

在调试模式下，配置 DBG_CR 寄存器 DBG_TIM14_STOP=1，TIM14 计数器停止计数。（详见调试章节）

13.4.5 中断

TIM14 中断包括：捕获/比较 1 中断和更新中断。当对应的中断使能位被置位时，产生相应的事件和中断。

表 13-2 中断事件列表

中断事件	标志位	使能位
捕获/比较 1 中断	CC1IF	CC1IE
更新中断	UIF	UIE

13.5 寄存器

13.5.1 寄存器概览

表 13-3 TIM14 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	TIM14_CR1	控制寄存器 1	0x0000
0x0C	TIM14_DIER	中断使能寄存器	0x0000
0x10	TIM14_SR	状态寄存器	0x0000
0x14	TIM14_EGR	事件产生寄存器	0x0000
0x18	TIM14_CCMR1	捕获/比较模式寄存器 1	0x0000
0x20	TIM14_CCER	捕获/比较使能寄存器	0x0000
0x24	TIM14_CNT	计数器	0x0000
0x28	TIM14_PSC	预分频器	0x0000
0x2C	TIM14_ARR	自动预装载寄存器	0x0000
0x34	TIM14_CCR1	捕获/比较寄存器 1	0x0000
0x44	TIM14_BDTR	刹车和死区寄存器	0x0000

13.5.2 TIM14_CR1 控制寄存器 1

地址偏移：0x00
复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						CKD		ARPE	保留			OPM	URS	UDIS	CEN
						rw		rw				rw	rw	rw	rw

位	字段	描述
15: 10	保留	保留，必须保持复位值。
9: 8	CKD	时钟分频 定时器时钟（CK_INT）频率与死区发生器和数字滤波器（TI1）所用的死区及采样时钟之间的分频比。 00: $t_{DTS} = t_{INT_CK}$ 01: $t_{DTS} = 2 \times t_{INT_CK}$ 10: $t_{DTS} = 4 \times t_{INT_CK}$ 11: 保留，不要编程为该值
7	ARPE	自动预装载使能 0: 禁止 TIM14_ARR 寄存器的影子寄存器 1: 使能 TIM14_ARR 寄存器的影子寄存器
6: 4	保留	保留，必须保持复位值。
3	OPM	单脉冲模式 0: 禁止单脉冲模式。发生更新事件时，计数器继续计数 1: 使能单脉冲模式。在下次更新事件时（清除 CEN 位），计数器停止计数
2	URS	更新请求源 软件配置该位，用于选择更新事件源。 0: 下列事件均可产生更新中断请求： - 计数器溢出 - 置位 UG 位 1: 仅在计数器溢出时产生更新中断请求
1	UDIS	禁止更新 该位用于使能或禁止更新事件 0: 使能更新事件（UEV）。 1: 禁止更新事件。不产生更新事件，影子寄存器保持其值（ARR、PSC、CCR1）。但如果置位 EGR.UG 位，计数器和预分频器会被重新初始化。
0	CEN	计数器使能 0: 禁止计数器 1: 使能计数器

13.5.3 TIM14_DIER 中断使能寄存器

地址偏移: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														CC1IE	UIE
														rw	rw

位	字段	描述
15: 2	保留	保留，必须保持复位值。
1	CC1IE	使能捕获/比较 1 中断 0: 禁止捕获/比较 1 中断 1: 使能捕获/比较 1 中断
0	UIE	使能更新中断 0: 禁止更新事件中断 1: 使能更新事件中断

13.5.4 TIM14_SR 状态寄存器

地址偏移: 0x10

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						CC1OF	保留							CC1IF	UIF
						r_w0c									r_w0c

位	字段	描述
15: 10	保留	保留, 必须保持复位值。
9	CC1OF	捕获/比较 1 重复捕获标志 只有当通道 1 配置为输入捕获模式且 CC1F 已置 1 时, 再次发生捕获事件, 该标志才由硬件置位。写 0 可清除该位。 0: 无重复捕获 1: 发生重复捕获
8: 2	保留	保留, 必须保持复位值。
1	CC1IF	捕获/比较 1 中断标志 通道 1 处于输出模式时: 当计数器值与比较值匹配时, 该位由硬件置位, 由软件清除。 0: 未匹配 1: TIM14_CNT 的值与 TIM14_CCR1 的值匹配 通道 1 处于输入模式时: 发生捕获事件时, 该位由硬件置位, 由软件清除或读取 TIM14_CCR1 寄存器清除 0: 未发生输入捕获 1: 计数器值已被捕获到 TIM14_CCR1
0	UIF	更新中断标志 发生更新事件时, 该位由硬件置 1, 由软件清 0。 0: 未发生更新中断 1: 更新中断挂起 TIM1_EGR 寄存器 UG =1 或计数器溢出会产生更新事件。

13.5.5 TIM14_EGR 事件产生寄存器

地址偏移: 0x14

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														CC1G	UG
														w	w

位	字段	描述
15: 2	保留	保留, 必须保持复位值。
1	CC1G	捕获/比较 1 产生 该位由软件置位, 产生一个捕获/比较事件, 并由硬件自动清除。 0: 无动作 1: 在通道 CC1 上产生一个捕获/比较事件: 当通道 CC1 配置为输出时: CC1IF 置 1。若使能了对应的中断, 则产生对应的中断。 当通道 CC1 配置为输入时: CC1IF 置 1。若使能了对应的中断, 则产生对应的中断。若 CC1IF 已置位, 则 CC1OF 置 1。
0	UG	更新产生 0: 无动作 1: 初始化计数器并产生一个更新事件, 该位由硬件自动清除。

13.5.6 TIM14_CCMR1 捕获/比较模式寄存器 1

地址偏移: 0x18

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								Res.	OC1M			OC1PE	Res.	CC1S	
								IC1F			IC1PSC			CC1S	
								rw	rw			rw	rw	rw	

该通道可用于输入（捕获模式）或输出（比较模式）。通道方向由对应的 CC1S 定义。该寄存器的其他位在输入模式和输出模式下功能不同。OC1x 描述通道在输出模式下的功能，IC1x 描述通道在输入模式下的功能。

比较输出模式：

位	字段	描述
15: 7	保留	保留，必须保持复位值。
6: 4	OC1M	比较输出模式 该位定义了输出参考信号 OC1REF 的动作。OC1REF 决定了 OC1 的值。OC1REF 为高电平有效。OC1 的有效电平取决于 CC1P 位。 000: 冻结。TIM14_CCR1 与 TIM14_CNT 的比较结果对 OC1REF 无影响。 001: 匹配时设为高。当 TIM14_CNT 的值与 TIM14_CCR1 的值相同时，强制 OC1REF 为高电平 010: 匹配时设为低。当 TIM14_CNT 的值与 TIM14_CCR1 的值相同时，强制 OC1REF 为低电平 011: 匹配时翻转。当 TIM14_CCR1=TIM14_CNT 时，OC1REF 翻转。 100: 强制为低。强制 OC1REF 为低电平 101: 强制为高。强制 OC1REF 为高电平 110: PWM 模式 1。递增计数时，当 TIM14_CNT<TIM14_CCR1，强制 OC1REF 为高电平，否则为低电平。 111: PWM 模式 2。递增计数时，当 TIM14_CNT<TIM14_CCR1，通道 1 强制 OC1REF 为低电平，否则为高电平。 注：在 PWM 模式 1 或 PWM 模式 2 下，只有当比较结果发生变化，或在比较输出模式下由冻结模式切换到 PWM 模式时，OC1REF 的电平才可能改变。
3	OC1PE	比较输出预装载使能 0: 禁止 TIM14_CCR1 寄存器的预装载功能，写入 TIM14_CCR1 寄存器的值立即有效 1: 使能 TIM14_CCR1 寄存器的预装载功能，读写只作用于预装载寄存器，TIM14_CCR1 的预装载值在更新事件时有效 注：只有在单脉冲模式下（TIM14_CR1 寄存器 OPM= 1），是否设置预装载寄存器都没有影响；其他情况下必须设置预装载寄存器，否则后续动作不确定。
2	保留	保留，必须保持复位值。
1: 0	CC1S	通道 1 捕获/比较选择 该位定义了通道方向和输入信号选择。只有在通道关闭时，这些位才能被写入： 00: 通道 1 配置为输出 01: 通道 1 配置为输入 10: 保留 11: 保留

输入捕获模式

位	字段	描述
15: 8	保留	保留，必须保持复位值。

位	字段	描述
7: 4	IC1F	通道 1 输入捕获滤波 数字滤波器由一个事件计数器组成，在 N 个输入事件后记录一次输出跳变。这些位定义了 IC1 输入信号的采样频率和数字滤波器长度。 0000: 不滤波，按 f_{DTS} 采样 0001: 采样频率 $f_{sampling}=f_{INT_CK}$, N=2 0010: 采样频率 $f_{sampling}=f_{INT_CK}$, N=4 0011: 采样频率 $f_{sampling}=f_{INT_CK}$, N=8 0100: 采样频率 $f_{sampling}=f_{DTS}/2$, N=6 0101: 采样频率 $f_{sampling}=f_{DTS}/2$, N=8 0110: 采样频率 $f_{sampling}=f_{DTS}/4$, N=6 0111: 采样频率 $f_{sampling}=f_{DTS}/4$, N=8 1000: 采样频率 $f_{sampling}=f_{DTS}/8$, N=6 1001: 采样频率 $f_{sampling}=f_{DTS}/8$, N=8 1010: 采样频率 $f_{sampling}=f_{DTS}/16$, N=5 1011: 采样频率 $f_{sampling}=f_{DTS}/16$, N=6 1100: 采样频率 $f_{sampling}=f_{DTS}/16$, N=8 1101: 采样频率 $f_{sampling}=f_{DTS}/32$, N=5 1110: 采样频率 $f_{sampling}=f_{DTS}/32$, N=6 1111: 采样频率 $f_{sampling}=f_{DTS}/32$, N=8
3: 2	IC1PSC	通道 1 输入捕获预分频器 该位定义了作用于 IC1 的预分频比。一旦 CC1E=0 (TIM14_CCER 寄存器)，预分频器即被复位。 00: 不分频，捕获输入检测到每个边沿触发一次捕获 01: 每 2 个事件触发一次捕获 10: 每 4 个事件触发一次捕获 11: 每 8 个事件触发一次捕获
1: 0	CC1S	通道 1 捕获/比较选择 该位定义了通道方向和输入信号选择。只有在通道关闭时，这些位才能被写入： 00: 通道 1 配置为输出 01: 通道 1 配置为输入 10: 保留 11: 保留

13.5.7 TIM14_CCER 捕获/比较使能寄存器

地址偏移: 0x20

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留												CC1NP	Res.	CC1P	CC1E
												rw		rw	rw

位	字段	描述
15: 4	保留	保留，必须保持复位值。
3	CC1NP	通道 1 输入捕获 1 极性 当通道 1 配置为输出时，该位无效。 当通道 1 配置为输入时，CC1P/CC1NP 配合使用以定义输入信号的极性和电平，详情见 IC1 极性/电平选择表。
2	保留	保留，必须保持复位值。
1	CC1P	通道 1 捕获/比较输出极性 当通道 1 配置为输出时，该位定义输出信号的极性。 0: OC1 高电平有效 1: OC1 低电平有效 当通道 1 配置为输入时，CC1P/CC1NP 配合使用以定义输入信号的极性和电平，详情见 IC1 极性/电平选择表。

位	字段	描述
0	CC1E	通道 1 捕获/比较输出使能 当通道 1 配置为输出时： 0：关闭，禁止 OC1 输出 1：开启，OC1 信号被输出到对应的输出引脚 CC1 通道配置为输入时： 该位决定是否使能输入捕获功能。 0：禁止捕获 1：使能捕获

输入模式下 IC1 的极性/电平选择见下表：

表 13-4 IC1 极性/电平选择表

CC1P	CC1NP	IC1 极性/电平
0	0	上升沿有效/高电平有效
1	0	下降沿有效/低电平有效
1	1	上升沿或下降沿有效/低电平有效
0	1	保留

13.5.8 TIM14_CNT 计数器

地址偏移：0x24

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw															

位	字段	描述
15: 0	CNT	计数值

13.5.9 TIM14_PSC 预分频器

地址偏移：0x28

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC															
rw															

位	字段	描述
15: 0	PSC	预分频器的值 计数器的时钟频率 (ck_cnt) =fck_psc/ (PSC+1) 当发生更新事件时，PSC 的值装入当前预分频寄存器。

13.5.10 TIM14_ARR 自动预装载寄存器

地址偏移：0x2C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR															
rw															

位	字段	描述
15: 0	ARR	自动预装载值 这些位定义了计数器的自动预装载值。当自动预装载的值为 0 时，计数器不工作。

13.5.11 TIM14_CCR1 捕获/比较寄存器 1

地址偏移：0x34

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1															
rw															

位	字段	描述
15: 0	CCR1	通道 1 的捕获/比较值 当通道 1 配置为输入时： CCR1 的值为上一次捕获事件时的计数器值（该寄存器只读）。 当通道 1 配置为输出时： 若未在 TIM14_CCMR1 寄存器中选择预装载功能（OC1PE 位），写入的值立即传送到当前的捕获/比较影子寄存器；否则写入的值只在发生更新事件时装载到捕获/比较寄存器。当前的捕获/比较影子寄存器参与与计数器 TIM14_CNT 的比较，比较结果反映到 OC1 端口的输出信号上。

13.5.12 TIM14_BDTR 刹车和死区寄存器

地址偏移：0x44

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	保留														
rw															

位	字段	描述
15	MOE	主输出使能 0: 禁止 OC1 输出，或强制为空闲状态 1: 若置位了对应的使能位（TIM14_CCER 寄存器的 CC1E），则开启 OC1 输出
14: 0	保留	保留，必须保持复位值。

14 IWDG 独立看门狗

14.1 简介

内置的独立看门狗提供了更高的安全性、精确的定时和使用的灵活性。它用于检测并解决由软件错误引起的故障，当计数器达到指定的超时值时触发系统复位。独立看门狗（IWDG）由专用的低速时钟（LSI）驱动，因此即使主时钟失效也能保持工作。

独立看门狗最适合那些需要看门狗作为完全独立于主程序之外的进程运行、但对定时精度要求较低的应用。

14.2 IWDG 主要性能

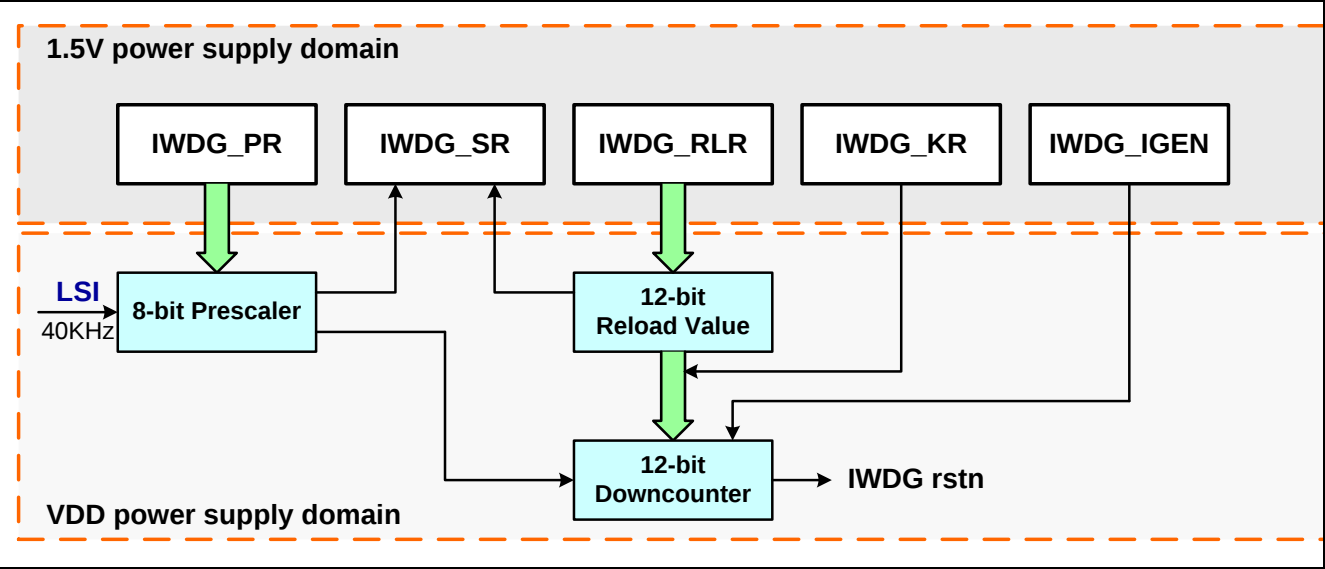
- 自由运行的递减计数器
- 时钟由独立的振荡器提供（可在停机模式下工作）
- 看门狗激活后，当计数器计数到 0x0000 时产生复位。

14.3 IWDG 功能描述

向键寄存器（IWDG_KR）写入 0xCCCC，开始激活独立看门狗；此时计数器从复位值 0xFFFF 开始递减计数。当计数器减到 0x000 时，将产生复位信号（IWDG_RESET）。任何时候，只要向键寄存器 IWDG_KR 写入 0xAAAA，IWDG_RLR 中的值就会被重新装载到计数器中，从而避免看门狗复位。

下图为独立看门狗模块的功能框图。

图 14-1 独立看门狗框图



注：看门狗功能位于 VDD 供电区域，这意味着它在停机模式下仍能正常工作。

表 14-1 IWDG 超时时间（以 LSI 时钟频率为 40 KHz 为例）

预分频系数	PR[2:0] 位	最短时间（ms） RL[11:0]=0x000	最长时间（ms）
/4	0	0.1	409.6
/8	1	0.2	819.2
/16	2	0.4	1638.4
/32	3	0.8	3276.8
/64	4	1.6	6553.6
/128	5	3.2	13107.2
/256	(6 or 7)	6.4	26214.4

注：这些时间是基于 40 KHz 时钟给出的。实际上，MCU 内部振荡器的频率会在 30 KHz 到 60 KHz 之间变化。此外，即使振荡器频率精确，确切的定时仍取决于 APB 接口时钟与振荡器时钟之间的相位差，因此总会存在一个完整振荡周期的不确定性。

14.3.1 硬件看门狗

如果用户在选项字节中激活了“硬件看门狗”功能（请参考“嵌入式闪存”章节），系统上电复位后看门狗将自动开始运行；如果在计数器计数结束之前软件没有向键寄存器写入相应的值，系统将产生复位。

14.3.2 寄存器访问保护

IWDG_PR、IWDG_RLR 和 IWDG_IGEN 寄存器具有写保护功能。要修改这三个寄存器的值，必须先向 IWDG_KR 寄存器写入 0x5555。向该寄存器写入其他值会打乱操作顺序，寄存器将重新被保护。重装载操作（即写入 0xAAAA）也会激活写保护功能。状态寄存器指示预分频值和递减计数器是否正在更新。

14.3.3 调试模式

当微控制器进入调试模式（CPU 内核停止）时，根据调试模块中 DBG_IWDG_STOP 配置位的状态，IWDG 计数器可以继续工作或停止。详情请参考调试模块章节。

14.4 寄存器

14.4.1 寄存器概览

表 14-2 IWDG 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	IWDG_KR	键寄存器	0x00000000
0x04	IWDG_PR	预分频寄存器	0x00000000
0x08	IWDG_RLR	重装载寄存器	0x00000FFF
0x0C	IWDG_SR	状态寄存器	0x00000000
0x10	IWDG_CR	控制寄存器	0x00000000
0x14	IWDG_IGEN	中断产生寄存器	0x00000FFF
0x18	IWDG_CNT	计数器寄存器	0x00000000

14.4.2 IWDG_KR 键寄存器

地址偏移：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY															
W															

位	字段	描述
31:16	保留	保留，必须保持复位值
15:0	KEY	键值（只写寄存器） 软件必须定期向这些位写入 0xAAAA 进行喂狗，否则当计数器递减到 0x0000 时将产生复位信号使系统复位。 写入 0x5555 可以访问 IWDG_PR、IWDG_RLR、IWDG_IGEN 和 IWDG_CR [IRQ_SEL] 寄存器。 写入 0xCCCC 启动看门狗。

14.4.3 IWDG_PR 预分频寄存器

地址偏移：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.												PR			
												rw			

位	字段	描述
31:3	保留	读出始终为 0
2:0	PR	预分频系数 这些位具有写保护设置。通过设置这些位选择计数器时钟的预分频系数。要更改预分频系数，IWDG_SR 寄存器的 PVU 位必须为 0。 000: 预分频系数 = 4 100: 预分频系数 = 64 001: 预分频系数 = 8 101: 预分频系数 = 128 010: 预分频系数 = 16 110: 预分频系数 = 256 011: 预分频系数 = 32 111: 预分频系数 = 256 注：对该寄存器执行读操作将返回 VDD 电压域中的预分频值。如果正在进行写操作，读回的值可能无效。因此，只有当 IWDG_SR 寄存器的 PVU 位为 0 时，读出的值才有效。

14.4.4 IWDG_RLR 重装载寄存器

地址偏移：0x08
复位值：0x0000 0FFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.				RL											
				rw											

位	字段	描述
31:12	保留	保留，必须保持复位值
11:0	RL	看门狗计数器重装载值 这些位受写保护，用于定义看门狗计数器的重装载值；每当向 IWDG_KR 寄存器写入 0xAAAA 时，重装载值就会被传送到计数器，计数器随即从该值开始递减计数。看门狗的超时时间可以由该重装载值和时钟预分频值计算得出。 注：对该寄存器执行读操作将返回 VDD 电压域中的重装载值。如果正在进行写操作，读回的值可能无效。因此，只有当 IWDG_SR 寄存器的 RVU 位为 0 时，读出的值才有效。

14.4.5 IWDG_SR 状态寄存器

地址偏移：0x0C
复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.												UPD ATE	IVU	RVU	PVU
												r	r	r	r

位	字段	描述
31:4	保留	保留，必须保持复位值
3	UPDATE	看门狗重装载值更新标志 该位由硬件置“1”，表示已向 IWDG_KR 寄存器写入 0xAAAA。当看门狗重装载值被写入计数器、计数器更新完成后，该位由硬件清“0”。

位	字段	描述
2	IVU	看门狗中断产生值更新 该位由硬件置位，表示中断产生值的更新正在进行中。 当 VDD 电压域中的中断产生值更新操作完成后（在 LSI 下最多需要 5 个振荡周期），该位由硬件清除。只有 IVU 位被清除后，才能更新中断产生值。
1	RVU	看门狗计数器重装载值更新 当重装载值的更新正在进行时，该位被置位。 当重装载值更新操作完成后（在 LSI 下最多需要 5 个振荡周期），该位被清除。 只有 RVU 位被清除后，才能更新重装载值。
0	PVU	看门狗预分频值更新 当预分频值的更新正在进行时，该位被置位。 当预分频值更新操作完成后（在 LSI 下最多需要 5 个振荡周期），该位被清除。 只有 PVU 位被清除后，才能更新预分频值。

注：如果应用中使用多个重装载值、预分频值或中断产生值，则必须在 RVU 位清除后才能再次更改重装载值，在 PVU 位清除后才能再次更改预分频值，在 IVU 位清除后才能再次更改中断产生值。但在更新预分频或重装载值之后，无需等待 RVU 或 PVU 复位，可以继续执行后续代码。

14.4.6 IWDG_CR 控制寄存器

地址偏移：0x10
复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.													IRQ_CL R	IRQ_SE L	
													rw	rw	

位	字段	描述
31:2	保留	保留，必须保持复位值
1	IRQ_CLR	IWDG 中断清除 1：清除中断 0：无影响
0	IRQ_SEL	IWDG 溢出动作选择 1：溢出后产生中断 0：溢出后产生复位

14.4.7 IWDG_IGEN 中断产生寄存器

地址偏移：0x14
复位值：0x0000 0FFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.				IGEN											
				r/w											

位	字段	描述
31:12	保留	保留，必须保持复位值
11:0	IGEN	IWDG 中断产生值 这些位受写保护。 用于定义看门狗计数器产生中断的阈值。每当计数器值递减到该阈值时，产生一次中断。 只有当 IWDG_SR 寄存器中的 IVU 位为 0 时，才能修改该寄存器。 注：对该寄存器执行读操作将返回 VDD 电压域中的中断产生值。如果正在进行写操作，返回值可能无效。只有当 IWDG_SR 寄存器的 IVU 位为 0 时，返回值才一定有效。

14.4.8 IWDG_CNT 计数器寄存器

地址偏移：0x18
复位值：0x0000 0001（由 RCC 和系统复位）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.													IWDG_CNT		
													r		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IWDG_CNT								IWDG_PS							
r								r							

位	字段	描述
31:19	保留	保留，必须保持复位值
18:8	IWDG_CNT	IWDG 计数器的值
7: 0	IWDG_PS	IWDG 时钟预分频计数器的值

15 SPI 串行外设接口

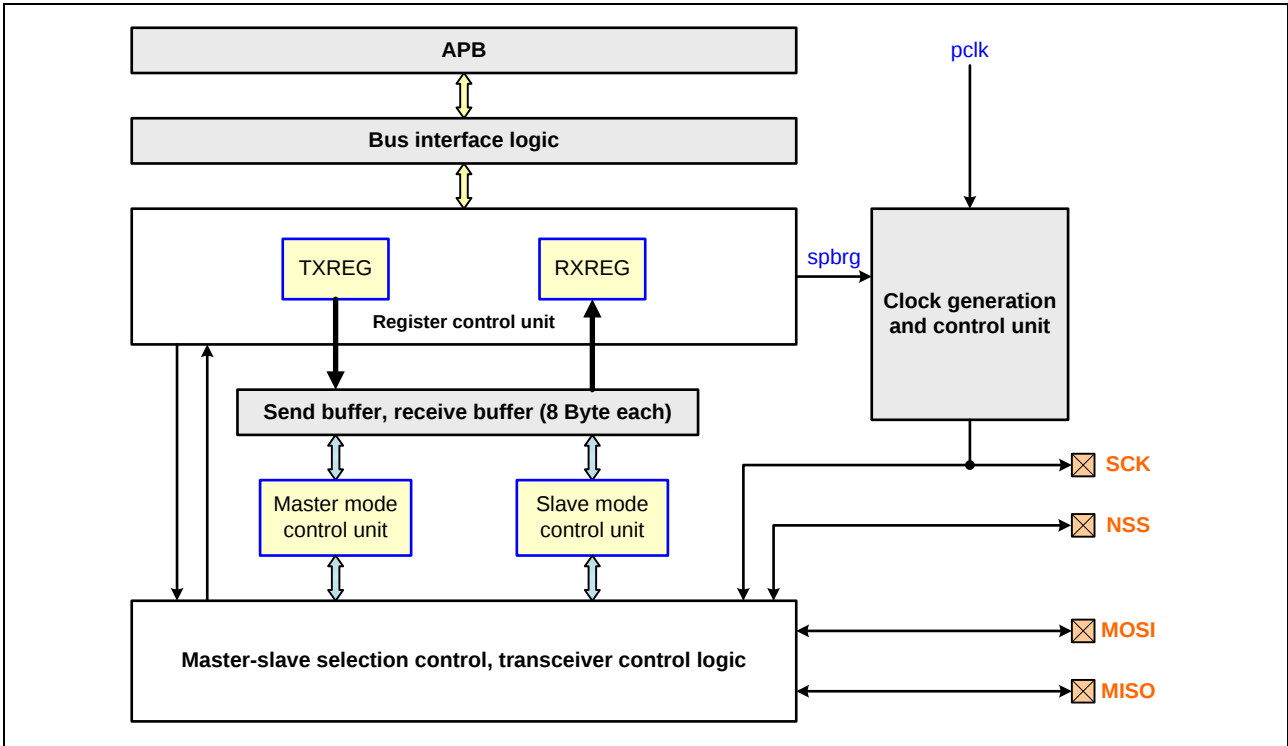
15.1 简介

SPI（串行外设接口）广泛用于板级不同器件之间的通信，例如扩展的串行 Flash 和 ADC。许多 IC 厂商都生产支持 SPI 接口的器件。

SPI 允许 MCU 以全双工、同步、串行方式与外部器件通信。应用软件可以通过查询状态或 SPI 中断进行通信。

15.2 功能框图

图 15-1 SPI 功能框图



15.3 SPI 功能描述

15.3.1 简介

SPI 支持同时收发 1~32 位数据。在主机环境下，SPI 可配置为从模式或主模式。软件配置通用控制寄存器（CCTL）的 CPOL 位和 CPHA 位，可在时钟与数据之间选择四种可能的传输时序。配置 LSBFE 位可选择数据传输时是 MSB 在前还是 LSB 在前。

SPI 在 SCK 的上升沿或下降沿发送数据，并在相反时钟的有效边沿接收数据。

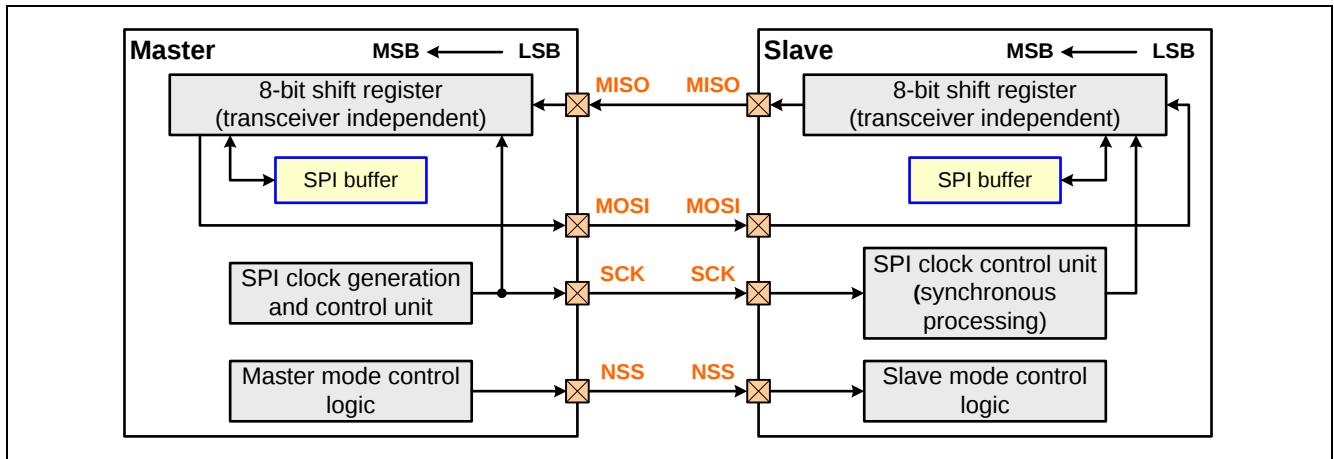
SPI 用于交换数据。传输结束后必须读取数据，即使该数据并非有效数据。此外，主机与其他通信从机的时钟相位和极性必须一致。

SPI 通过 4 个引脚与外部器件相连：

- **MISO**：主设备输入、从设备输出引脚。传输方向为从设备到主设备。
- **MOSI**：主设备输出、从设备输入引脚。传输方向为主设备到从设备。
- **SCK**：SCK：串行时钟，由主设备产生并传送给从设备。
- **NSS**：从设备选择。该引脚是 SPI 协议下的可选功能，供主设备选择与之通信的从设备（当存在多个从设备时），从而实现主从设备之间的一对一通信，避免数据线上设备之间的冲突。当 NSS 引脚功能被激活时，将 SPI_I2S_GCTL.MODE 配置为“1”，SPI 工作在主模式；将 SPI_I2S_NSSR.NSS 配置为“0”，NSS 引脚输出低电平，从而使与主设备相连的从设备（配置 SPI_I2S_GCTL.MODE 为“0”）能与其进行数据通信。

下图为主设备与从设备一对一互连通信：

图 15-2 单主机与从机应用



SPI 主设备与从设备的同名引脚相连。图中的数据传输是从最高有效位到最低有效位的串行通信。

主设备负责发起通信请求，从设备负责响应。从设备通过 **SCK** 引脚获得主设备提供的时钟信号，从而使主从设备使用同一时钟进行同步全双工通信。

对从设备而言，MOSI 引脚输入来自主设备的传输数据，MISO 引脚向主设备输出响应数据。

15.3.1.1 时钟信号的相位和极性

SPI_CCTL 寄存器的 CPOL 和 CPHA 位分别控制时钟的极性和相位位，二者组合可产生 4 种时钟/数据时序关系。

时钟极性是指时钟空闲状态下 SCK 时钟的电平：将 CPOL 位配置为“0”时，SCK 时钟在空闲状态下保持低电平；否则 SCK 时钟在空闲状态下保持高电平。主设备和从设备都会受 CPOL 控制位的影响。

时钟相位位决定输入数据的采样时序：将 **CPHA** 位配置为“0”时，第一个数据位将在 **SCK** 的第二个时钟边沿被采样；否则第一个数据位将在 **SCK** 的第一个时钟边沿被采样。

此外，系统上电复位后 CPHASEL 位为“0”。当软件将该位调整为“1”时，会改变数据采样时序，CPHA 位的功能可能随之变化。例如当 CPHASEL=1、CPHA=0 时：第一个数据位将在 SCK 的第一个时钟边沿被采样（CPOL 位为“0”时是上升沿；为“1”时是下降沿）。

因此，期望使用的时钟/数据时序关系应基于 CPOL、CPHA 和 CPHASEL 位的配置来确定。

时序配置的注意事项:

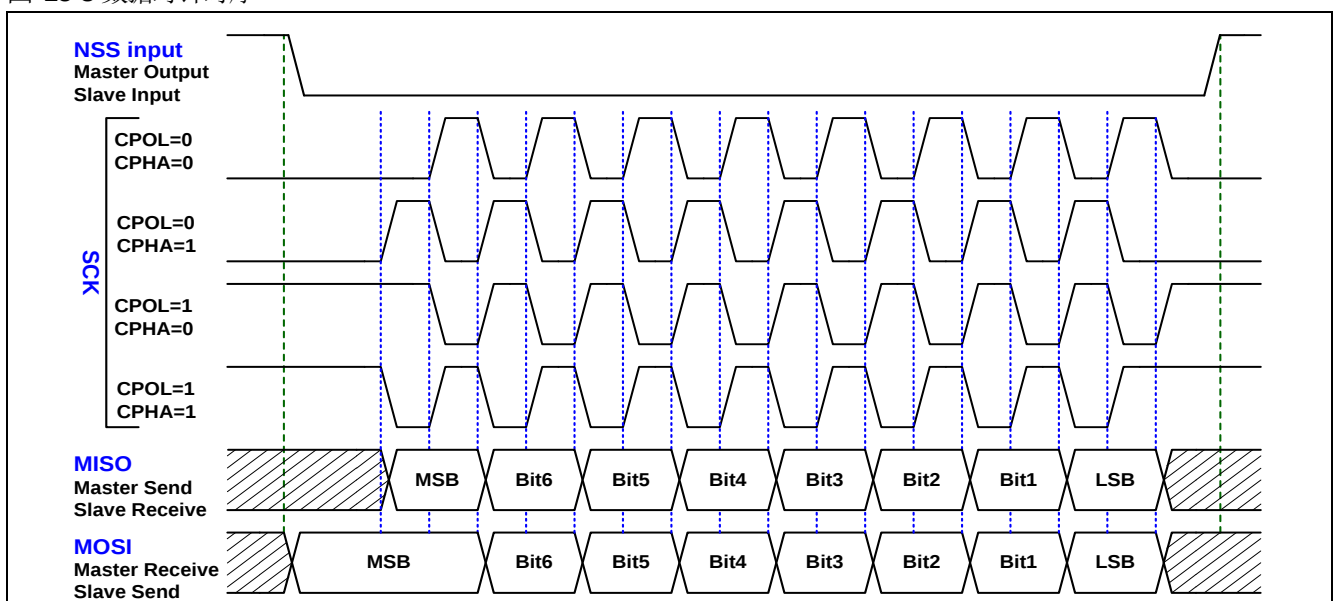
SPI 工作过程中不能更改 CPOL/CPHA（需要更改时，请先关闭 SPI 使能位 SPIEN）。

主从设备同步通信，因此时序配置必须一致。

空闲状态下，SCK 电平必须与 CPOL 配置对应的极性一致。

下图描述了 SPI 传输过程中 CPHA 与 CPOL 位不同组合的 4 种情形（将 CPHASEL 位配置为“1”），以及主从设备 SCK/MISO/MOSI/NSS 引脚的时序。

图 15-3 数据时钟时序



需要注意的是，配置 SPI_GCTL.NSS=1，即 NSS 引脚功能由硬件自动控制时，数据通信结束后硬件会自动拉高该引脚（如上图所示）。当配置 SPI_GCTL.NSS=0 时，NSS 输出状态由芯片内部寄存器 SPI_NSSR 的 NSS 位控制（由软件切换 NSS 引脚的输出状态）。

15.3.1.2 高速传输

针对高速传输模式下板级的敏感性，可配置 SPI_CCTL 寄存器的 TXEDGE/RXEDGE 位来调整数据发送/接收采样的时间点。高速传输时，主设备的波特率发生器配置为 SPBRG<=4，输出的 SCK 时钟较快(>=10MHz)；低速传输时，主设备的波特率发生器配置为 SPBRG>4，输出的 SCK 时钟较慢(<10MHz)。

在从模式下，当 TXEDGE 位为“1”时，一旦软件配置 TXREG 写入数据，就会直接传送到 MISO 引脚线上，而不必等待 SCK 时钟输入边沿；当 TXEDGE 位为“0”时，从设备总是等待一个有效时钟边沿后才将数据传送到 MISO 引脚线上。

15.3.1.3 数据帧格式

配置 SPI_CCTL 寄存器的 LSBFE 位，决定数据位的输出顺序：LSBFE 位为“1”时从最低有效位到最高有效位，为“0”（默认）时从最高有效位到最低有效位。

配置 SPI_CCTL 寄存器的 SPILEN 位，决定数据帧长度。SPILEN 位为“1”（默认）时，数据帧长度为 8 位；为“0”时，数据帧长度为 7 位。SPI 的发送和接收受数据帧格式配置的控制。

此外，配置 SPI_GCTL.DW8_32=1 并配置 SPI_EXTCTL 寄存器，可实现任意帧长的数据格式（帧长范围 1~32 位）；任意帧长配置同样支持 LSBFE 位功能（LSB 或 MSB 优先）。

15.3.2 SPI 主要特性

- 完全兼容 Motorola SPI 规范
- 支持 3 线全双工同步传输
- 波特率发生器可按位编程
- 支持主模式和从模式
- 支持一个主机与多个从机之间的通信
- SPI 处于主/从模式时，时钟最高可达 PCLK/2、PCLK/4（PCLK 为 APB 时钟）
- 时钟极性和相位位可编程
- 数据帧长度可编程（固定 8 位或 7 位帧长，或 1~32 位的任意帧长）
- 数据顺序可编程，MSB 在前或 LSB 在前（支持 1~32 位任意帧长或固定帧长数据的收发）
- 4 字节接收/发送缓冲，可供软件配置和使用的中断事件或状态如下：
 - ◆ 发送缓冲为空
 - ◆ 发送缓冲与发送移位寄存器同时为空
 - ◆ 发送结束下溢
 - ◆ 接收到有效字节
 - ◆ 接收缓冲溢出
 - ◆ 接收缓冲已满
 - ◆ 主模式下接收到指定字节

15.3.3 SPI 从模式

当 SPI 作为从设备时，SCK 引脚输入来自主设备的串行时钟。因此，从设备工作时不使用波特率发生器，无需配置 SPI_SPBRG 寄存器（在从设备下无效）。

15.3.3.1 配置步骤

1. 设置 SPI_GCTL.SPILEN，将数据帧格式定义为 7 位或 8 位。
2. 配置 SPI_CCTL 寄存器的 CPOL、CPHA/CPHASEL 位，确定时序模式。
3. 配置 SPI_CCTL.LSBFE，确定数据帧的收发顺序（LSB 或 MSB 位优先）。
4. 将 SPI_GCTL 寄存器的 MODE 位配置为“0”（从模式），SPIEN 位配置为“1”（使能 SPI 功能），并配置 SPI 工作所需的 GPIO 功能引脚。
5. 将 SPI_GCTL 寄存器的 TXEN 和 RXEN 位配置为“1”，开启发送和接收许可（发送时需要向 SPI_TXREG 寄存器写入数据）。在从模式下，SPI 将接收 MOSI 引脚的数据，并从 MISO 引脚输出数据。

注：必须保持主从设备的时序模式和数据帧收发顺序一致，才能保证数据的正常传输。

15.3.3.2 数据发送

向发送数据寄存器 SPI_TXREG 写入数据，整个数据被传送到发送缓冲。

当从设备接收到 SCK 时钟信号以及 MOSI 引脚的第一个数据位后，从设备利用 SCK 的变化边沿将数据逐位传送到 MISO 引脚。数据传输过程符合数据/时钟的相关时序（由 CPOL、CPHA/CPHASEL 位决定）。

但在高速传输时（配置 SPI_CCTL.TXEDGE=1），数据不会随输入的 SCK 时钟边沿变化，而是沿内部 PCLK 时钟边沿提前将数据传送到 MISO 引脚（但不会早于上一位数据接收采样的 SCK 时钟边沿）。

当第一位数据传送完成时，硬件将置位 SPI_INTSTAT.TX_INTF 标志，软件可利用该标志写 TXREG 以实现连续数据传输（将 SPI_INTEN.TX_IEN 位配置为“1”可产生 CPU 中断）。

注：从机的时钟信号由主机提供，因此连续传输的前提必须是主机能够提供连续的时钟。

15.3.3.3 数据接收

当从设备从 MOSI 引脚接收到一个完整数据时：

- 该数据将随移位寄存器在最后一个采样时钟边沿传送到接收缓冲，硬件同时置位 SPI_INTSTAT.RX_INTF 标志，随后软件读取 SPI_RXREG 即可从接收缓冲中获取数据。
- 软件将 SPI_INTEN.RX_IEN 位配置为“1”以开启中断使能，可利用 CPU 中断获取接收数据。

15.3.4 SPI 主模式

当 SPI 作为主设备时，向 SCK 引脚输出串行时钟供从设备使用。

15.3.4.1 配置步骤

1. 设置 SPI_SPBREG 以定义串行时钟的波特率。
2. 配置 SPI_CCTL 寄存器的 CPOL、CPHA/CPHASEL，确定时序模式。
3. 配置 SPI_CCTL.SPILEN 以定义 8 位或 7 位数据帧格式。将 SPI_GCTL.DW8_32 配置为“1”，并配置 SPI_EXTCTL 寄存器以定义任意帧格式（此时 SPILEN 应固定为“1”）。
4. 配置 SPI_CCTL.LSBFE，确定数据的收发顺序（LSB 或 MSB 位优先）。
5. 若只接收数据而不发送，配置 SPI_RXDNR 寄存器以定义接收的字节数（接收到指定数量的字节后，SCK 时钟输出结束并保持 CPOL 位配置的状态）。
6. 将 SPI_GCTL 寄存器的 MODE 位配置为“1”（主模式），SPIEN 位配置为“1”（使能 SPI 功能），并配置 SPI 工作所需的 GPIO 功能引脚。
7. 将 SPI_GCTL 寄存器的 TXEN 和 RXEN 位配置为“1”，开启发送和接收许可（发送时需要在开启 TXEN 后向 SPI_TXREG 寄存器写入数据）。在主模式下，SPI 将向引脚输出时钟 SCK 和同步数据 MOSI，并从 MISO 引脚采样输入数据。NSS 是主设备的可选输出功能。

注：必须保持主从设备的时序模式和数据帧收发顺序一致，才能保证数据的正常传输。

15.3.4.2 数据发送

将 TXEN 位配置为“1”，并向发送数据寄存器 TXREG 写入数据，主机数据将被传送到发送缓冲，主设备开始传输。主设备按照预设的波特率将 SCK 时钟和 MOSI 数据串行输出到引脚，该过程符合数据/时钟的相关时序（由 CPOL、CPHA/CPHASEL 决定）。此外，LSBFE 位决定数据的串行传输顺序。

当第 1 位数据传送完成时，硬件将置位 SPI_INTSTAT.TX_INTF 标志，软件利用该标志写 TXREG 以实现连续数据传输（将 SPI_INTEN.TX_IEN 位配置为“1”可产生 CPU 中断）。

15.3.4.3 数据接收

当从设备从 MOSI 引脚接收到一个完整数据时：

- 该数据将随移位寄存器在最后一个采样时钟边沿传送到接收缓冲，硬件同时置位 SPI_INTSTAT.RX_INTF 标志，随后软件读取 SPI_RXREG 即可从接收缓冲中获取数据。
- 软件将 SPI_INTEN.RX_IEN 位配置为“1”以开启中断使能，可利用 CPU 中断获取接收数据。
- 若只接收，在接收到 RXDNR 所定义的字节数之后，硬件将置位 SPI_INTSTAT.RXMATCH_INTF 标志。同时主设备不再发送时钟信号，SCK 输出保持在 CPOL 位配置的状态（固定高电平或低电平）。

15.3.5 波特率设置

SCK 引脚的输出时钟频率符合波特率配置，由内部时钟 PCK 按 SPI_SPBRG 寄存器的配置值分频得到。SPBREG 寄存器控制一个 16 位计数器的计数周期。

根据期望的波特率和 Fpclk（APB 模块 PCLK 时钟频率），使用下表的公式计算写入 SPBRG 寄存器的配置值（下表中的 X），X 的范围为 2~65535。

表 15-1 波特率公式

模式	公式
SPI 模式	波特率 = Fpclk/X

15.3.6 中断

15.3.6.1 状态标志

为便于软件操作，应用可以使用 4 个当前状态标志和 7 个中断标志来监视 SPI 总线状态。

当前状态标志只读，由硬件自动置位和清除。

中断状态标志位在事件发生时被置位，中断使能时产生 CPU 中断，由软件清除。

SPI 具有 8 字节的发送缓冲和接收缓冲。根据 SPI_GCTL 寄存器 DW8_32 位的设置，CPU 每次可以读写 1 个或 4 个字节。根据 DW8_32 的设置，发送缓冲和接收缓冲分别具有 1 字节或 1 个有效数据的状态标志。

注：配置 SPI_GCTL.DW8_32=1 时，接收和发送缓冲最多有两个有效数据。当帧长配置为 8 位及以下时，一个有效数据为 1 字节；帧长配置在 9~16 位范围内时，一个有效数据为 2 字节；帧长配置在 17~24 位范围内时为 3 字节；帧长配置在 25~32 位范围内时为 4 字节。

表 15-2 SPI 状态

类别	状态标志	缓冲与信号状态
中断状态	TX_INTF	发送缓冲为空，按 DW8_32 的设置完成对发送数据寄存器 TXREG 的写操作
	RX_INTF	按 DW8_32 的设置，至少有一个有效数据空间，并完成对一个接收数据寄存器 RXREG 的读操作
	UNDERRUN_INTF	发送缓冲为空且重复发送
	RXOERR_INTF	接收缓冲非空且被覆盖
	RXMATCH_INTF	非空，最后一个数据已传送到接收缓冲（主模式下有效）
	RXFULL_INTF	接收缓冲已满，无法接收新数据
	TXEPT_INTF	发送缓冲和移位寄存器均为空
当前状态	RXAVL_4BYTE	接收缓冲中的有效数据超过 4 字节
	TXFULL	发送缓冲已满
	TXEPT	发送缓冲和移位寄存器均为空
	RXAVL	接收缓冲非空

15.4 寄存器描述

15.4.1 寄存器概览

表 15-3 SPI 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	SPI_TXREG	发送数据寄存器	0x00000000
0x04	SPI_RXREG	接收数据寄存器	0x00000000
0x08	SPI_CSTAT	当前状态寄存器	0x00000001
0x0C	SPI_INTSTAT	中断状态寄存器	0x00000000
0x10	SPI_INTEN	中断使能寄存器	0x00000000
0x14	SPI_INTCLR	中断清除寄存器	0x00000000
0x18	SPI_GCTL	全局控制寄存器	0x00000004
0x1C	SPI_CCTL	通用控制寄存器	0x00000008
0x20	SPI_SPBRG	波特率发生器	0x00000002
0x24	SPI_RXDNR	接收数据数量寄存器	0x00000001
0x28	SPI_NSSR	从机片选寄存器	0x000000FF
0x2C	SPI_EXTCTL	数据长度控制寄存器	0x00000008

15.4.2 SPI_TXREG 发送数据寄存器

地址偏移：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXREG															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXREG															
rw															
位		字段		描述											
31: 0		TXREG		发送数据寄存器 有效数据位由 DW8_32 控制： DW8_32=0，仅低 8 位有效 DW8_32=1，TXREG[31: 0] 有效											

15.4.3 SPI_RXREG 接收数据寄存器

地址偏移：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXREG															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXREG															
r															
Bit		Field		Description											
31: 0		RXREG		接收数据寄存器 有效数据位由 DW8_32 控制。 DW8_32=0：仅低 8 位有效 DW8_32=1：RXREG[31:0] 有效 注：该寄存器可读不可写。											

15.4.4 SPI_CSTAT 当前状态寄存器

地址偏移：0x08

复位值：0x0000 2001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.			BUS Y	RXFADDR				TXFADDR				RXA VL_4 BYT E	TXF ULL	RXA VL	TXE PT
			r	r				r				r	r	r	r

位	字段	描述
31: 13	保留	读出始终为 0
12	BUSY	忙标志位 表示 SPI 传输正在进行中
11: 8	RXFADDR	当前缓冲中有效字节的数量
7: 4	TXFADDR	发送缓冲中有效字节的数量

位	字段	描述
3	RXAVL_4BYTE	接收缓冲有效数据达到 4 字节标志位 0: 接收缓冲中的数据少于 4 字节 1: 接收缓冲中的数据超过 4 字节 注: 当 DW8_32 配置为 1 时, 只要数据量达到或超过一帧, 该标志即置 1; 否则只有数据量达到或超过 4 字节时才置 1。
2	TXFULL	发送缓冲满标志位 0: 发送缓冲未滿 1: 发送缓冲已滿 注: 当 DW8_32 配置为 1 时, FIFO 存入 2 帧数据后硬件置位该标志; 否则只有 FIFO 存入 8 字节数据后硬件才置位该标志。
1	RXAVL	接收有效字节数据提示位 当接收缓冲收到一个完整的字节数据时, 该位被置位。 0: 接收缓冲为空 1: 接收缓冲非空 注: 该位只读, 由硬件自动置位和清除。
0	TXEPT	发送空位 0: 发送缓冲或移位寄存器非空 1: 发送缓冲和移位寄存器均为空 注: 该位只读, 由硬件自动置位和清除。

15.4.5 SPI_INTSTAT 中断状态寄存器

地址偏移: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.									TXEPT_INTF	RXFULL_INTF	RXMATCH_INTF	RXOERR_INTF	UNDERRUN_INTF	RX_INTF	TX_INTF
									r	r	r	r	r	r	r

位	字段	描述
31: 7	保留	保留, 读出始终为 0
6	TXEPT_INTF	发送器空中断标志位 由硬件自动置位, 向 INTCLR.TXEPT_ICLR 位写“1”清除。 0: 发送缓冲或移位寄存器非空 1: 发送缓冲和移位寄存器均为空 注: 该位是中断状态信号, 而 TXEPT 是状态信号。
5	RXFULL_INTF	RX FIFO 满中断标志位 由硬件自动置位, 向 INTCLR.RXFULL_ICLR 位写“1”清除。 0: RX 缓冲未滿 1: RX 缓冲已滿 注: 只有当 DW8_32 配置为 0 且 EXTLEN 保持默认值 8 时, 该标志才有效; “满”状态表示 FIFO 中保留的有效数据已达到 4 字节。
4	RXMATCH_INTF	接收指定字节中断标志位 (接收数据数量与 RXDNR 匹配时, 接收过程完成并产生中断) 由硬件自动置位, 向 INTCLR.RXMATCH_ICLR 位写“1”清除。 0: 尚未接收到 RXDNR 寄存器指定的字节数 1: 已接收到 RXDNR 寄存器指定的字节数
3	RXOERR_INTF	接收溢出错误中断标志位 (接收 overrun 错误中断标志位) 由硬件自动置位, 向 INTCLR.RXOERR_ICLR 位写“1”清除。 0: 无溢出错误 1: 发生溢出错误

位	字段	描述
2	UNDERRUN_INTF	SPI 从模式下溢标志位（SPI underrun 中断标志位） 由硬件自动置位，向 INTCLR.UNDERRUN_ICLR 位写“1”清除。 0：无下溢错误 1：发生下溢错误
1	RX_INTF	接收数据有效中断标志位 由硬件自动置位，向 INTCLR 寄存器的 RX_ICLR 位写入以清除。 当接收缓冲收到完整有效的数据时置位。 0：接收缓冲为空 1：接收缓冲已收到一个完整的有效数据
0	TX_INTF	发送 FIFO 可用中断标志位（已发送一个字节数据） 由硬件自动置位，当发送缓冲非空时自动清除。 0：发送缓冲非空 1：发送缓冲为空

15.4.6 SPI_INTEN 中断使能寄存器

地址偏移：0x10

复位值：0x0000 0000

3	3	2	2	2	2	2	2	2	22	21	20	19	18	17	16
1	0	9	8	7	6	5	4	3							
Res.															
1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0
5	4	3	2	1	0				TXEPT_IEN	RXFULL_IEN	RXMATCH_IEN	RXOERR_IEN	UNDERRUN_IEN	RX_IEN	TX_IEN
Res.									rw	rw	rw	rw	rw	rw	rw

位	字段	描述
31: 7	保留	保留，读出始终为 0
6	TXEPT_IEN	发送空中断使能位 0：禁止中断 1：使能中断
5	RXFULL_IEN	接收 FIFO 满中断使能位 0：禁止中断 1：使能中断
4	RXMATCH_IEN	接收数据完成中断使能位 0：禁止中断 1：使能中断
3	RXOERR_IEN	接收溢出错误中断使能位 0：禁止中断 1：使能中断
2	UNDERRUN_IEN	SPI 从模式下溢中断使能位 0：禁止中断 1：使能中断
1	RX_IEN	接收 FIFO 中断使能位 0：禁止中断 1：使能中断
0	TX_IEN	发送 FIFO 空中断使能位 0：禁止中断 1：使能中断

15.4.7 SPI_INTCLR 中断清除寄存器

地址偏移：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.									TXEPT_ICLR	RXFULL_ICLR	RXMATCH_ICLR	RXOERR_ICLR	UNDERRUN_ICLR	RX_ICLR	Res.
									w	w	w	w	w	w	

位	字段	描述
31: 7	保留	保留，读出始终为 0
6	TXEPT_ICLR	发送器空中断清除位 0: 写 0 无意义 1: 写 1 清除中断
5	RXFULL_ICLR	接收缓冲满中断清除位 0: 写 0 无意义 1: 写 1 清除中断
4	RXMATCH_ICLR	接收完成中断清除位 0: 写 0 无意义 1: 写 1 清除中断
3	RXOERR_ICLR	接收溢出错误中断清除位 0: 写 0 无意义 1: 写 1 清除中断
2	UNDERRUN_ICLR	SPI 从模式溢出中断清除位 0: 写 0 无意义 1: 写 1 清除中断
1	RX_ICLR	接收中断清除位 0: 写 0 无意义 1: 写 1 清除中断
0	保留	保留，读出始终为 0

15.4.8 SPI_GCTL 全局控制寄存器

地址偏移: 0x18

复位值: 0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												FCRIORM	NSS_S	PAD_SEL	
												rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PAD_SEL			Res.	DW8_32	NSS_M	保留					RXEN	TXEN	MODE	INTEN	SPIEN
rw				rw	rw						rw	rw	rw	rw	rw

位	字段	描述
31: 20	保留	保留，读出始终为 0
19	FCRIORM	只读模式下 FIFO 满时继续接收 0: 只读模式下，当 RXFIFO 满时，停止发送时钟信号和有效的片选信号。 1: 只读模式下，当 RXFIFO 满时，继续输出时钟和有效的片选信号； 注：当 RXFIFO 满时，先前接收到的数据仍保留在 FIFO 中。
18	NSS_S	NSS 选择信号来自软件或外部 PAD 0: 由外部 NSS PAD 控制 1: 由 NSSR 寄存器的值控制。

位	字段	描述
17: 13	PAD_SEL	PAD0、PAD1、PAD2、PAD3 分别对应引脚的 SCK、MOSI、NSS 和 MISO 引脚。 信号 SCL、MOSI、NSS、MISO 与 PAD 的映射变化： PAD_SEL SCLMOSI NSSMISO 0 PAD0 PAD1 PAD2 PAD3 1 PAD0 PAD1 PAD3 PAD2 2 PAD0 PAD2 PAD1 PAD3 3 PAD0 PAD2 PAD3 PAD1 4 PAD0 PAD3 PAD1 PAD2 5 PAD0 PAD3 PAD2 PAD1 6 PAD1 PAD0 PAD2 PAD3 7 PAD1 PAD0 PAD3 PAD2 8 PAD1 PAD2 PAD0 PAD3 9 PAD1 PAD2 PAD3 PAD0 10 PAD1 PAD3 PAD0 PAD2 11 PAD1 PAD3 PAD2 PAD0 12 PAD2 PAD0 PAD1 PAD3 13 PAD2 PAD0 PAD3 PAD1 14 PAD2 PAD1 PAD0 PAD3 15 PAD2 PAD1 PAD3 PAD0 16 PAD2 PAD3 PAD0 PAD1 17 PAD2 PAD3 PAD1 PAD0 18 PAD3 PAD0 PAD1 PAD2 19 PAD3 PAD0 PAD2 PAD1 20 PAD3 PAD1 PAD0 PAD2 21 PAD3 PAD1 PAD2 PAD0 22 PAD3 PAD2 PAD0 PAD1 23 PAD3 PAD2 PAD1 PAD0
12	保留	保留，必须保持复位值。
11	DW8_32	收发数据寄存器有效数据选择（有效字节或双字数据选择信号） 0: 仅低 8 位有效 1: 全部 32 位数据有效。 注：必须使用指定的数据格式进行访问。
10	NSS_M	主模式下 NSS 输出由硬件或软件控制 0: 由 NSSR 寄存器的值控制 1: 数据传输期间由硬件自动控制
9: 5	保留	保留，必须保持复位值。
4	RXEN	接收使能位 0: 禁止接收，同时清空 RX 缓冲 1: 使能接收 注：当 SPI 仅工作在主机接收模式时，TXEN 必须设置为 0。
3	TXEN	发送使能位 0: 禁止发送，同时清空 TX 缓冲 1: 使能发送 注：在主机模式下，发送和接收同时进行
2	MODE	主机模式位 0: 从模式（串行时钟来自外部主机） 1: 主机模式（串行时钟由内部 BRG 产生）
1	INTEN	SPI 中断使能位 0: 禁止 SPI 中断 1: 使能 SPI 中断
0	SPIEN	SPI 选择位 0: 禁止 SPI（复位状态） 1: 使能 SPI

15.4.9 SPI_CCTL 通用控制寄存器

地址偏移：0x1C

复位值：0x0000 0008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.					MRDECHG			Res.	CPHASEL	TXEDGE	RXEDGE	SPILEN	LSBFE	CPOL	CPHA
					rw				rw	rw	rw	rw	rw	rw	rw

位	字段	描述
31: 11	保留	保留，读出始终为 0
10: 8	MRDECHG	主模式下接收采样时钟边沿调整功能位。 3'b000: 若 RXEDGE=0, 采样点不调整; 若 RXEDGE=1, 采样点后移 SPBRG/2 个 mclk 周期。 3'b001: 采样点后移 1 个 MCLK 周期。 3'b010: 采样点后移 2 个 MCLK 周期。 3'b011: 采样点后移 3 个 MCLK 周期。 3'b1xx: 采样点后移 4 个 MCLK 周期。 注: mclk 是 SPI 模块使用的 APB 时钟, SPBRG 表示波特率控制寄存器的设定值; 当 MRDECHG 的设置不为 3'b000 时, RXEDGE 的设置无效。在高速通信应用中, 系统可以通过补偿板级走线延时来确定该配置, 从而补偿 SPI 主模式接收时的传输延时, 提高传输速度。
7	保留	保留，读出始终为 0
6	CPHASEL	CPHA 极性反相选择 0: CPHA 设置保持不变。 1: 将 CPHA 设定值取反。 当 CPHA 为 1 时, 第一个数据位的采样从第二个时钟边沿开始。 当 CPHA 为 0 时, 第一个数据位的采样从第一个时钟边沿开始。
5	TXEDGE	发送数据相位调整位 (从模式) 0: 在一个有效时钟边沿之后将数据发送到总线。 用于低速模式 (SPBRG > 4)。 1: 立即将数据发送到数据总线。 用于高速模式 (SPBRG = 4)。
4	RXEDGE	接收数据采样时钟边沿选择位 (主模式) 0: 在传输数据位的中间采样数据。 1: 在传输数据的末尾时钟边沿采样 (用于高速模式)。
3	SPILEN	SPI 字符长度位 该位在 DW8_32 设置之后生效 (DW8_32 = 0); 0: 7 位数据 1: 8 位数据 (默认)
2	LSBFE	LSBFE: LSB 优先使能位 0: 数据收发时最高位在前 1: 数据收发时最低位在前
1	CPOL	时钟极性标志位 0: 空闲状态 (两次传输之间) 时钟为低电平 1: 空闲状态 (两次传输之间) 时钟为高电平
0	CPHA	时钟相位选择位 0: 第一个数据位的采样从第二个时钟边沿开始 1: 第一个数据位的采样从第一个时钟边沿开始

15.4.10 SPI_SPBRG 波特率发生器

地址偏移: 0x20

复位值: 0x0000 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPBRG															
rw															
位	字段		描述												
31: 16	保留		保留, 读出始终为 0												
15: 0	SPBRG		用于设置波特率的 SPI 波特率控制寄存器 波特率公式: 波特率 = Fpclk/SPBRG (Fpclk 为 APB 时钟频率) 注: 不要向该寄存器写入 0 和 1。												

15.4.11 SPI_RXDNR 接收数据数量寄存器

地址偏移: 0x24

复位值: 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDNR															
rw															
位	字段		描述												
31: 16	保留		保留, 读出始终为 0												
15: 0	RXDNR		该寄存器用于保存下一次接收过程中要接收的数据个数 注: 该寄存器的值在 SPI 处于主机接收模式时有效, 默认值为 1。 该寄存器的值可由 MCU 写入更改, 不要向该寄存器写入“0”值。												

15.4.12 SPI_NSSR 从机片选寄存器

地址偏移: 0x28

复位值: 0x0000 00FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.															NSS
															rw
位	字段		描述												
31: 1	保留		保留, 必须保持复位值。												
0	NSS		主模式下的片选输出信号, 低电平有效, 该位在从模式下无效 0: 从设备未被选中 (允许从设备与主模式之间通信) 1: 从设备被选中												

15.4.13 SPI_EXTCTL 数据长度控制寄存器

地址偏移：0x2C

复位值：0x0000 0008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.											EXTLEN				
											rw				

位	字段	描述
31: 5	保留	保留，读出始终为 0
4: 0	EXTLEN	控制 SPI 数据长度 0 0000: 32 位 0 0001: 1 位 0 0010: 2 位 0 0011: 3 位 1 1100: 28 位 1 1101: 29 位 1 1110: 30 位 1 1111: 31 位 注： 1. 工作时，DW8_32 必须配置为“1”，SPI_CCTL 寄存器的 LSBFE 位必须配置为“1”，SPILEN 位也必须配置为“1”。当 DW8_32 配置为“0”时，EXTLEN 必须保持其初始值 8。 2. EXTLEN[4:0] 应在 SPI_GCTL.SPIEN 位为“0”时配置，通信过程中不得修改。

16 I2C 集成电路总线接口

16.1 简介

I2C（集成电路总线）接口为微控制器中芯片之间的串行互连提供支持，具有多主机能力，可控制所有 I2C 总线专用的时序、协议、仲裁和定时。

I2C 总线是一种两线制串行接口，串行数据线（SDA）和串行时钟线（SCL）在连接到总线的设备之间传递信息。每个设备都有唯一的地址可供寻址，并可作为发送器或接收器工作。此外，设备在进行数据传输时还可视为主机或从机。主机是在总线上发起数据传输并产生允许传输的时钟信号的设备，此时被寻址的任何设备都视为从机。

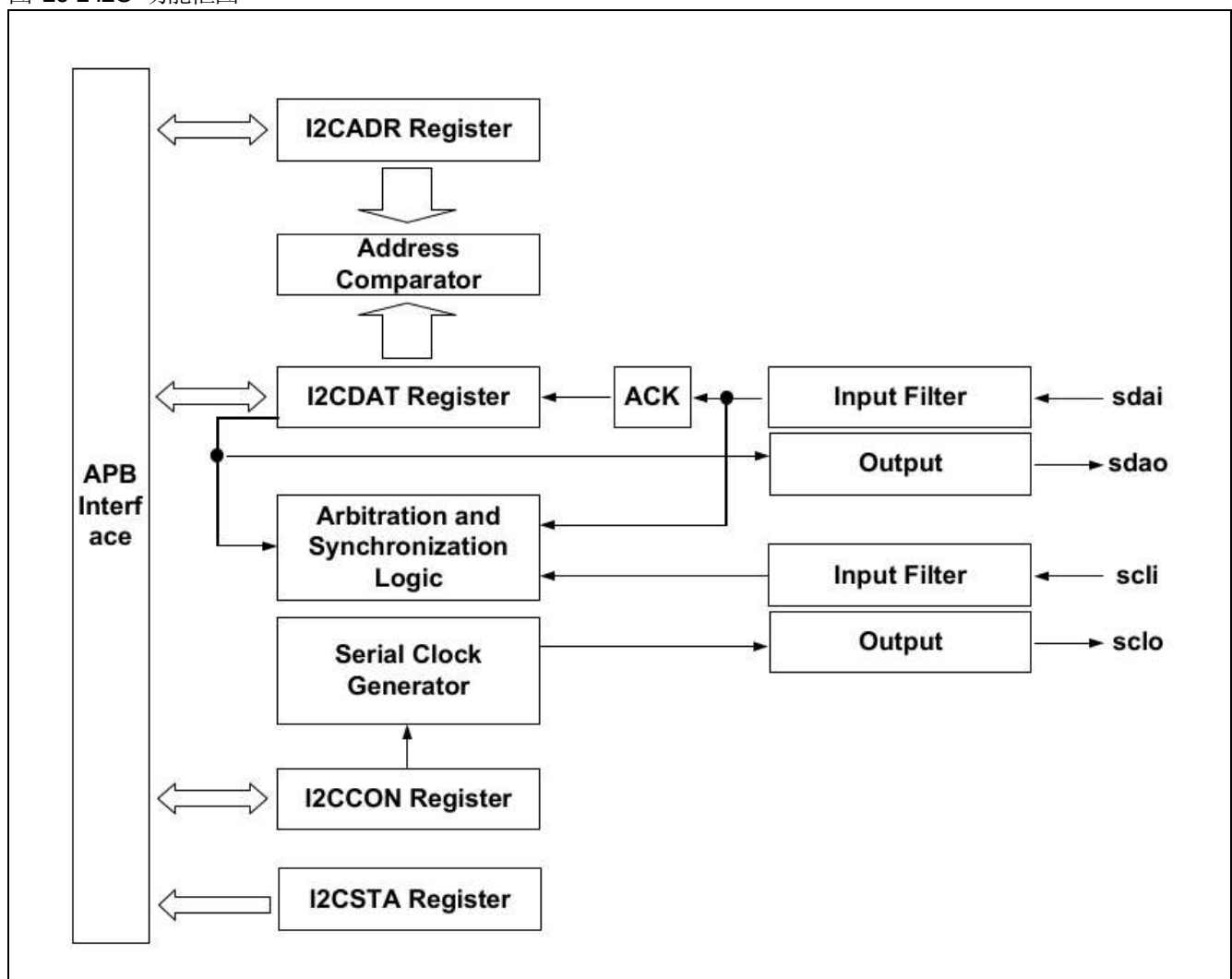
16.2 主要特性

- I2C 总线协议转换器/并行总线
- 半双工同步操作
- 支持主机和从机模式
- 支持 7 位/10 位地址格式
- 支持 START、STOP、RESTART 和 ACK 的产生与检测
- 支持标准模式（最高 100Kbps）和快速模式（最高 400Kbps）
- 支持中断或轮询方式操作

16.3 功能描述

16.3.1 功能框图

图 16-1 I2C 功能框图



16.3.2 引脚定义

表 16-1 引脚定义

引脚名称	属性	描述
I2C_SCL	I/O	I2C 时钟
I2C_SDA	I/O	I2C 数据

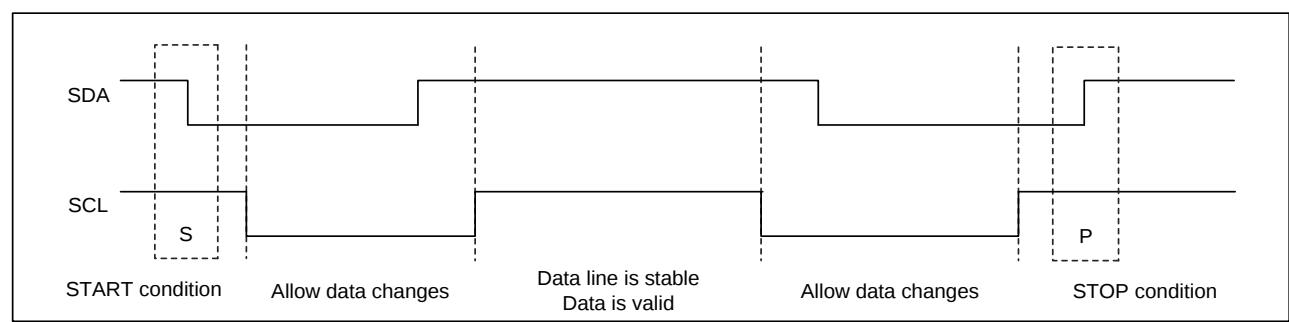
注：使用时，引脚应全部配置为开漏模式。配置方法请参考 GPIO 章节。

16.3.3 I2C 协议

16.3.3.1 起始和停止条件

总线空闲时，SCL 和 SDA 由外部上拉电阻拉高。主机发起的数据传输以起始条件开始。当 SCL 为高电平时，SDA 线上由高到低的跳变定义为起始条件。主机通过发出停止条件来结束数据传输。当 SCL 为高电平时，SDA 线上由低到高的跳变定义为停止条件。起始和停止条件的时序图如下所示。当 SCL 为 1 时，数据传输期间 SDA 必须保持稳定。

图 16-2 起始和停止条件



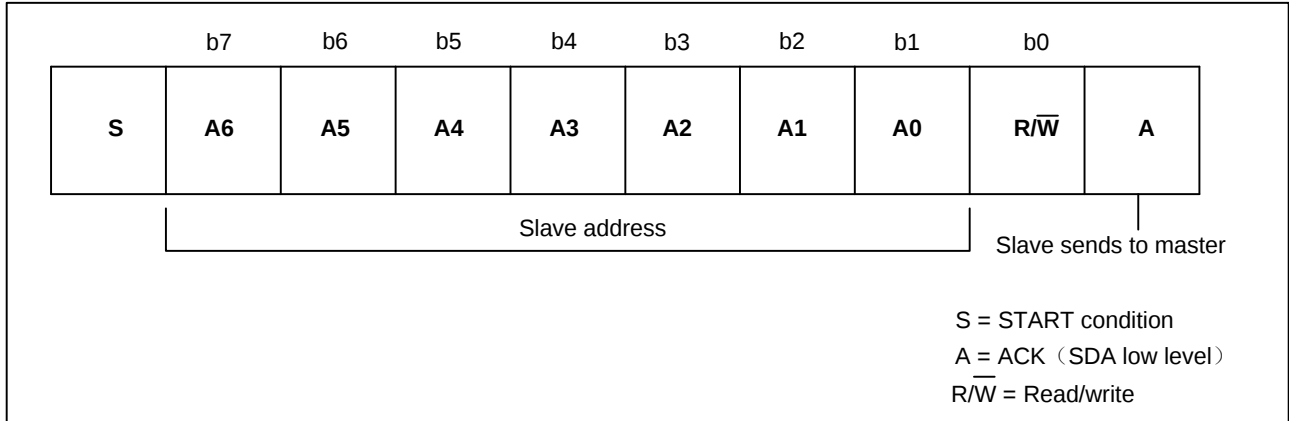
16.3.3.2 寻址协议

I2C 支持 7 位寻址格式。

● 7 位地址格式

从机地址是起始条件（S）之后所发送第一个字节的前 7 位（位 7:1）。最低位（位 0）决定数据传输方向：若位 0 为 0，则主机向从机写数据；若位 0 为 1，则主机从从机读数据。

图 16-3 7 位地址格式



下表定义了 I2C 首字节的特殊用途地址和保留地址：

表 16-2 I2C 的首字节

从机地址	R/W 位	描述
0000 000	0	广播呼叫地址。I2C 将数据放入接收缓冲并产生一个广播呼叫中断。
0000 000	1	保留
0000 001	x	保留
0000 010	x	保留
0000 011	x	保留
0000 1xx	x	保留
1111 1xx	x	保留
1111 0xx	x	保留

16.3.3.3 发送和接收协议

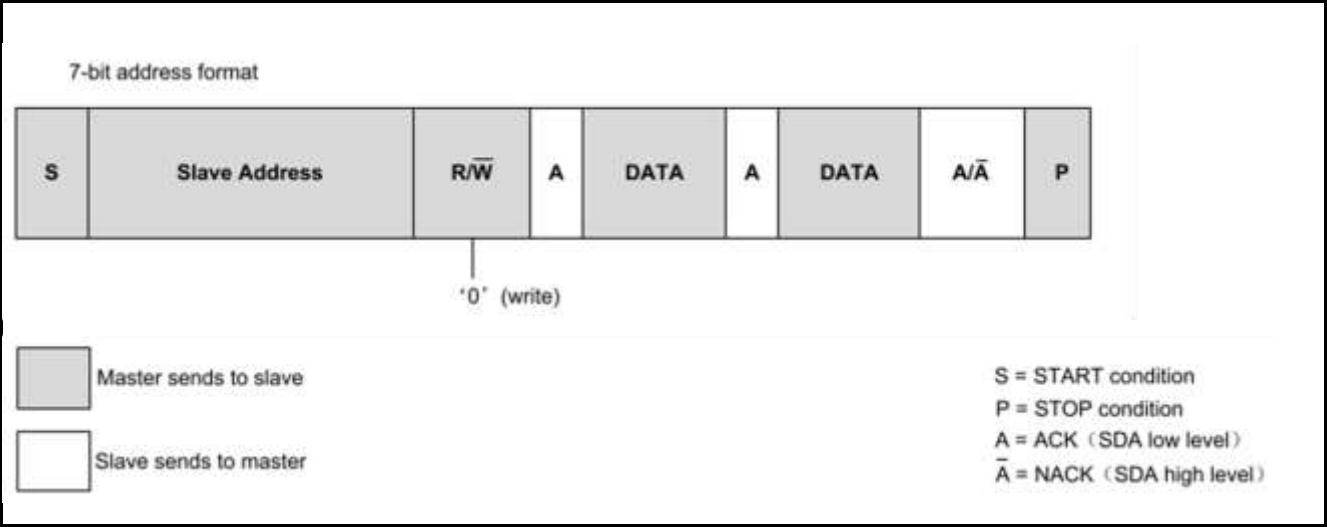
主机可以向总线发起数据发送和接收，充当主机发送器或主机接收器。从机响应主机的请求，充当从机发送器或从机接收器。

主机发送器与从机接收器

所有数据均以字节格式传输，每次数据传输的字节数不受限制。主机发送地址和 R/W 位之后，或主机向从机发送一个字节数据之后，从机接收器必须回应应答信号（ACK）。当从机接收器没有回应 ACK 脉冲时，主机通过发出停止条件中止传输。如果从机无法响应，从机必须使 SDA 线保持高电平，以便主机中止传输。

如果主机发送器按下图所示发送数据，则从机接收器在每接收一个字节数据后向主机发送器回应一个 ACK 脉冲。

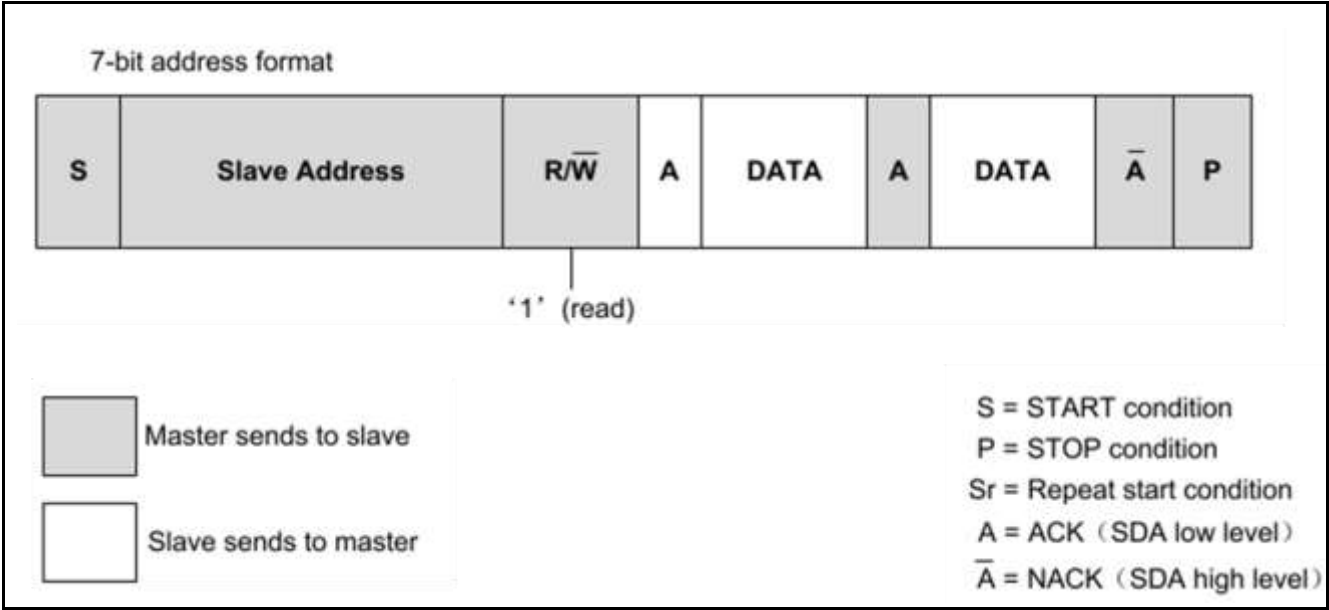
图 16-4 主机发送协议



主机接收器与从机发送器

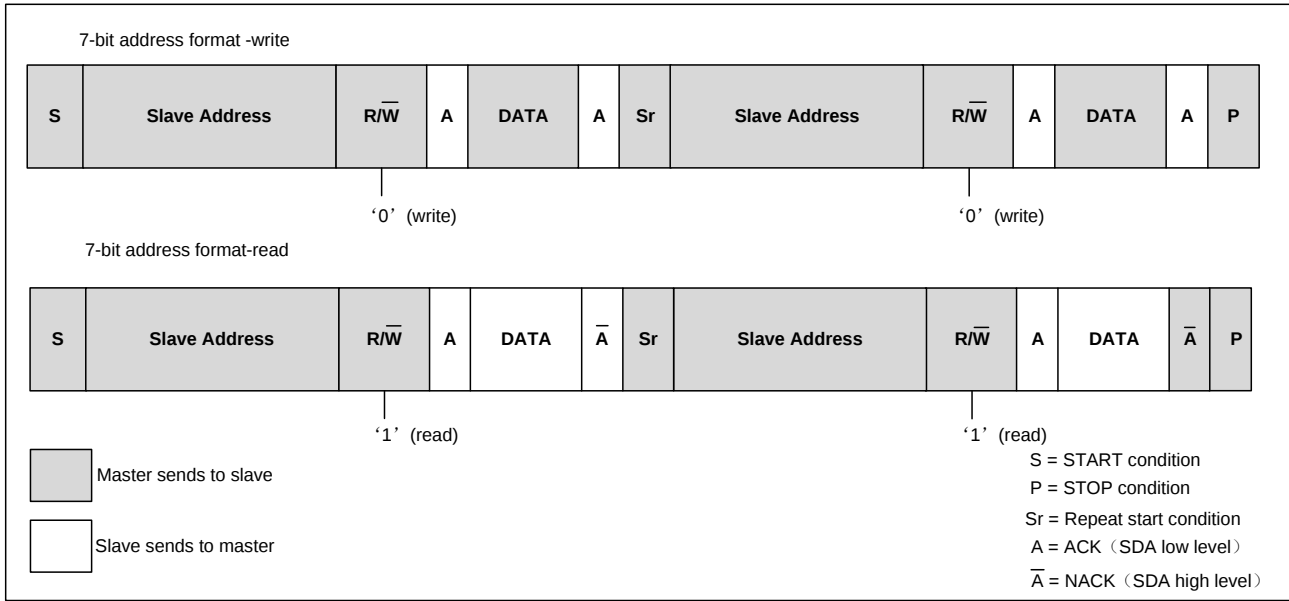
如果主机按下图所示接收数据，则主机在接收到一个字节数据后向从机发送器回应一个 ACK 脉冲，最后一个字节除外。这是主机接收器通知从机发送器这是最后一个字节的方式。从机发送器在检测到非应答（NACK）后释放 SDA 线，以便主机发出停止条件。

图 16-5 主机接收协议



当主机不希望以停止条件释放总线时，可以发出重复起始条件。它与起始条件相同，只是发生在 ACK 之后。在主机模式下，I2C 接口随后可以以不同的传输方向与同一从机通信。

图 16-6 带重复起始（SR）的主机发送与接收协议



16.3.3.4 仲裁

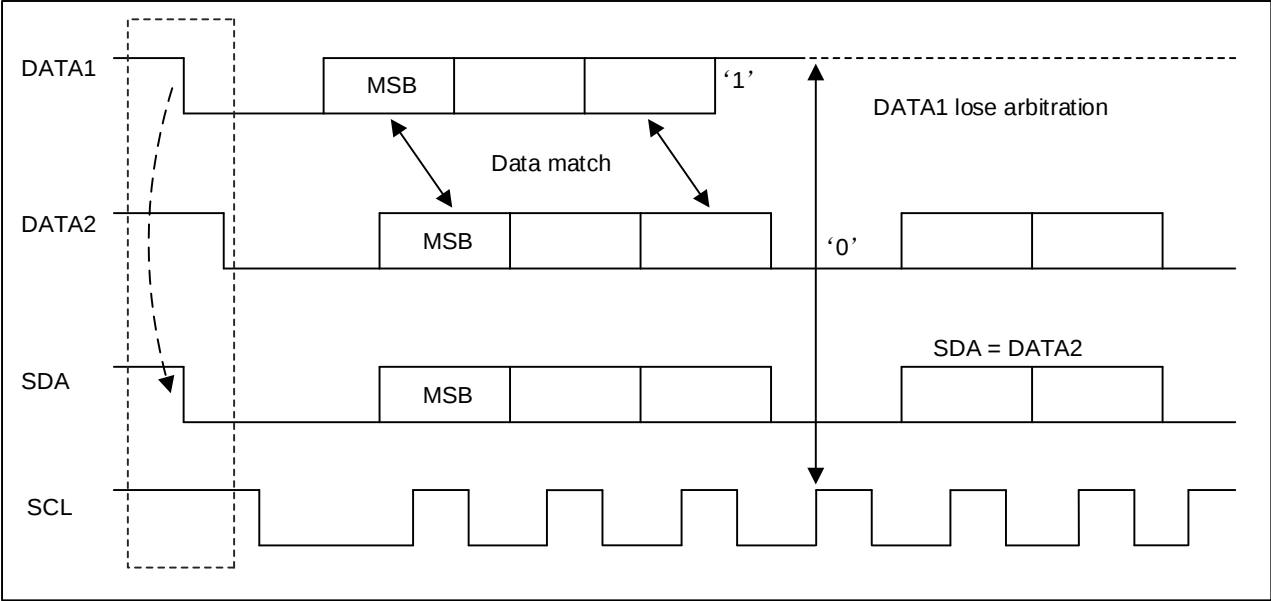
如果同一总线上有多个主机，当它们试图通过同时产生起始条件来控制总线时，需要进行仲裁（若多个主机同时试图控制总线，只有一个主机能够以完整的报文取得总线控制权）。一旦某个主机取得总线控制权，在该主机发出停止条件并使总线进入空闲状态之前，其他主机都无法取得控制权。

仲裁发生在 SDA 线上、SCL 为高电平期间。如果有两个或多个主机试图向总线发送报文，则当某个主机发送 1 而另一个主机发送 0 时，发送 1 的主机在仲裁中失败。仲裁失败的主机可以继续产生时钟脉冲直到该字节传输结束。如果所有主机都在寻址同一个设备，仲裁可能会延续到数据阶段。

一旦检测到自己仲裁失败，I2C 接口即停止产生 SCL。

下图描述了两个主机在总线上进行仲裁的时序。

图 16-7 双主机仲裁



16.3.3.5 时钟同步

当两个或多个主机试图同时在总线上传输信息时，它们必须进行仲裁并同步 SCL 时钟。所有主机都产生各自的时钟来传输报文，数据仅在时钟高电平期间有效。时钟同步通过 SCL 信号上的线与连接来实现。当主机将 SCL 时钟拉为 0 时，该主机开始计量 SCL 的低电平时间，并在下一个时钟周期开始时将 SCL 置为 1。但如果另一个主机正将 SCL 线保持为 0，则该主机进入等待状态，直到 SCL 变为 1。

随后所有主机都计量各自的高电平时间，高电平时间最短的主机将 SCL 拉为 0。接着各主机计量各自的低电平时间，低电平时间最长的主机迫使其他主机进入等待状态。这样就产生了一个同步的 SCL 时钟，如下图所示。

图 16-8 时钟同步（原理图）

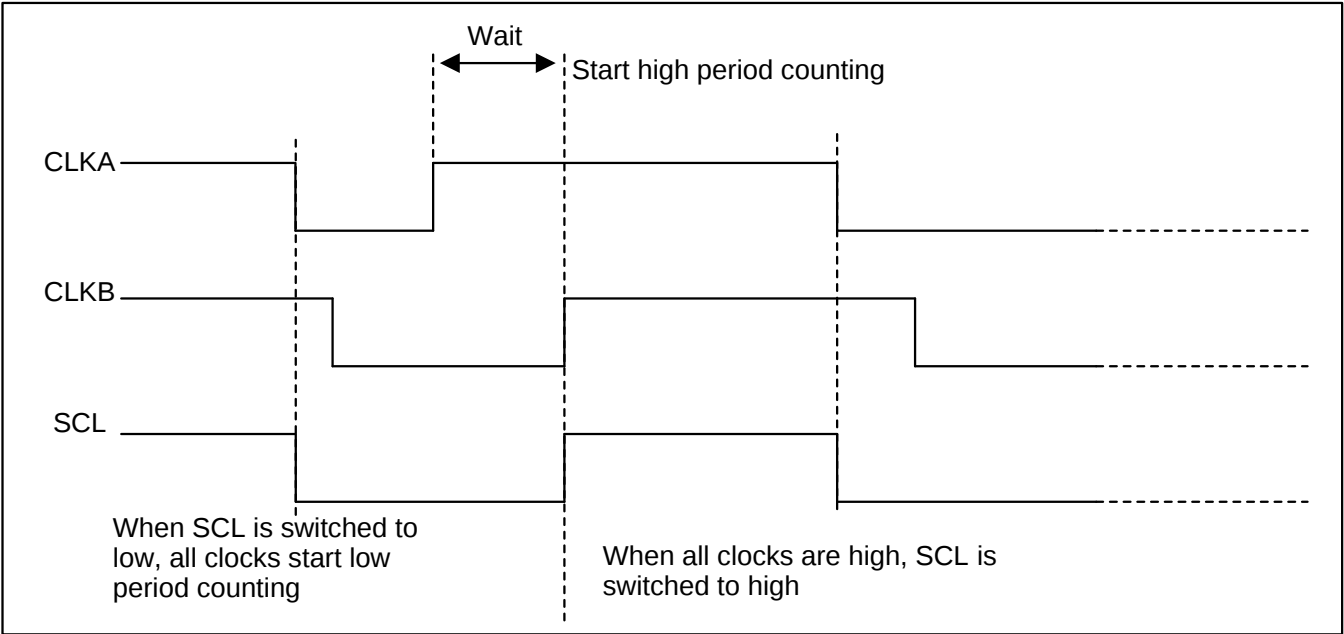
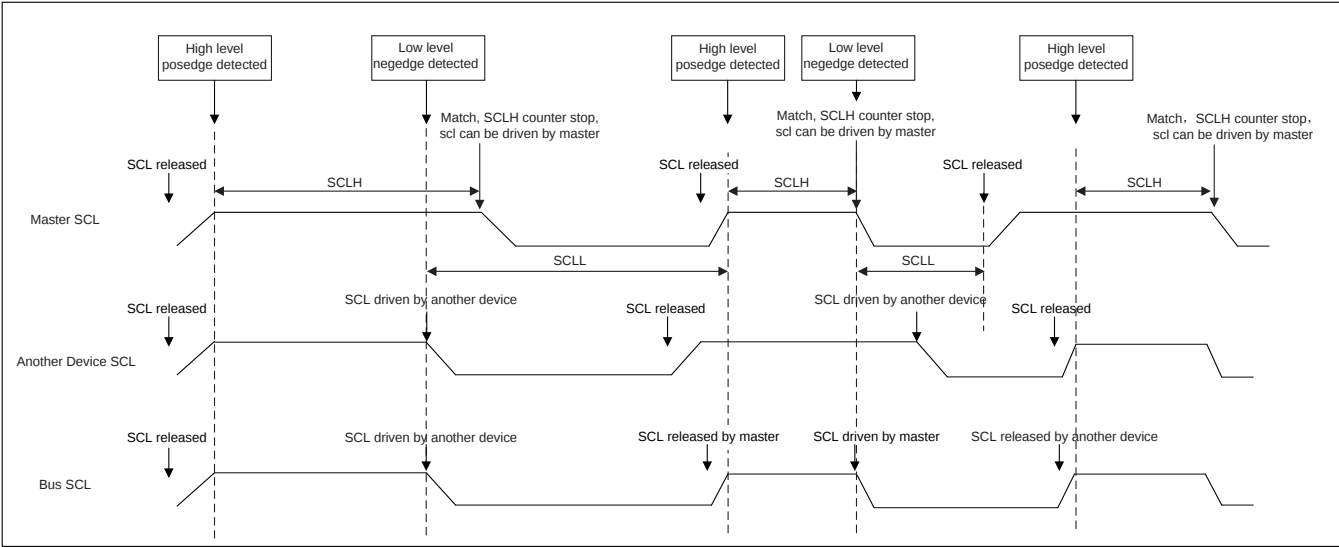


图 16-9 时钟同步（时序图）



16.3.3.6 SCL 配置

在主机模式下，SCL 输出频率可通过 I2C_DIV 寄存器配置，波特率计算公式如下：

$$\text{SCL baud} = \text{pclk} / (4 * (\text{DIV} + 1))$$
(DIV >= 16'h3)

16.3.4 工作模式

I2C 接口可以工作在下列四种模式之一：

- 从机发送模式
- 从机接收模式
- 主机发送模式
- 主机接收模式

通过配置 I2C_CON.ENS1 可以启用 I2C 接口；关于模式切换和操作的详细内容，请参考 16.3.5 节。

16.3.4.1 毛刺滤波

I2C 支持固定的毛刺滤波器。在内部采样之前，它会检查输入信号（SCL 和 SDA）是否连续三个 APB 时钟周期保持稳定。

16.3.4.2 地址匹配

I2C 将接收到的 7 位从机地址与 I2C_ADR 寄存器中的地址进行比较，若匹配则产生相应的中断。此外，若将 I2C_ADR.GC 位配置为 1，接收到的地址还会与广播地址 0x0 进行比较。

16.3.5 中断

当发生下表所述的 25 种中断状态中的任意一种时（0xF8 除外），I2C_CON.SI 由硬件自动置位。I2C_CON.SI 必须由软件手动写“0”清除，写“1”无效。在中断服务程序中，必须先完成其他寄存器操作，最后再手动向 I2C_CON.SI 标志位写“0”将其清除。对 I2C_DAT 寄存器的访问必须在中断服务程序中进行。设置 I2C_CON.ENS1=1 并开始 I2C 数据传输后，对 I2C_CON 寄存器中 AA、SI、STA 和 STO 位的操作必须在中断服务程序中进行。

下表列出了 I2C 不同工作模式下的中断状态、相应的软件响应以及后续的硬件动作。

16.3.5.1 主机发送模式

I2C 的默认空闲状态码为 0xF8。处于 0xF8 状态时，设置 I2C_CON.STA=1 会使 I2C 接口发送起始条件并进入主机模式。随后在 0x08 状态下装载从机地址和写命令，接口切换为主机发送模式。最后在适当时刻设置 I2C_CON.STO=1，I2C 将发送停止条件并返回 0xF8 空闲状态。

表 16-3 I2C 主机发送模式中中断状态

状态码	I2C 状态	软件响应					I2C 硬件的后续动作
		I2C_DAT 操作	I2C_CON 操作				
			STA	STO	SI	AA	
0x08	已发送起始条件	装载 SLA+W	X	0	0	X	将发送 SLA+W；将接收到 ACK 或 NACK
0x10	已发送重复起始条件	装载 SLA+W	X	0	0	X	将发送 SLA+W；将接收到 ACK 或 NACK
		装载 SLA+R	X	0	0	X	将发送 SLA+R；将接收到 ACK 或 NACK，I2C 将切换到主机接收模式
0x18	已发送 SLA+W；已收到 ACK	装载数据字节	0	0	0	X	将发送数据字节，并将接收到 ACK 或 NACK
		无动作	1	0	0	X	将发送重复起始条件
		无动作	0	1	0	X	将发送停止条件，STO 标志将被清除
		无动作	1	1	0	X	将发送停止条件，随后发送起始条件，STO 标志将被清除
0x20	已发送 SLA+W；已收到 NACK	装载数据字节	0	0	0	X	将发送数据字节，并将接收到 ACK 或 NACK
		无动作	1	0	0	X	将发送重复起始条件
		无动作	0	1	0	X	将发送停止条件，STO 标志将被清除
		无动作	1	1	0	X	将发送停止条件，随后发送起始条件，STO 标志将被清除
0x28	已发送数据字节；已收到 ACK	装载数据字节	0	0	0	X	将发送数据字节，并将接收到 ACK 或 NACK
		无动作	1	0	0	X	将发送重复起始条件
		无动作	0	1	0	X	将发送停止条件，STO 标志将被清除
		无动作	1	1	0	X	将发送停止条件，随后发送起始条件，STO 标志将被清除
0x30	已发送数据字节；	装载数据字节	0	0	0	X	将发送数据字节，并将接收

状态码	I2C 状态	软件响应					I2C 硬件的后续动作
		I2C_DAT 操作	I2C_CON 操作				
			STA	STO	SI	AA	
	已收到 NACK						到 ACK 或 NACK
		无动作	1	0	0	X	将发送重复起始条件
		无动作	0	1	0	X	将发送停止条件, STO 标志将被清除
		无动作	1	1	0	X	将发送停止条件, 随后发送起始条件, STO 标志将被清除
0x38	在 SLA+W 或数据字节阶段仲裁失败	无动作	0	0	0	X	I2C 将被释放, 进入未被寻址的从机模式
		无动作	1	0	0	X	当总线空闲时将发送起始条件

注: SLA: 从机地址。
R: 读位 (SDA 上为高电平)
W: 写位 (SDA 上为低电平)

16.3.5.2 主机接收模式

I2C 的默认空闲状态码为 0xF8。处于 0xF8 状态时，设置 I2C_CON.STA=1 会使 I2C 接口发送起始条件并进入主机模式。随后在 0x08 状态下装载从机地址和读命令，接口切换为主机接收模式。最后在适当时刻设置 I2C_CON.STO=1，I2C 将发送停止条件并返回 0xF8 空闲状态。

表 16-4 I2C 主机接收模式中中断状态

状态码	I2C 状态	软件响应					I2C 硬件的后续动作
		I2C_DAT 操作	I2C_CON 操作				
			STA	STO	SI	AA	
0x08	已发送起始条件	装载 SLA+R	X	0	0	X	将发送 SLA+R；将接收到 ACK 或 NACK
0x10	已发送重复起始条件	装载 SLA+R	X	0	0	X	将发送 SLA+R；将接收到 ACK 或 NACK
		装载 SLA+W	X	0	0	X	将发送 SLA+W；将接收到 ACK 或 NACK，I2C 将切换到主机发送模式
0x38	在 SLA+R 或 NACK 位阶段仲裁失败	无动作	0	0	0	X	I2C 将被释放，进入未被寻址的从机模式
		无动作	1	0	0	X	当总线空闲时将发送起始条件
0x40	已发送 SLA+R；已收到 ACK	无动作	0	0	0	0	将接收数据字节并返回 NACK
		无动作	0	0	0	1	将接收数据字节并返回 ACK
0x48	已发送 SLA+R；已收到 NACK	无动作	1	0	0	X	将发送重复起始条件
		无动作	0	1	0	X	将发送停止条件，STO 标志将被清除
		无动作	1	1	0	X	将发送停止条件，随后发送起始条件，STO 标志将被清除
0x50	已接收数据字节；已返回 ACK	读取数据字节	0	0	0	0	将接收数据字节并返回 NACK
		读取数据字节	0	0	0	1	将接收数据字节并返回 ACK
0x58	已接收数据字节；已返回 NACK	读取数据字节	1	0	0	X	将发送重复起始条件
		读取数据字节	0	1	0	X	将发送停止条件，STO 标志将被清除

状态码	I2C 状态	软件响应					I2C 硬件的后续动作
		I2C_DAT 操作	I2C_CON 操作				
			STA	STO	SI	AA	
		读取数据字节	1	1	0	X	将发送停止条件，随后发送起始条件，STO 标志将被清除

16.3.5.3 从机发送模式

I2C 接口的默认空闲状态码为 0xF8。在该状态下将 I2C_CON.AA 置 1 时，I2C 接口可以接收自身的从机地址并回应 ACK。若接收到的地址对应读命令，接口进入从机发送模式；随后在检测到 I2C 停止条件或完成最后一个数据字节的发送后，接口返回 0xF8 空闲状态。

表 16-5 I2C 从机发送模式中中断状态

状态码	I2C 状态	软件响应					I2C 硬件的后续动作
		I2C_DAT 操作	I2C_CON 操作				
			STA	STO	SI	AA	
0xA8	已接收到自身的 SLA+R；已返回 ACK	装载数据字节	X	0	0	0	将发送最后一个数据字节，并应收到 NACK
		装载数据字节	X	0	0	1	将发送数据字节，并应收到 ACK
0xB0	作为主机时在 SLA+RW 阶段仲裁失败；已接收到自身的 SLA+R；已返回 ACK	装载数据字节	X	0	0	0	将发送最后一个数据字节，并应收到 NACK
		装载数据字节	X	0	0	1	将发送数据字节，并应收到 ACK
0xB8	已发送数据字节；已收到 ACK	装载数据字节	X	0	0	0	将发送最后一个数据字节，并应收到 NACK
		装载数据字节	X	0	0	1	将发送数据字节，并应收到 ACK
0xC0	已发送数据字节；已收到 NACK	无动作	0	0	0	0	切换到未被寻址的从机模式；不识别自身 SLA 或广播呼叫地址
		无动作	0	0	0	1	切换到未被寻址的从机模式；将识别自身 SLA 或广播呼叫地址
		无动作	1	0	0	0	切换到未被寻址的从机模式；不识别自身 SLA 或广播呼叫地址；当总线空闲时将发送起始条件
		无动作	1	0	0	1	切换到未被寻址的从机模式；将识别自身 SLA 或广播呼叫地址；当总线空闲时将发

状态码	I2C 状态	软件响应					I2C 硬件的后续动作
		I2C_DAT 操作	I2C_CON 操作				
			STA	STO	SI	AA	
							送起始条件
0xC8	已发送最后一个数据字节；已收到 ACK	无动作	0	0	0	0	切换到未被寻址的从机模式；不识别自身 SLA 或广播呼叫地址
		无动作	0	0	0	1	切换到未被寻址的从机模式； 将识别自身 SLA 或广播呼叫地址
		无动作	1	0	0	0	切换到未被寻址的从机模式； 不识别自身 SLA 或广播呼叫地址； 当总线空闲时将发送起始条件
		无动作	1	0	0	1	切换到未被寻址的从机模式； 将识别自身 SLA 或广播呼叫地址； 当总线空闲时将发送起始条件

16.3.5.4 从机接收模式

I2C 接口的默认空闲状态码为 0xF8。在该状态下将 I2C_CON.AA 置 1 时，I2C 接口可识别自身的从机地址并回应 ACK。接收到自身从机地址后，若识别出接收到的命令为写操作，则 I2C 进入从机接收模式；随后在接收到 I2C 停止条件后返回 0xF8 空闲状态。

表 16-6 I2C 从机接收模式中中断状态

状态码	I2C 状态	软件响应					I2C 硬件的后续动作
		I2C_DAT 操作	I2C_CON 操作				
			STA	STO	SI	AA	
0x60	已接收到自身的 SLA+W；已返回 ACK	无动作	X	0	0	0	将接收数据字节并返回 NACK
		无动作	X	0	0	1	将接收数据字节并返回 ACK
0x68	作为主机时在 SLA+R/W 阶段仲裁失败；已接收到自身的 SLA+W；已返回 ACK	无动作	X	0	0	0	将接收数据字节并返回 NACK
		无动作	X	0	0	1	将接收数据字节并返回 ACK
0x70	已接收到广播呼叫地址（0x00）；已返回 ACK	无动作	X	0	0	0	将接收数据字节并返回 NACK
		无动作	X	0	0	1	将接收数据字节并返回

状态码	I2C 状态	软件响应					I2C 硬件的后续动作
		I2C_DAT 操作	I2C_CON 操作				
			STA	STO	SI	AA	
							ACK
0x78	作为主机时在 SLA+R/W 阶段仲裁失败；已接收到广播呼叫地址（0x00）；已返回 ACK	无动作	X	0	0	0	将接收数据字节并返回 NACK
		无动作	X	0	0	1	将接收数据字节并返回 ACK
0x80	自身从机地址已匹配；已接收数据字节；已返回 ACK	读取数据字节	X	0	0	0	将接收数据字节并返回 NACK
		读取数据字节	X	0	0	1	将接收数据字节并返回 ACK
0x88	自身从机地址已匹配；已接收数据字节；已返回 NACK	读取数据字节	0	0	0	0	切换到未被寻址的从机模式；不识别自身 SLA 或广播呼叫地址
		读取数据字节	0	0	0	1	切换到未被寻址的从机模式； 将识别自身 SLA 或广播呼叫地址
		读取数据字节	1	0	0	0	切换到未被寻址的从机模式； 不识别自身 SLA 或广播呼叫地址； 当总线空闲时将发送起始条件
		读取数据字节	1	0	0	1	切换到未被寻址的从机模式； 将识别自身 SLA 或广播呼叫地址； 当总线空闲时将发送起始条件
0x90	广播呼叫地址已匹配；已接收数据字节；已返回 ACK	读取数据字节	X	0	0	0	将接收数据字节并返回 NACK
		读取数据字节	X	0	0	1	将接收数据字节并返回 ACK
0x98	广播呼叫地址已匹配；已接收数据字节；已返回 NACK	读取数据字节	0	0	0	0	切换到未被寻址的从机模式； 不识别自身 SLA 或广播呼叫地址
		读取数据字节	0	0	0	1	切换到未被寻址的从机模式； 将识别自身 SLA 或广播呼叫地址

状态码	I2C 状态	软件响应					I2C 硬件的后续动作
		I2C_DAT 操作	I2C_CON 操作				
			STA	STO	SI	AA	
		读取数据字节	1	0	0	0	切换到未被寻址的从机模式; 不识别自身 SLA 或广播呼叫地址; 当总线空闲时将发送起始条件
		读取数据字节	1	0	0	1	切换到未被寻址的从机模式; 将识别自身 SLA 或广播呼叫地址; 当总线空闲时将发送起始条件
0xA0	在仍被寻址为从机时 接收到停止条件或 重复起始 条件	无动作	0	0	0	0	切换到未被寻址的从机模式; 不识别自身 SLA 或广播呼叫地址
		无动作	0	0	0	1	切换到未被寻址的从机模式; 将识别自身 SLA 或广播呼叫地址
		无动作	1	0	0	0	切换到未被寻址的从机模式; 不识别自身 SLA 或广播呼叫地址; 当总线空闲时将发送起始条件
		无动作	1	0	0	1	切换到未被寻址的从机模式; 将识别自身 SLA 或广播呼叫地址; 当总线空闲时将发送起始条件

16.3.5.5 其他模式

表 16-7 其他状态

状态码	I2C 状态	软件响应					I2C 硬件的后续动作
		I2C_DAT 操作	I2C_CON 操作				
			STA	STO	SI	AA	
0xF8	无相关状态信息; SI = “0”	无动作	无动作				等待或继续当前传输
0x00	由非法的起始或停止条件引起的总线错误	无动作	0	1	0	X	内部硬件仅在主机模式下、或在地址匹配的从机模式下受影响。此时总线被释放,

复位值: 0x0000 0000

复位值: 0x0000 0000

16.4.4 I2C_CON 控制寄存器

地址偏移: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.									ENS 1	STA	STO	SI	AA	Res.	
									rw	rw	rw	rw	rw		

位	字段	描述
31:7	保留	保留, 必须保持复位值
6	ENS1	I2C 使能位 当 ENS1=0 时, I2C 被禁止, SDA/SCL 输出“1”。 当 ENS1=1 时, I2C 被使能。
5	STA	START 控制位 当软件置位 START 标志且 I2C 处于主机模式时, I2C 总线上将产生一个起始信号。 发送起始条件后, 该位由软件清除。
4	STO	STOP 控制位 当软件置位 STOP 标志且 I2C 处于主机模式时, I2C 总线上将产生一个停止信号。 发送停止条件后, 该位由硬件清除。
3	SI	中断标志位 发生中断时, 中断标志位由硬件置“1”; 软件写“0”可将其清除。
2	AA	ACK 应答控制位 当 AA=1 时, 在下列情况下 I2C 总线上将返回 ACK: - 接收到自身从机地址时。 - 当 I2C_ADR_GC=1 且接收到广播呼叫地址时。 - 当 I2C 处于主机接收模式并接收到一个数据字节时。 - 当 I2C 处于从机接收模式并接收到一个数据字节时。 当 AA=0 时, 在下列情况下 I2C 总线上将返回 NACK: - 当 I2C 处于主机接收模式并接收到一个数据字节时。 - 当 I2C 处于从机接收模式并接收到一个数据字节时。
1:0	保留	保留, 必须保持复位值

16.4.5 I2C_STA 状态寄存器

地址偏移: 0x0C

复位值: 0x0000 00F8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.								STA							
								r							

位	字段	描述
31:8	保留	保留, 必须保持复位值
7:0	STA	I2C 状态码

16.4.6 I2C_DIV 分频寄存器

地址偏移: 0x10

复位值: 0x0000 00F9

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIV															
rw															
位	字段		描述												
31:16	保留		保留，必须保持复位值												
15:0	DIV		SCL 分频系数 SCL baud = pclk/(4*(DIV+1) (DIV >= 16'h3)												

17 USART 通用同步异步收发器

17.1 简介

通用同步/异步收发器（USART）提供了一种与外部设备进行全双工数据交换的灵活方式。USART 利用内置的波特率发生器（支持整数和小数格式）可提供非常宽的波特率范围。

它支持异步模式（UART）、同步模式，并在异步模式（UART）下支持单线半双工通信。

17.2 USART 特性

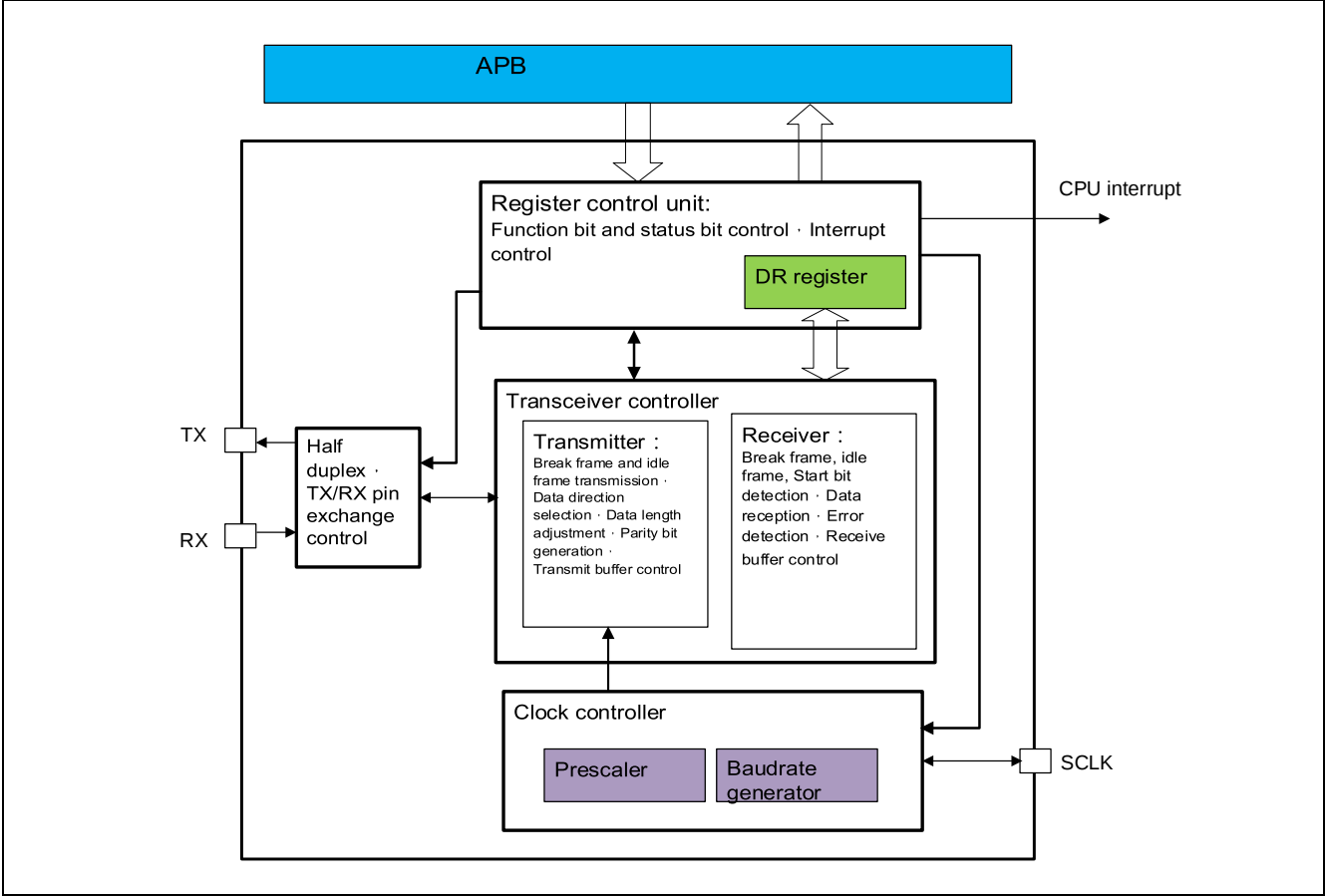
- 支持全双工异步通信和全双工时钟同步通信
- 波特率发生器（支持整数和小数格式）
 - ◆ 波特率可编程，可用于发送器或接收器（最小分频系数为 1）
- 独立的发送和接收 FIFO 寄存器，发送器和接收器具有独立的使能位
- 支持 LSB/MSB 收发模式
- 数据字长可编程（8 位或 9 位）
- 停止位可配置（1/2 个停止位）
- 奇偶校验位可配置（奇校验、偶校验、无校验）
- 支持空闲帧的产生（使能 TE 时自动输出）和接收检测
- 支持 Tx 与 Rx 引脚交换以及 Tx 与 Rx 信号反相
- 支持下列中断源：
 - ◆ Tx 数据寄存器空（TXE）
 - ◆ 发送完成（TC）
 - ◆ Rx 数据有效（RXNE）
 - ◆ Rx 缓冲溢出（OVR）
 - ◆ Rx 空闲帧完成（IDLE）
 - ◆ 奇偶校验错误（PE）
 - ◆ 噪声标志（NF）和帧错误（FE）

17.3USART 功能描述

17.3.1 功能框图

USART 的功能框图可参考如下：USART 可分为寄存器相关的控制单元、收发数据控制器、时钟控制器以及引脚控制逻辑单元。

图 17-1 USART 功能框图



17.3.2 信号描述

信号名	类型	描述
USART_SCLK	输出或输入	同步模式下的输入或输出时钟引脚
USART_TX	输出或输入	发送数据引脚，或半双工收发数据引脚
USART_RX	输入	接收数据引脚（全双工时）

17.3.3 功能描述

全双工通信要求 USART 至少使用两个引脚：接收数据输入（RX）和发送数据输出（TX）。

RX: 外部串行数据通过该引脚传送到 USART 接收器。采用过采样技术区分有效输入数据与传输过程中产生的噪声，以实现数据恢复。

TX: USART 发送器内部产生的串行数据通过该引脚输出。当发送器使能且无数据发送时，TX 引脚为高电平。空闲状态是发送或接收之前总线的初始状态。

有一个起始位，用“0”表示。

在 USART 通信过程中，一个数据帧（8 位或 9 位）可以按最低有效位在前（LSB）或最高有效位在前（MSB）的方式收发。

停止位用“1”表示一帧的结束，位数可配置为 1 或 2。

内部波特率发生器通过编程波特率寄存器 USART_BRR 来控制，以获得数据传输所需的波特率（参考 12.3.5

节中的波特率计算公式)。17.3.5

通过配置 USART_CR2 寄存器中的 SWAP 位，可以交换 Tx 和 Rx 引脚的接口。

通过配置 USART_CR2 寄存器中的 RXTOG/TXTOG 位，可以将接收/发送端的电平信号反相（包括起始位和停止位）。

此外，USART 模块支持同步模式（不同于 UART），因此需要下列引脚：

- SCLK 发送器时钟输出或时钟输入：该引脚用于同步模式。在同步模式下支持时钟输入和输出功能，时钟极性和相位由软件配置。

17.3.4 字符描述

通过编程 USART_CR1.DL 位，字长可选择为 8 位或 9 位。发送起始位期间，发送器将 TX 引脚拉低；发送停止位期间将其拉高。

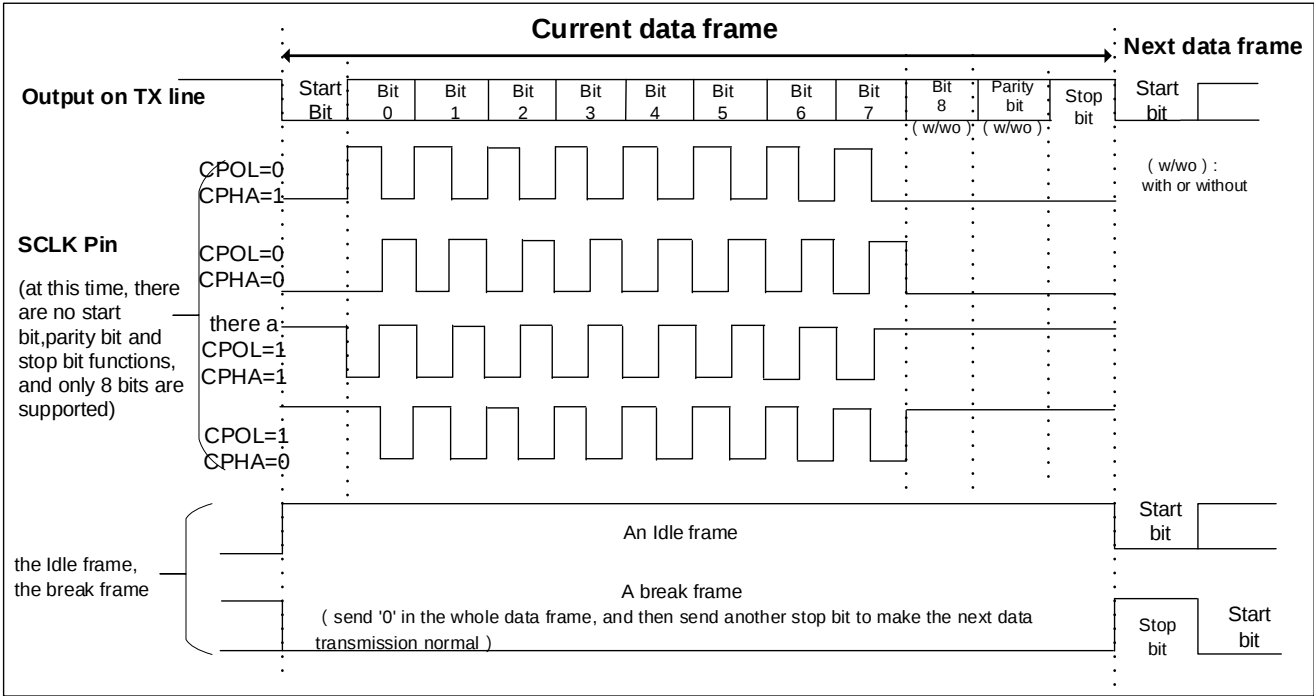
空闲帧被解释为整个数据帧（包括停止位）全为“1”。下一个数据帧的起始位紧随空闲帧之后。

断开帧被解释为整个数据帧（包括停止位）全为“0”。断开帧结束时，发送器再发送一个“1”停止位，以确认下一帧的起始位（产生一个下降沿供 Rx 端检测）。

当分别为发送器和接收器置位使能位后，波特率发生器产生的时钟被提供给发送器或接收器。

下图为数据帧格式、断开帧和空闲帧的示意图。

图 17-2 UART 数据帧类型图



17.3.5 波特率发生器

对于每种通信模式，可按下列公式配置波特率。

- 对于异步模式（UART）和多处理器模式（包括 LIN 协议下的多处理器）：

通信波特率：

$$f_{baudrate} = \frac{PCLK}{N \times (MFD + FFD/N)}$$

误差 E (%)：

$$E(\%) = \left\{ \frac{PCLK}{f_{baudrate} \times N \times (MFD + FFD/N)} - 1 \right\} \times 100$$

上式中，PCLK 为内部时钟源的频率；MFD 和 FFD 分别为 USART_BRR 波特率配置中的整数分频和小数分频；N=8（2OVER8）。通过配置 USART_CR1.OVER8 选择过采样模式；当 OVER8=1（8 倍过采样）时，FFD [3:0] 只使用低 3 位，用户应将 FFD [3] 位配置为 1'h0。x -

- 对于同步模式：

通信波特率：

$$f_{baudrate} = \frac{PCLK}{4 \times MFD}$$

上式中，PCLK 为内部时钟源的频率；MFD 为 USART_BRR 中的整数波特率配置。在同步模式下，小数分频（FFD）无效，用户应将 FFD [3:0] 配置为 4'h0。

17.3.6 采样

UART 的内置检测电路检测数据帧的起始并对 RX 引脚采样。UART 使用数据波特率 8 倍或 16 倍的时钟对 RX 引脚上的数据进行采样。

可配置 USART_CR1.OVER8 位来选择 USART 使用数据波特率 16 倍还是 8 倍的时钟对 RX 引脚上的数据采样。

选择 8 倍过采样（OVER8=1）时，可以获得更高的速度（最高 fPCLK/8），但接收器对时钟偏差的最大容差会降低。

17.3.7 奇偶校验控制

通过置位 USART_CR1.PCE 位可以使能奇偶校验控制（发送时产生校验位，接收时进行校验）。USART_CR1.PS 位用于为数据选择奇校验或偶校验。

偶校验：数据和校验位中“1”的总数为偶数。

奇校验：数据和校验位中“1”的总数为奇数。

奇偶校验控制有效时：

- 发送器将自动产生一个校验位，并在停止位之前输出。
- 接收器将检测校验位并判断是否出错。若校验位错误，硬件将自动置位 USART_SR.PE 标志，但当前接收到的数据仍会从移位寄存器传送到 USART_DR 寄存器。

17.3.8 发送器

当置位 USART_CR1.TE 位时，发送器被使能，串行数据从 TX 引脚输出。发送数据寄存器 USART_DR 与内部发送移位寄存器构成双缓冲结构，可以连续发送数据。对于 UART 模式，可通过配置 USART_CR1.DL 位选择数据长度（8 位或 9 位）。

17.3.8.1 字符发送

在 USART 发送过程中，数据从 USART_DR 寄存器写入，数据帧字节经发送移位寄存器按最低有效位在前（USART_CR1.MLS=0）或最高有效位在前（USART_CR1.MLS=1）的顺序从 TX 引脚移出。

数据发送顺序：起始位、字符、校验位（有或无）、停止位。

停止位的个数可在 USART_CR2.STOP [1:0] 寄存器中配置为 1 或 2。

在数据发送完成之前不应清除 USART_CR1.TE 位，否则波特率发生器将立即停止产生时钟，导致正在发送的数据的后半部分丢失。

17.3.8.2 发送断开帧

置位 USART_CR1.SBK 位可发送断开帧。若在发送过程中将 SBK 位置“1”，则要等当前字符发送完成后才可在 TX 引脚上发送断开帧。

断开帧发送完成后，SBK 位由硬件自动清除，并额外发送一个高电平停止位（以确保下一帧数据的起始位能够被检测到）。

断开帧的长度取决于数据帧长度（CR2.DL）、校验使能位（CR1.PS）和停止位（CR2.STOP）。例如，无校验位且停止位为 1 位时，若 CR2.DL=0，断开帧为连续 10 个“0”位；若 CR2.DL=1，则为连续 11 个“0”位。

17.3.8.3 发送配置流程

参考下列流程配置 USART 发送数据帧。

1. 配置 USART 所需的引脚功能。
2. 使能 USART（USART_CR1.UE=1）。
3. 配置 USART_BRR。
4. 根据数据帧发送等需求配置 USART_CR1、USART_CR2 和 USART_CR3 寄存器。
5. 使能发送器（USART_CR1.TE=1）；若需要发送数据寄存器空中断，则设置 USART_CR1.TXEIEN=1。

6. 等待发送数据寄存器为空，将通信数据写入 USART_DR，数据被传送到发送移位寄存器，随即开始发送。

7. 若需要连续发送数据，重复步骤 6。

8. 通过检查 USART_SR.TC 位确认发送完成。若配置了 TCIE=1，则在最后一帧发送完成后产生发送完成中断。

注：USART 的发送器支持两种中断，即发送数据寄存器空中断 TXE 和发送完成中断 TC，可通过 USART_SR 寄存器中的状态位查询。若 TXEIE=1，当 USART_DR 寄存器的值被传送到发送移位寄存器时产生 TXE 中断；若 TCIE=1，当最后一位数据发送完毕且没有新数据写入 USART_DR 寄存器时产生 TC 中断。

17.3.9 接收器

数据寄存器 USART_DR 与内部接收移位寄存器构成双缓冲结构，可以连续接收数据。

对于 UART 模式，可通过配置 USART_CR1.DL 位选择数据长度（8 位或 9 位）。

接收器使能位 USART_CR1.RE 置“1”并检测到起始位后，RX 引脚上的数据被接收到接收移位寄存器中。当接收完一个数据帧后，数据从接收移位寄存器传送到数据寄存器 USART_DR，同时状态标志 RXNE 被置“1”。若 RXNEIE=1，则允许 RXNE 中断请求。当 CPU 利用该请求读取接收到的数据时，每次请求只能读取一次数据。

数据接收顺序：起始位 -> 数据位（MSB/LSB）-> 校验位（有或无）-> 停止位。

17.3.9.1 接收断开帧

当 USART 接收器识别到断开帧时，将置位 USART_SR.FE 标志（相当于在停止位处接收到“0”）。

17.3.9.2 接收空闲字符

当 UART 正常工作时，接收器接收到空闲帧时将置位 USART_SR.IDLE 标志。

配置 IDLEIE=1 可允许 IDLE 中断请求。

17.3.9.3 接收配置流程

参考下列流程配置 USART 接收数据帧。

1. 配置 USART 所需的功能引脚。
2. 使能 USART（USART_CR1.UE=1）。
3. 配置 USART_BRR。
4. 根据数据帧等需求配置 USART_CR1、USART_CR2 和 USART_CR3 寄存器。
5. 配置 USART_BRR 以设置通信波特率（若时钟源为外部时钟则无需配置）。
6. 使能接收器（USART_CR1.RE=1）；若需要接收中断，则设置 USART_CR1.RXNEIE=1。
7. 检测到起始位后，接收器将数据接收到接收移位寄存器中，并检查校验位和停止位。共有三个错误标志：PE、FE 和 ORE。未发生错误时，接收到的数据从接收移位寄存器传送到 USART_DR 寄存器，RXNE 标志置“1”。

8. 可通过 RXNE 中断读取接收到的数据。若需要连续接收数据，重复步骤 7。

9. 若接收过程中检测到任何接收错误，将置位相应的错误标志。

注：为防止溢出错误，必须在下一个字符接收结束之前清除 RXNE 位（软件读取数据寄存器 USART_DR）。当发生 PE、FE 或 ORE 任一接收错误时，将无法继续接收数据，但清除所有错误标志后可以重新开始接收数据。

- 发生溢出错误时，接收到的数据丢失，ORE 状态位置“1”，但不产生 RXNE 中断。
- 发生校验错误时，接收到的数据被传送到 USART_DR，PE 状态位置“1”，但不产生 RXNE 中断。
- 发生帧错误时，接收到的数据被传送到 USART_DR，FE 状态位置“1”，但不产生 RXNE 中断。

17.3.10 同步模式

将 USART_CR1.SAS 位配置为“1”即可使能同步模式（同时时钟引脚功能有效）。

在同步模式下，用户应将 USART_CR2.HDSEL 位配置为“0”。

同步模式支持主模式和从模式：主模式下，时钟由内部波特率发生器产生，同时被使用并输出；从模式下，时钟由 SCLK 引脚输入。在同步模式下，USART 可以与 SPI 进行数据通信（此时用户应将 SPI 与 USART 的

时钟极性和时钟相位配置为一致)。

17.3.10.1 时钟描述

将 USART_CR2.CLKEN 位配置为“1”即可使能时钟引脚功能。此外,根据 USART_CR3.CKINE 位选择使用内部波特率时钟还是来自 SCLK 引脚的输入时钟进行数据通信。

选择内部波特率时钟时,可通过 SCLK 引脚输出同步时钟。

1 个数据帧的收发由 8 个时钟脉冲组成。

当 RE 和 TE 均为“0”时,时钟输出停止,并固定在 USART_CR2.CPOL 所配置的电平。

通过配置 USART_CR2.CPOL 位选择时钟极性;通过配置 USART_CR2.CPHA 位选择外部时钟相位。

17.3.10.2 时钟同步描述

当 SCLK 引脚用作发送器的时钟输出时,仅在数据段输出时钟,一帧数据输出 8 个时钟脉冲。最后一位发送完毕后,通信线保持最后一位的值,时钟输出固定在高电平或低电平(由 CPOL 位决定)。

USART 接收器在同步模式下的工作方式与异步模式不同。若 RE=1,数据在 SCLK 的变化边沿(上升沿或下降沿,取决于 CPOL 和 CPHA 位的配置)被采样,不进行任何过采样。此时必须保证足够的建立时间和保持时间以满足时序要求(类似于 SPI 协议)。

使用内部时钟源时,内部波特率发生器产生的波特率按下式计算:

$$f_{baudrate} = \frac{PCLK}{4 \times MFD}$$

式中,通信波特率的单位为 MBps;PCLK 为内部时钟源的频率;MFD 为 USART_BRR 中的整数波特率配置(注意在同步模式下应配置 MFD ≥ 2)。在同步模式下,小数分频(FFD)无效,用户应将 FFD[3:0] 配置为 4'h0。

因此,使用内部时钟源且 MFD=2 时,同步模式的最高波特率为 PCLK/8 (MBps)。

使用外部时钟源时,外部输入时钟所需的最高频率为 PCLK/8 (MHz),此时最高波特率同样为 PCLK/8 (MBps)。

17.3.11 单线半双工通信

将 USART_CR3.HDSEL 位配置为“1”即可使能单线半双工模式。

在单线半双工模式下,TX 和 RX 引脚通过芯片内部逻辑相连,同时:

- RX 引脚悬空,不参与传输。传输时 USART 的 TX 直接与另一个 USART 的 TX 相连。
- 正在发送数据时,TX 保持被占用,直到停止位发送完毕。
- 无数据发送时 TX 始终被释放。因此在空闲或接收时,它相当于一个标准 IO。这意味着当 TX 未被 USART 驱动时,其对应的 IO 必须配置为浮空输入(或开漏输出高)。

除单线引脚的配置外,其余配置与普通发送方式类似。

通信之前,两个 USART 都使能 RXEN 以保持在等待接收状态。需要通信时,两个 USART 必须约定由哪一方发送,发送方在 USART_CR1 寄存器中关闭 RE 并使能 TE。若两个 USART 同时尝试发送数据,将产生冲突(硬件不会阻止 USART 发送:只要置位了发送器使能位 TE,一旦写入 USART_DR,TX 就会发送数据)。

17.3.12 中断

USART 模块支持下列中断源:

表 17-1 UART 中断请求

中断事件	中断状态位	使能位	USART	同步模式
发送数据寄存器空	TXE	TXEIE	√	√
发送完成	TC	TCIE	√	√
接收数据寄存器满	RXNE	RXNEIE	√	√
检测到空闲线	IDLE	IDLEIE	√	-
校验错误	PE	PEIE	√	-
噪声标志	NF	ERRIE	√	-
溢出错误	ORE	ERRIE	√	√
帧错误	FE	ERRIE	√	-

注:“√”表示使用该中断,“-”表示不使用该中断。

17.4 寄存器

17.4.1 寄存器概览

表 17-2 USART 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	USART_SR	状态寄存器	0x0000_00C0
0x04	USART_DR	数据寄存器	0x0000_01FF
0x08	USART_BRR	波特率寄存器	0x0000_0000
0x0C	USART_CR1	控制寄存器 1	0x0000_0000
0x10	USART_CR2	控制寄存器 2	0x0000_0000
0x14	USART_CR3	控制寄存器 3	0x0000_6000

17.4.2 USART_SR 状态寄存器

地址偏移：0x00

复位值：0x0000 00C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								TXE	TC	RXNE	IDLE	ORE	NF	FE	PE
								r	r	rc_w 0	r	r	r	r	r

位	字段	描述
31:8	保留	保留，必须保持复位值
7	TXE	发送数据寄存器空 0：发送数据寄存器非空（数据尚未传送到移位寄存器） 1：发送数据寄存器为空（数据已传送到移位寄存器） TXE 位由硬件自动置位和清除。当数据尚未传送到移位寄存器时（写 DR 寄存器时），硬件将清除 TXE；当数据从 DR 传送到移位寄存器时，硬件将该位置“1”。
6	TC	发送完成 0：发送未完成 1：发送已完成 TC 的清除条件： 当 TE=1 时将发送数据写入数据寄存器。 TC 的置位条件： TE=0，或数据帧最后一位发送完毕时发送数据寄存器 USART_DR 未被更新。
5	RXNE ^{*注 1}	接收数据寄存器非空 0：未接收到有效数据 1：已接收到有效数据 注：RXNE 位由硬件置位和清除，也可通过向其写“0”清除。接收到有效数据时，RXNE 位由硬件自动置位；读取接收到的数据后，由硬件清除。
4	IDLE ^{*注 2}	检测到空闲帧 0：未检测到空闲帧 1：检测到空闲帧 检测到空闲帧时，该位由硬件自动置位。
3	ORE ^{*注 2}	溢出错误 0：无溢出错误 1：检测到溢出错误 注：当 RXNE=1（已存在可读数据）时又接收到新的数据帧，该位由硬件自动置位。

位	字段	描述
2	NF ^{*注 2}	噪声检测标志 0: 未检测到噪声 1: 检测到噪声 注: 在接收信号线上检测到噪声时, 该位由硬件自动置位。
1	FE ^{*注 2}	帧错误 0: 未检测到帧错误 1: 发生帧错误 在下列情况下该位由硬件自动置位: 异步 (UART) 模式下, 接收到的数据帧的停止位为低电平。 注: FE=1 时, 接收到的数据仍会从移位寄存器传送到数据寄存器, 但不会产生 RXNE 中断请求信号, 且后续的数据接收将被停止。
0	PE ^{*注 2}	校验错误 0: 无校验错误 1: 发生校验错误 数据接收过程中发生校验错误时, 该位由硬件自动置位。 注: PE=1 时, 接收到的数据仍会从移位寄存器传送到数据寄存器, 但不会产生 RXNE 中断请求信号, 且后续的数据接收将被停止。

*注 1: 该位可由软件写“0”清除。
*注 2: 该位可通过软件序列清除 (先读状态寄存器, 再对 USART_DR 数据寄存器执行读访问)。

17.4.3 USART_DR 数据寄存器

地址偏移: 0x04
复位值: 0x0000 01FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留							DR[8:0]								
							rw								

位	字段	描述
31:9	保留	保留, 必须保持复位值
8:0	DR[8:0]	发送/接收数据寄存器 存放接收或发送的数据字符, 取决于读还是写。读取时表示接收数据; 写入时表示发送数据。 最高位 DR [8] 仅在异步 (UART) 模式且数据长度设为 9 位 (DL=1) 时有效。

17.4.4 USART_BRR 波特率寄存器

地址偏移: 0x08
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												MFD [15:12]			
												rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MFD [11:0]												FFD[3:0]			
rw												rw			

位	字段	描述
31:16	保留	保留, 必须保持复位值
19:4	MFD [15:0]	波特率的整数分频 这 16 位定义了 USART 波特率的整数分频值。 在使能发送或接收 (TE 或 RE 置 1) 之前, 必须根据波特率需求修改该值。

位	字段	描述
3:0	FFD[3:0]	波特率的小数分频 这 4 位定义了 USART 波特率的小数分频值。 在使能发送或接收（TE 或 RE 置 1）之前，必须根据波特率需求配置该值。 注：当 FFD [3:0] =4'h0 时，小数分频功能被禁止。在异步（UART）模式下，若 USART_CR1.OVER8=1，则 FFD [3] 无效，请配置 FFD [3] =0。在同步模式下，小数分频无效，应配置 FFD [3:0] =4'h0。

17.4.5 USART_CR1 控制寄存器 1

地址偏移：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留														SAS	MLS
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVER8	Res.	UE	DL	Res.	PCE	PS	PEIEN	TXELEN	TCIEN	RXNEIEN	IDLEIEN	TE	RE	Res.	SBK
rw		rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw		rw

位	字段	描述
31:18	保留	保留，必须保持复位值
17	SAS	同步/异步模式选择 0: UART 模式（异步） 1: 同步模式（同步） 注：用户应在 TE=0 且 RE=0 时配置该位。
16	MLS	MSB/LSB 模式选择 0: LSB 模式 1: MSB 模式 注：用户应在 TE=0 且 RE=0 时配置该位。
15	OVER8	UART 过采样模式 0: 16 倍过采样 1: 8 倍过采样 注：用户应在 TE=0 且 RE=0 时配置该位。
14	保留	保留，必须保持复位值
13	UE	USART 使能 0: 禁止 USART 预分频器和引脚输出 1: 使能 USART 清除该位时，USART 预分频器和输出停止，当前传输被停止以降低功耗。注：该位由软件置位和清除。
12	DL	数据长度 0: 8 位 1: 9 位 注：用户应在 TE=0 且 RE=0 时配置该位。
11	保留	保留，必须保持复位值
10	PCE	奇偶校验控制使能 0: 禁止奇偶校验控制 1: 使能奇偶校验控制 注：该位由软件置位或清除。在同步模式下必须保持复位值。
9	PS	校验方式选择 0: 偶校验 1: 奇校验 注：该位由软件置位和清除，仅当 PCE=1 时有效。
8	PEIEN	PE 中断使能 0: 禁止 PE 中断请求 1: 使能 PE 中断请求 注：该位由软件置位和清除。

位	字段	描述
7	TXEIEIN	TXE 中断使能 0: 禁止 TXE 中断请求 1: 使能 TXE 中断请求 注: 该位由软件置位和清除。
6	TCIEIN	发送完成中断使能 0: 禁止 TC 中断请求 1: 使能 TC 中断请求 注: 该位由软件置位和清除。
5	RXNEIEIN	RXNE 中断使能 0: 禁止 RXNE 中断请求 1: 使能 RXNE 中断请求 注: 该位由软件置位和清除。
4	IDLEIEIN	IDLE 中断使能 0: 禁止 IDLE 中断请求 1: 使能 IDLE 中断请求 注: 该位由软件置位和清除。
3	TE	发送器使能 0: 禁止发送器 1: 使能发送器 注: 该位由软件置位和清除。在同步模式下, 若需要同时收发, 用户必须同时配置 TE 和 RE 位, 以保证时钟与数据的时序正确。
2	RE	接收器使能 0: 禁止接收器 1: 使能接收器 注: 该位由软件置位和清除。在同步模式下, 若需要同时收发, 用户必须同时配置 RE 和 TE 位, 以保证时钟与数据的时序正确。
1	保留	保留, 必须保持复位值
0	SBK	发送断开帧 0: 不发送断开帧 1: 将发送断开帧 置位该位用于发送断开帧。该位由软件置位, 断开帧发送完毕后由硬件自动清除。

17.4.6 USART_CR2 控制寄存器 2

地址偏移: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWAP	Res.	STOP[1:0]		Res.	CPL	CPHA	Res.								
rw		rw			rw	rw									

位	字段	描述
31:15	保留	保留, 必须保持复位值
15	SWAP	交换输入与输出引脚 0: IO 引脚功能不交换 1: IO 引脚功能的输入与输出交换 注: 一旦置位 SWAP 位, 需要相应更改 GPIOx_CRL 寄存器中的 MODE, 例如原来的输入模式需改为输出模式。
14	保留	保留, 必须保持复位值

位	字段	描述
13:12	STOP[1:0]	停止位 UART 模式： 00: 1 个停止位 10: 2 个停止位 01: 保留 11: 保留
11	保留	保留，必须保持复位值
10	CPOL	时钟极性 0: 空闲时时钟为低电平 1: 空闲时时钟为高电平 注：该位与 CPHA 位配合使用以产生所需的时钟/数据关系（仅在同步模式下有效）。
9	CPHA	时钟相位 0: 第一个时钟跳变沿为第一个数据捕获边沿 1: 第二个时钟跳变沿为第一个数据捕获边沿。 注：该位与 CPOL 位配合使用以产生所需的时钟/数据关系（仅在同步模式下有效）。
8:0	保留	保留，必须保持复位值

17.4.7 USART_CR3 控制寄存器 3

地址偏移：0x14

复位值：0x0000 6000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.		TXT OG	RXT OG	保留											CKIN E
		rw	rw												rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.				ONE BIT	Res.							HDS EL	Res.		ERRI EN
				rw								rw			rw

位	字段	描述
31:30	保留	保留，必须保持复位值
29	TXTOG	发送反相位 0: 禁止发送反相 1: 使能发送信号电平反相
28	RXTOG	接收反相位 0: 禁止接收反相 1: 使能接收信号电平反相
27:17	保留	保留，必须保持复位值
16	CKINE	同步模式下的时钟输入许可 该位用于控制时钟是否由外部输入（该位在 CR1.SAS 位为“1”时有效）： 0: 时钟不由外部输入 1: 时钟由外部输入 注：用户应在 TE=0 且 RE=0 时配置该位。
15:12	保留	保留，必须保持复位值
11	ONEBIT	UART 单次采样位方式使能 0: 三次采样（多数表决） 1: 单次采样 注：用户应在 TE=0 且 RE=0 时配置该位。选择单次采样位方式时，噪声检测标志（USART_SR.NF）将无效。
10:4	保留	保留，必须保持复位值
3	HDSEL	单线半双工选择 0: 全双工模式 1: 半双工模式
2:1	保留	保留，必须保持复位值

位	字段	描述
0	ERRIEN	错误中断使能 0：禁止错误中断请求 1：使能错误中断请求 错误中断包括 FE、ORE 和 NF。 注：读写 DR 时，用户可配置 ERRIEN=1，以允许 USART 通信异常时向 CPU 发送中断请求。

18 SYSCFG 系统控制器

18.1 简介

芯片包含一组系统配置寄存器，这些寄存器的主要功能：

- 管理连接到 GPIO 端口的中断（引脚配置）
- 将存储器重映射到代码初始区
- 部分外设的系统级配置

18.2 GPIOA 数码管驱动

该芯片提供专用 I/O 引脚，可驱动最多 5 个 8 段共阴极 LED 数码管。GPIOA 上最多 5 个特定 I/O 引脚可配置为灌电流模式（最大 80 mA），用于控制数码管的公共阴极；最多 8 个特定 I/O 引脚可配置为恒流源模式（可选 2.5、5、7.5 或 10 mA），用于控制数码管的段选。

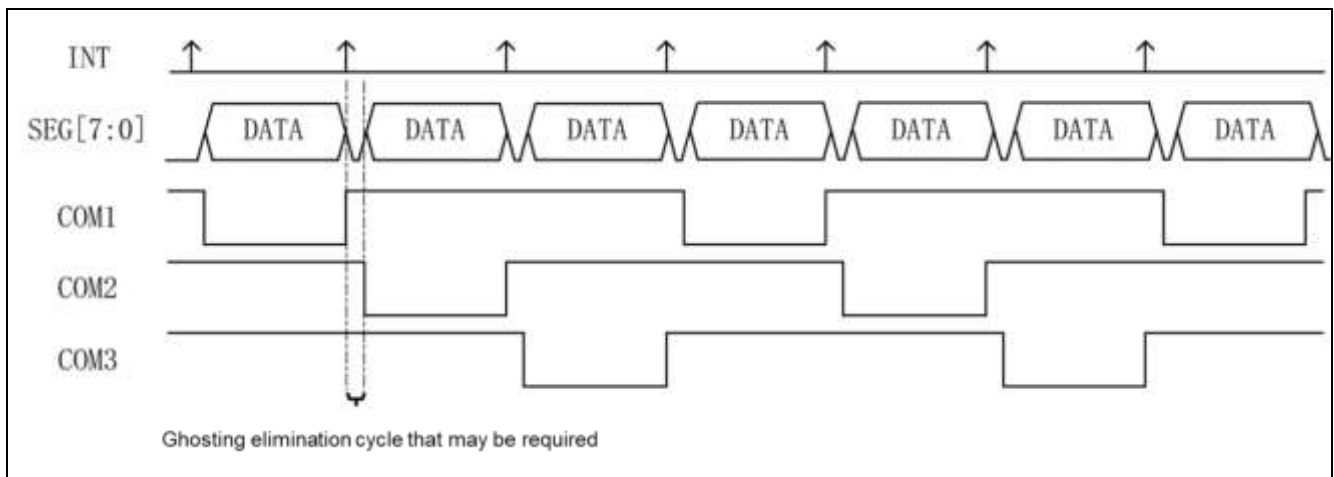
在灌电流模式下，该 I/O 具有更强的灌电流能力，其余功能与标准 GPIO 相同。在恒流源模式下，IO 的输入功能被强制关闭；配置 ODR = 1 时输出电流，配置 ODR = 0 时切断电流并使 IO 悬空；若对应的 LEDIOx[1] 配置为 1，则可强制 IO 输出 0。

显示过程描述如下：

- 配置 RCC->AHBENR[17] 使能 GPIOA 时钟，配置 RCC->APB1ENR[30] 使能 SYSCFG 时钟。
- 配置 GPIOA，将所需的 GPIO 引脚切换为通用推挽输出模式。
- 配置 SYSCRG_LEDIOCR 和 SYSCREG_HCIOCR，将所需的 GPIO 切换为灌电流模式或恒流源模式。
- 建立基于定时器的轮询机制或中断，并配置 GPIOA_ODR 以周期性地段切换和位扫描。
- 根据显示效果调整消隐时间。

典型的输出波形如下图所示：

图 18-13 位 7 段数码管驱动波形示意图



注：进入停机或深度停机等低功耗模式之前，必须配置 ODR 关闭数码管显示；系统退出低功耗模式后，必须重新配置 ODR 以再次驱动数码管。

18.3 内部基准电压

该芯片提供内部基准电压，供模数转换器（ADC）和比较器（COMP）使用。ADC 可通过通道 12 采样并转换内部基准电压值，比较器则可通过反相输入通道 4 选择内部基准电压作为反相输入。

内部基准电压来自两个源。第一个源是模拟电压传感器，输出固定的 1.2V 基准电压；第二个源是模拟温度传感器，输出与温度成反比的电压。

当仅置位 SYSCFG_SENSORCR 中的 VS_EN 位时，内部基准电压选择模拟电压传感器的输出电压；当仅置位 SYSCFG_SENSORCR 中的 TS_EN 位时，内部基准电压选择模拟温度传感器的输出电压。若 TS_EN 和 VS_EN 同时置位，则内部基准电压选择模拟电压传感器的输出；在此状态下，可通过清除或置位 VS_EN 快速切换内部基准电压的来源。

18.4 寄存器

18.4.1 寄存器概览

表 18-1 SYSCFG 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	SYSCFG_CFGR	SYSCFG 配置寄存器	0x00000000
0x08	SYSCFG_EXTICR1	SYSCFG 外部中断配置寄存器 1	0x00000000
0x0C	SYSCFG_EXTICR2	SYSCFG 外部中断配置寄存器 2	0x00000000
0x10	SYSCFG_EXTICR3	SYSCFG 外部中断配置寄存器 3	0x00000000
0x14	SYSCFG_EXTICR4	SYSCFG 外部中断配置寄存器 4	0x00000000
0x1C	SYSCFG_SENSORCR	SYSCFG 模拟传感器配置寄存器	0x00000000
0x20	SYSCFG_LEDIOCR	SYSCFG 恒流源 IO 配置寄存器	0x00000000
0x24	SYSCFG_HCIOCR	SYSCFG 灌电流 I/O 配置寄存器	0x00000000

18.4.2 SYSCFG_CFGR 配置寄存器

该寄存器有两个控制位 MEM_MODE，用于配置初始地址 0x00000000。

地址偏移：0x0

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.														MEM_MODE	
														rw	

Bit	Field	Description
31: 2	保留	保留，必须保持复位值
1:0	MEM_MODE	存储器模式选择位 控制存储器内部映射到地址 0x0000 0000。 x0: 主闪存映射到 0x0000 0000 01: 系统 Flash 映射到 0x0000 0000 11: 内置 RAM 映射到 0x0000 0000

18.4.3 SYSCFG_EXTICR1 外部中断配置寄存器 1

地址偏移：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI3				EXTI2				EXTI1				EXTI0			
rw				rw				rw				rw			

位	字段	描述
31:16	保留	保留，必须保持复位值

位	字段	描述
15:0	EXTIx	EXTIx 配置 (x=0...3) 选择 EXTIx 外部中断的输入源。0000: PA[x] 引脚 0001: PB[x] 引脚

18.4.4 SYSCFG_EXTICR2 外部中断配置寄存器 2

地址偏移: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI7				EXTI6				EXTI5				EXTI4			
rw				rw				rw				rw			

位	字段	描述
31:16	保留	保留, 必须保持复位值
15:0	EXTIx	EXTIx 配置 (x=4...7) 选择 EXTIx 外部中断的输入源。0000: PA[x] 引脚 0001: PB[x] 引脚

18.4.5 SYSCFG_EXTICR3 外部中断配置寄存器 3

地址偏移: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI11				EXTI10				EXTI9				EXTI8			
rw				rw				rw				rw			

位	字段	描述
31:16	保留	保留, 必须保持复位值
15:0	EXTIx	EXTIx 配置 (x=8...11) 选择 EXTIx 外部中断的输入源。 0000: PA[x] 引脚 0001: PB[x] 引脚

18.4.6 SYSCFG_EXTICR4 外部中断配置寄存器 4

地址偏移: 0x014

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI15				EXTI14				EXTI13				EXTI12			
rw				rw				rw				rw			

位	字段	描述
31:16	保留	保留，必须保持复位值
15:0	EXTIx	EXTIx 配置 (x=12...15) 选择 EXTIx 外部中断的输入源。 0000: PA[x] 引脚 0001: PB[x] 引脚

18.4.7 模拟传感器配置寄存器 (SYSCFG_SENSORCR)

偏移地址: 0x01C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.														TS E	VS E
														rW	rW

位	字段	描述
31: 2	保留	保留，必须保持复位值
1	TS_EN	模拟温度传感器使能 (Temperature sensor enable) 0: 模拟温度传感器关闭 1: 模拟温度传感器开启
0	VS_EN	模拟电压传感器使能 (Voltage sensor enable) 0: 模拟电压传感器关闭 1: 模拟电压传感器开启

18.4.8 恒流源 IO 配置寄存器 (SYSCFG_LEDIOCR)

偏移地址: 0x020

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LEDIO7				LEDIO6				LEDIO5				LEDIO4			
rW				rW				Rw				rW			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LEDIO3				LEDIO2				LEDIO1				LEDIO0			

位	字段	描述
31: 28	LEDIO7	恒流源 IO 7 配置 (PA15) 配置可参考 LEDIO 0
27: 25	LEDIO6	恒流源 IO 6 配置 (PA12) 配置可参考 LEDIO 0
24: 20	LEDIO5	恒流源 IO 5 配置 (PA11) 配置可参考 LEDIO 0
23: 16	LEDIO4	恒流源 IO 4 配置 (PA10) 配置可参考 LEDIO 0
15: 12	LEDIO3	恒流源 IO 3 配置 (PA9) 配置可参考 LEDIO 0
11: 8	LEDIO2	恒流源 IO 2 配置 (PA8) 配置可参考 LEDIO 0
7: 4	LEDIO1	恒流源 IO 1 配置 (PA3) 配置可参考 LEDIO 0

位	字段	描述
3: 0	LEDIO0	恒流源 IO 0 配置 (PA2) [3:2]: 恒流源 IO 电流挡位 11: 10.0mA 10: 7.5mA 01: 5.0mA 00: 2.5mA [1]: 恒流源 IO 的N 管配置 1: ODR=0 时, 恒流源 IO 输出 0 0: ODR=0 时, 恒流源 IO 浮空 [0]: 恒流源 IO 使能 1: 恒流源模式 0: GPIO 模式

18.4.9 灌电流 IO 配置寄存器 (SYSCFG_HCIOCR)

偏移地址: 0x024

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.											HCIO 4	HCIO 3	HCIO 2	HCIO 1	HCIO 0
											rw	rw	rw	rw	rw

位	字段	描述
4	HCIO4	灌电流 IO 4 配置(PA7) 配置可参考 HCIO 0
3	HCIO3	灌电流 IO 3 配置(PA6) 配置可参考 HCIO 0
2	HCIO2	灌电流 IO 2 配置(PA5) 配置可参考 HCIO 0
1	HCIO1	灌电流 IO 1 配置(PA4) 配置可参考 HCIO 0
0	HCIO0	灌电流 IO 0 配置(PA0) 1: 灌电流模式 0: GPIO 模式

19 器件电子签名

19.1 简介

器件电子签名存放在闪存模块的系统存储区中，可通过 SWD 或 CPU 读取。它包含出厂时编程的标识数据，使用户固件或其他外部设备能够自动匹配其接口与微控制器的特性。

唯一器件标识符非常适合：

- 用作序列号
- 用作安全密钥，以提高闪存中代码的安全性，
- 在对内部闪存编程之前，将该唯一 ID 与软件加解密算法结合使用
- 用于激活安全启动流程
- 96 位唯一器件标识符提供了一个在任何情况下对任何微控制器都唯一的参考编号。这些位永远不能被用户修改。
- 96 位唯一器件标识符也可以按字节（8 位）/半字（16 位）/字（32 位）以不同方式读取。

19.2 寄存器描述

19.2.1 寄存器概览

基地址：0x1FFF F7E8

表 19-1 器件电子签名寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	UID1	唯一标识符	0xFFFFFFFF
0x04	UID2	唯一标识符	0xFFFFFFFF
0x08	UID3	唯一标识符	0xFFFFFFFF

19.2.2 UID1 唯一标识符

地址偏移：0x00

复位值：该值为默认写入值。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
U_ID (31: 16)															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID (15: 0)															
r															
位	字段					描述									
31: 0	U_ID (31: 0)					U_ID: 31: 0 唯一 ID 位									

19.2.3 UID2 唯一标识符

地址偏移：0x04

复位值：该值为默认写入值。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
U_ID (63: 48)															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID (47: 32)															

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
r															
位		字段				描述									
31: 0		U_ID (63: 32)				U_ID: 63: 32 唯一 ID 位									

19.2.4 UID3 唯一标识符

地址偏移: 0x08
复位值: 该值为默认写入值。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
U_ID (95: 80)															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID (79: 64)															
r															
位		字段				描述									
31: 0		U_ID (95: 64)				U_ID: 95: 64 唯一 ID 位									

20 DBG 调试支持

20.1 简介

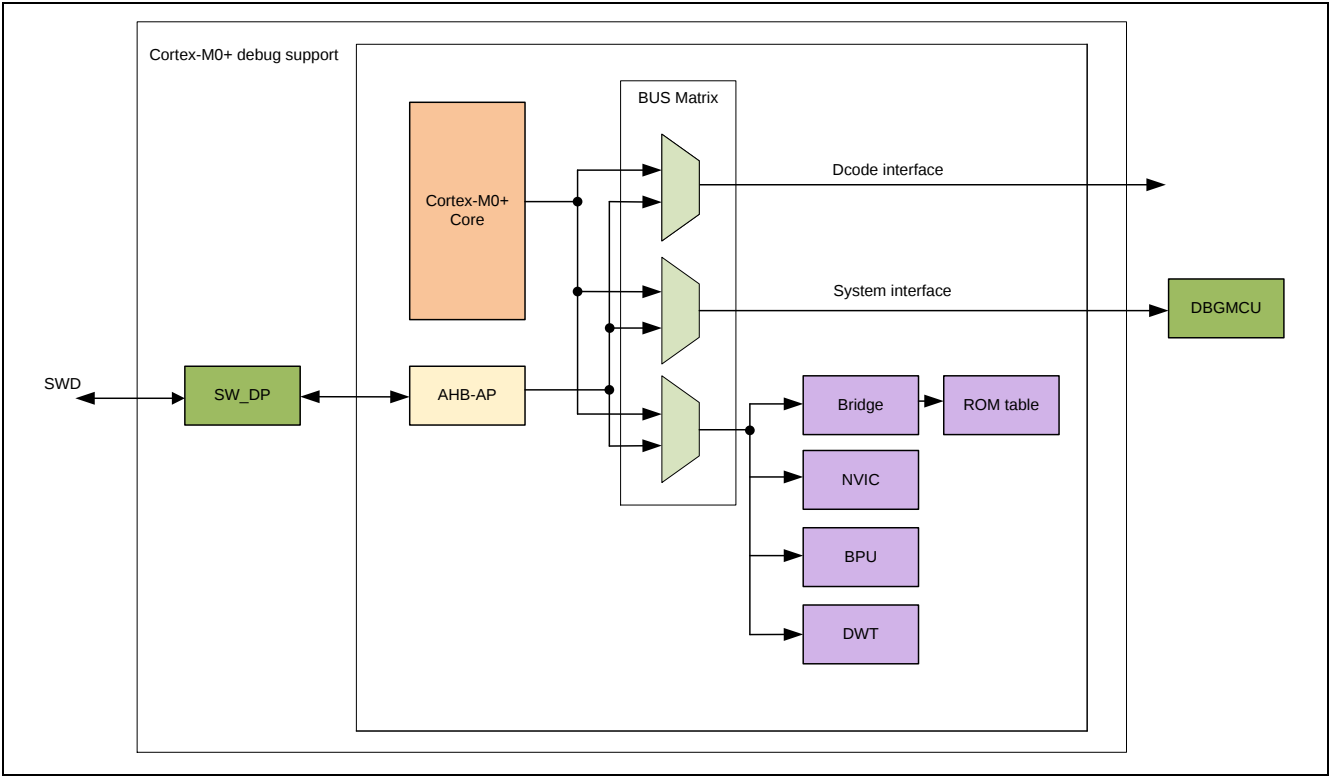
MCU 内核包含调试模块，主要用于功能调试。当内核取指（地址断点）或访问数据（数据断点）时，硬件调试模块可以控制内核停止。用户可以查询内核内部状态和系统状态，查询结束后内核可以继续执行当前程序。

当芯片与调试器连接并开始调试时，调试器会自动调用内核调试模块进行调试操作。

20.2 功能描述

20.2.1 功能框图

图 20-1 调试功能框图



Cortex-M0 内核包含调试单元，由以下部分组成：

- SWDP: SW 调试端口
- BPU: 断点调试单元
- DWT: 数据观察点与跟踪

20.2.2 SWD 内部上下拉

SWD 引脚输入直接控制调试模式，不能悬空。为保证 I/O 电平可控，SWD 引脚内置了上下拉电阻。

- SWDIO: 内部上拉
- SWCLK: 内部下拉

软件可以将这些 I/O 端口用作普通 I/O 端口，此时上下拉功能默认关闭。请参考通用输入/输出 GPIO 章节。

20.2.3 SWD 调试端口

芯片的两个普通 I/O 端口用作 SWD-DP 接口引脚。不同封装的这些引脚都支持 SWD 调试端口。

表 20-1 SWD 调试端口引脚

SWJ-DP 端口引脚名称	SW 调试接口		引脚分配
	类型	调试功能	
SWDIO	输入/输出	串行数据输入/输出	PA13
SWCLK	输入	串行时钟	PA14

20.3ID 编码

芯片有多个 ID 编码，如下所示：

表 20-2 ID 编码

ID 名称	芯片
DEV_ID	0x4C514700
CPU TAP SW ID	0x0BC11477

20.3.1 微控制器器件 ID 编码

微控制器包含器件 ID 编码。该 ID 定义了 MCU 芯片版本，并映射到外部 APB 总线上。该编码可由用户代码和调试接口获取。

20.3.2 Cortex JEDEC-106 ID 编码

微控制器具有 JEDEC-106 ID 编码，位于映射到内部 PPB 总线地址 0xE00FF000_0xE00FFFFF 的 4KB ROM 表中。

20.4SW 调试端口

20.4.1 SW 协议简介

该同步串行协议使用 2 个引脚：从主机到目标的时钟信号（SWCLK）和双向数据信号（SWDIO）。作为双向数据线，SWDIO 引脚内置上拉电阻，不需要额外的外部电阻。数据传输从低位开始，允许读写 DPACC 和 APACC 寄存器。

按照协议，当 SWDIO 改变方向时，需插入一个转换时间（默认为 1 个 Bit 时间，由 SWCLK 调整）。在此期间，任何设备都不能驱动信号线。

20.4.2 SW 协议序列

- 一个序列包含三个阶段：
- 主机发送 8 位请求包；
 - 目标发送 3 位应答响应；
 - 按照配置的方向，主机或目标发送 33 位（含 1 个校验位）数据；

表 20-3 8 位请求包

位	名称	描述
0	起始	必须为 1
1	APnDP	0: 访问 DP 1: 访问 AP
2	RnW	0: 写请求 1: 读请求
4: 3	A[3 : 2]	DP 或 AP 寄存器地址
5	校验	前面各位的校验位
6	停止	0
7	Park	不能由主机驱动。由于存在上拉，目标读出始终为 1

注：每个请求包之后跟随 1 位转换时间。有关 DAPCC 和 APACC 寄存器的更多信息，请参考 ARM 的相关 CPU 技术资料。

表 20-4 3 位响应包

位	名称	描述
2: 0	ACK	001: 失败 010: 等待 100: 成功

注：当响应（ACK）信号为上述任一情形时，响应位之后跟随一个转换时间。

表 20-5 33 位数据包

位	名称	描述
31: 0	WDATA/RDATA	读或写的的数据
32	校验	32 位数据的奇偶校验位

注：读数据位之后需等待一个转换时间。

20.4.3 SW-DP 状态单元（复位、空闲状态、ID 编码）

SW-DP 状态单元使用内部 ID 编码来识别 SW_DP，遵循 JEP-106 标准。具体信息请参考 ARM 的相关手册。

在调试器读取 ID 之前，SW-DP 状态单元不工作。

- 上电复位、DP 从 JTAG 切换到 SWD，或高电平超过 50 个周期时，SW-DP 状态单元处于复位状态；
- 若 RESET 状态之后出现至少 2 个周期的低电平，状态单元将切换到 IDLE 状态；
- 当状态单元处于复位状态时，应先切换到 IDLE 状态并读取 DP-SW ID 寄存器，否则调试器无法进行其他正常传输，并会出现 ACK Fault；

20.4.4 DP 与 AP 读/写访问

- DP 读操作没有延时：调试器直接获取数据（ACK 返回成功状态时）或等待（ACK 返回等待状态时）；
- AP 读操作存在延时，即上一次读操作的结果只能在下一次操作时获取。若下一次操作不是访问 AP，则必须读取 DP-RDBUFF 寄存器以获取上一次读操作的结果；
- DP-CTRL/STAT 寄存器的 READOK 标志位在 AP 读操作和 RDBUFF 读操作之后刷新，用于告知调试器 AP 读操作是否成功；
- SW-DP 具有写缓冲（DP 和 AP 都有写缓冲），因此在其他传输进行期间也可以接受写操作。若写缓冲已满，调试器将收到一个等待 ACK 响应。写缓冲满时，读 IDCODE 寄存器、读 CTRL/STAT 寄存器和写 ABORT 寄存器的操作仍可被接受；
- 由于 SWCLK 与 HCLK 不同步，写操作之后（校验位之后）需插入两个额外的 SWCLK 周期，以确保内部写操作正确完成。这两个额外时钟周期应在线路处于 IDLE 状态时插入。在写 CTRL/STAT 寄存器以发出上电请求时，该操作步骤尤为重要，否则下一次操作（内核上电后的有效操作）将立即执行，从而导致失败；

20.4.5 SW-DP 寄存器

当 APnDP=0 时，访问下列寄存器。

表 20-6 SW-DP 寄存器

A[3:2]	读/写	SELECT 寄存器的 CTRLSEL 位	寄存器	描述
00	读		IDCODE	固定为 0x0BB11477（用于识别 SW-DP）
00	写		ABORT	
01	读/写	0	DP-CTRL/STAT	请求一次系统或调试上电操作；配置 AP 访问操作模式； 控制比较、检查操作； 读取一些状态位（溢出、上电响应）。
01	读/写	1	WIRE CONTROL	配置串行通信物理层协议（如转换时间长度等）
10	读		READ RESEND	允许从一次错误的调试传输中恢复数据，而不必重复最初的 AP 传输。

A[3:2]	读/写	SELECT 寄存器的 CTRLSEL 位	寄存器	描述
10	写		SELECT	选择当前访问端口和有效的 4 字寄存器窗口。
11	读/写		READ BUFFER	该寄存器将捕获上一次从 AP 读操作的数据结果，因此无需再次发起新的 AP 传输即可获取数据

20.4.6 SW-AP 寄存器

当 APnDP=1 时，访问的 AP 寄存器地址由两部分组成：

- A[3: 2] 的值
- DP SELECT 寄存器的当前值

20.5MCU 调试模块（DBGMCU）

MCU 调试模块为调试器提供下列辅助功能：

- 支持低功耗模式
- 断点定时器和看门狗时钟控制

20.5.1 低功耗模式的调试支持

MCU 具有多种低功耗模式，可以关闭 CPU 时钟、降低 CPU 功耗，并通过执行 WFE 或 WFI 指令进入低功耗模式。调试操作必须有 FCLK 和 AHB 总线时钟 HCLK，二者不能关闭。MCU 配备了一些寄存器用于改变低功耗模式的特性，从而支持在低功耗模式下调试代码。具体配置：

- 进入睡眠模式。为使 HCLK 和 FCLK 使用相同的时钟，调试器必须置位 DBG_CR 寄存器的 DBG_SLEEP 位。
- 进入停机模式。必须配置 DBG_STOP 位。该操作将激活内部振荡器 HSI，从而为 FCLK 和 HCLK 提供时钟。

20.5.2 支持定时器、看门狗

发生断点时，根据定时器和看门狗的应用选择定时器的工作模式：

- 计数器继续计数。适用于 PWM 波控制电机的应用
- 计数器停止计数。适用于看门狗计数器的应用。

20.6寄存器

20.6.1 寄存器概览

基地址：0x4001 3400

表 20-7 DBG 寄存器概览

偏移地址	缩写	寄存器名称	复位值
0x00	DBG_IDCODE	DBG ID 编码寄存器	0x4C514700
0x04	DBG_CR	DBG 控制寄存器	0x00000000

20.6.2 DBG_IDCODE ID 编码寄存器

地址偏移：0x00（仅支持 32 位访问，只读）

复位值：0x4C514700

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DEV_ID															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEV_ID															
r															

位	字段	描述
31:0	DEV_ID	器件标识符 只读寄存器，读出始终为复位值

20.6.3 DBG_CR 控制寄存器

地址偏移：0x04（仅支持 32 位访问）

复位值：0x0000 0000（仅 POR 复位，不受系统复位影响）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Res.													DBG_ TIM14 _STO P	Res.		
													rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DBG_ TIM3_ PWM _OFF	Res.	DBG_ TIM1_ PWM _OFF	DBG_ TIM3_ STOP	Res.	DBG_ TIM1_ STOP	Res.	DBG_ IWDG_ _STO P	Res.					DBG_ STOP _FOR_ LDO	Res.	DBG_ STOP	DBG_ SLEE P
rw		rw	rw		rw		rw	rw							rw	rw

位	字段	描述
31:19	保留	保留，必须保持复位值
18	DBG_TIM14_STOP	内核进入调试模式时 TIM14 停止工作 0：选择该定时器时 TIM14 仍正常工作 1：选择该定时器时 TIM14 停止
17:16	保留	保留，必须保持复位值
15	DBG_TIM3_PWM_OFF	内核进入调试模式时 TIM3 PWM 输出 0 0：TIM3 PWM 正常输出 1：TIM3 PWM 输出 0
14	保留	保留，必须保持复位值
13	DBG_TIM1_PWM_OFF	内核进入调试模式时 TIM1 PWM 输出 0 0：TIM1 PWM 正常输出 1：TIM1 PWM 输出 0
12	DBG_TIM3_STOP	内核进入调试模式时 TIM3 停止工作 0：选择该定时器时 TIM3 仍正常工作 1：选择该定时器时 TIM3 停止
11	保留	保留，必须保持复位值
10	DBG_TIM1_STOP	内核进入调试模式时 TIM1 停止工作 0：选择该定时器时 TIM1 仍正常工作 1：选择该定时器时 TIM1 停止
9	保留	保留，必须保持复位值
8	DBG_IWDG_STOP	独立看门狗停止工作 该位与内核是否进入调试状态无关 0：看门狗计数器仍正常工作 1：看门狗计数器停止工作
7:4	保留	保留，必须保持复位值
3	DBG_STOP_FOR_LDO	调试停机模式下的 LDO 状态 0：LDO 进入低功耗模式，正常进入 STOP 模式 1：LDO 不进入低功耗模式，PLL 保持上电，无法真正进入 STOP 模式。 CPU 进入 DEEPSLEEP，HCLK 关闭
2	保留	保留，必须保持复位值
1	DBG_STOP	调试停机模式 0：停机模式下，时钟控制器关闭所有时钟（包括 HCLK 和 FCLK）。退出 STOP 模式时，时钟配置与复位后的配置一致。若需要重新使能 PLL、HSE 时钟，软件必须重新配置时钟控制系统。 1：停机模式下，FCLK 和 HCLK 开启，由 HSI 提供时钟。退出 STOP 模式后，若需要重新使能 PLL、HSE 时钟，需由软件重新配置

位	字段	描述
0	DBG_SLEEP	调试睡眠模式 0：睡眠模式下，时钟 FCLK 开启，FCLK 默认保持已配置的系统时钟，HCLK 关闭。睡眠模式不会复位已配置的时钟系统，退出睡眠模式时软件无需重新配置系统时钟 1：睡眠模式下，FCLK 和 HCLK 时钟由原先配置的系统提供。

21 修订记录

表 21-1 修订记录

日期	版本	内容
2026/09/01	0.01	初始版本