

# **MG32F10x 布线注意事项**

## 目录

1 印制电路板.....	3
2 器件位置 .....	3
3 接地和供电（VSS/VDD） .....	3
4 去耦合 .....	3
5 供电方案 .....	4
6 其他信号 .....	4
7 未用到的 IO 及其性 .....	5
8 时钟.....	5
9 模拟信号 .....	5
10 EMI .....	6

## 1 印制电路板

出于技术的考虑，最好使用有专门独立的接地层(VSS)和专门独立的供电层(VDD)的多层印制电路板，这样能提供好的耦合性能和屏蔽效果。很多应用中，受经济条件限制不能使用这样的印制电路板，那么就需要保证一个好的接地和供电的结构。

## 2 器件位置

为了减少PCB上的交叉耦合，设计版图时就需要根据各自对EMI影响的不同，而把不同的电路分开。比如，大电流电路、低电压电路以及数字器件等。

## 3 接地和供电 (VSS/VDD)

每个模块(噪声电路、敏感度低的电路、数字电路)都应该单独接地，所有的地最终都应在一个点上连到一起。尽量避免或者减小回路的区域。为了减少供电回路的区域，电源应该尽量靠近地线，这是因为，供电回路就像个天线，成为EMI的发射器和接收器。PCB上没有器件的区域，需要填充为地，以提供好的屏蔽效果(特别是对单层PCB，尤其如此)。

## 4 去耦合

所有的引脚都需要适当地连接到电源。这些连接，包括焊盘、连线和过孔应该具备尽量小的阻抗。通常采用增加连线宽度的办法，包括在多层PCB中使用单独的供电层。同时，MG32F10x上每个电源引脚应该并联去耦合的滤波陶瓷电容C(100nF)和化学电容C(10 $\mu$ F)。这些电容应该尽可能的靠近电源/地引脚；或者在PCB另一层，处于电源/地引脚之下。典型值一般从10nF到100nF，具体的容值取决于实际应用的需要。图1显示了这样的电源/地引脚的典型布局。

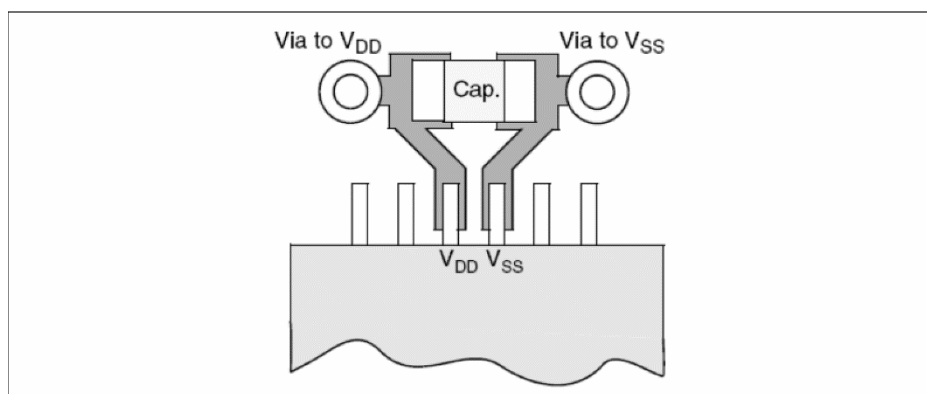


图 1 VDD

/VSS 引脚的典型布局

## 5 供电方案

电路由稳定的电源VDD 供电。

- 注意:

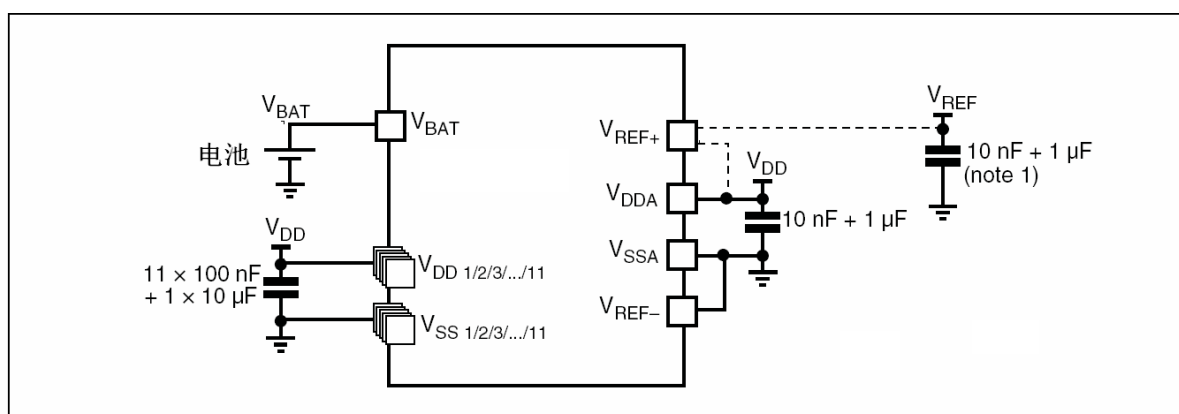
- 如果使用ADC, VDD 的范围必须在2.4V到3.6V之间
- 如果没有使用ADC, VDD 的范围为2V到3.6V

● VDD 引脚必须连接到带外部稳定电容(11个100nF的陶瓷电容和一个钽电容(最小值4.7μF, 典型值10μF))的VDD 电源。

● VBAT 引脚必须被连接到外部电池( $1.8V < V_{BAT} < 3.6V$ )。如果没有外部电池, 这个引脚必须和100nF的陶瓷电容一起连接到VDD 电源上

● VDDA 引脚必须连接到两个外部稳定电容(10nF陶瓷电容+1μF钽电容)。

● VREF+ 引脚可以连接到VDDA 外部电源。如果在VREF+ 上使用单独的外部参考电压, 必须在引脚上连接一个10nF和一个1μF的电容。在所有情况下, VREF+ 必须在2.4V和VDDA 之间。



图

2 供电方案

1. 可选。如果在VREF+ 上使用单独的外部参考电压, 必须连接两个电容(10nF和1uF)。
2. VREF+ 连接到VDDA 或VREF+ 。

## 6 其他信号

实际应用中, 关注以下几点可以提高EMC性能:

● 那些受暂时的干扰会影响运行结果的信号(比如中断或者握手抖动信号, 而不是LED命令之类的信号)。

对于这些信号, 信号线周围铺地, 缩短走线距离, 消除邻近的噪声和敏感的连线都可以提高EMC性能。

对于数字信号, 为有效地区别2种逻辑状态, 必须能够达到最佳可能的信号特性余量(译注:

尽可能抬高逻辑'1'的高电平, 拉低逻辑'0'的低电平)。推荐使用慢速施密特触发器来消除寄生状态。

● 布线时尽可能满足3W原则, 尽可能远离相邻走线减小耦合减少干扰。如果ADC, CMP对精度要求高, 一定要做包地处理。

- 噪声信号(时钟等)。
- 敏感信号(高阻等)。

## 7 未用到的IO及其性

所有微控制器都为各种应用而设计，而通常的应用都不会用到所有的微控制器资源。

为了提高EMC性能，不用的时钟、计数器或者I/O管脚，需要做相应处理，比如，I/O端口应该被设置为'0'或'1'(对不用到的I/O引脚上拉或者下拉)；没有用到的模块应该禁止或者“冻结”。

## 8 时钟

尽可能减少LSE和HSE之间的平行走线。下图3中LSE和HSE从焊盘引出时，走线直接分开。

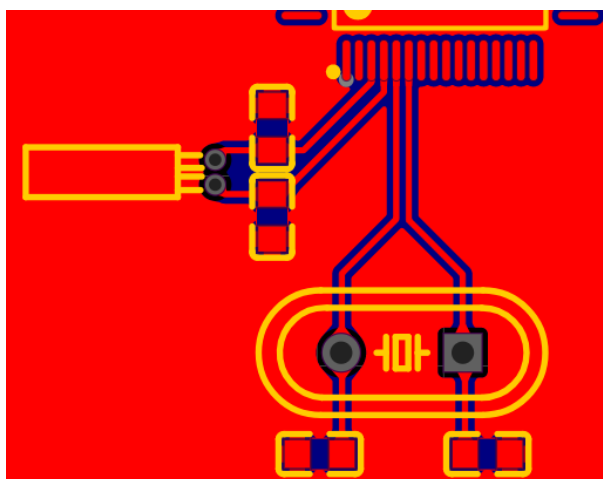


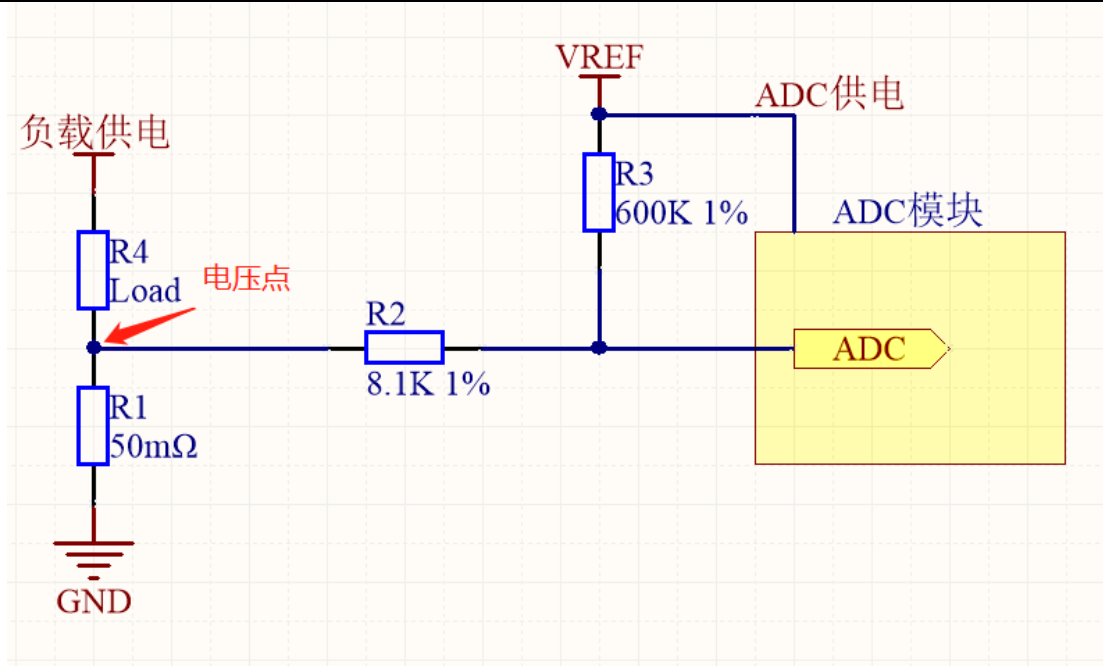
图3 LSE和HSE 布线

## 9 模拟信号

模拟信号跟数字信号走线分开，并且模拟信号需要用地线屏蔽，这样可以尽可能保证采样的精度。

MG32F103与MG32F104的ADC检测外部输入电压 $<50\text{mV}$ 时，ADC采样电路需要进行调整，下图是调整的参考设计。

需要增加如下图R2,R3的电阻。R1的电阻大小可以做调整，但需要保证图中电压点 $>3.2\text{mV}$ 。



## 10 EMI

1 确保电源额定值适用于应用，并使用去耦电容器进行优化。

2 在电源上提供足够的滤波电容器。大容量/旁路和去耦电容器应具有低等效串联电感（ESL）。

3 如果布线层上有可用空间，则创建地平面。将这些接地区域利用过孔连接到地平面。

4 电流回路尽可能小。添加尽可能多的去耦电容器。

5 差分线对要保持线长匹配，否则会导致时序偏移、降低信号质量以及增加EMI。

6 差分走线要求在同一板层上，因为不同层之间的阻抗、过孔等差别会降低差模传输的效果而引入共模噪声。

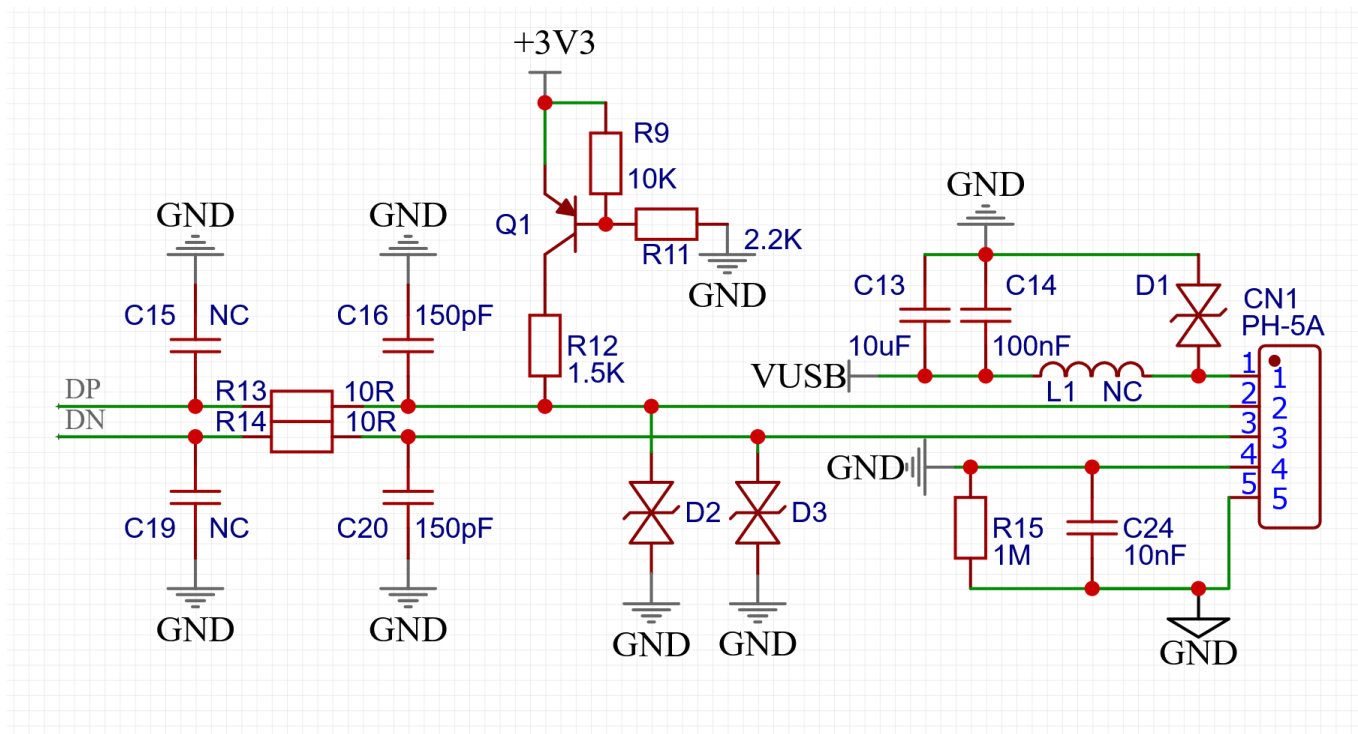
7 高速信号线不要有过孔，确保背面地平面完整，同时缩短走线距离，远离相邻走线。如果usb接口芯片需串联端电阻或者D线接上拉电阻时，务必将这些电阻尽可能的靠近芯片放置。

8 MCU每一个VDD的电源引脚尽可能留2个电容的位置1uF 0.1uF

9 SPI或IIC 等通讯线上，每个信号线上串一颗10R左右的电阻，预留一个120pf的电容。信号线尽量够短。

10 晶振走线要足够短，晶振背面不要走信号线，确保晶振地平面完整。布局允许的情况下，再晶振周围多打地过孔。

原理图设计参考。



1. DP线上的上拉需要用三极管来控制。确保上路电路到DP线足够短。
2. D1 D2 D3 TVS管需要靠接口放置。
3. PIN1 是电源，在靠近PIN1 处防止一颗10uF和10nF 用作滤波。
4. DP DN到USB接口的距离尽可能短。